

Si-기반 나노채널 MOSFET의 문턱전압에 관한 분석

정정수 · 장광균 · 심성택 · 정학기 · 이종인

군산대학교, 전자정보공학부

Investigation of Threshold Voltage in Si-Based MOSFET with Nano-Channel Length

Jhung-Soo, Jhung · Kwang-Gyun Jang · Sung-Taik Shim · Hak-Kee Jung

School of Electronic and Information Engineerings, Kunsan National University

E-mail : js2000@hanmail.net

요약

본 논문에서는 Si-기반 나노채널 nMOSFET의 문턱전압에 관하여 분석하였다. 본 논문에서 연구된 소자는 180nm의 n-채널 MOSFET을 기준으로 30 nm까지의 게이트 길이를 가진 소자를 정전압 스케일링 이론에 따라 스케일링하였다. 이들 소자들은 드레인 영역에서의 전계크기 감소와 단채널 효과를 줄이기 위해 LDD(lightly doped drain) 구조를 사용하였으며 이들 소자의 문턱전압을 조사·분석하였다. 이러한 해석은 IC응용의 한계에 대한 분석을 제공할 것이며 VLSI의 기본 데이터로 활용될 수 있을 것이다.

ABSTRACT

In this paper, we have presented the simulation results about threshold voltage at Si-based MOSFETs with channel length of nano scale. We simulated the Si-based n-channel MOSFETs with gate lengths from 180 to 30 nm in accordance to constant voltage scaling theory. These MOSFETs had the lightly doped drain(LDD) structure, which is used for the reduction of electric field magnitude and short channel effects at the drain region. The stronger electric field at this region is due to scaling down. We investigated and analyzed the threshold voltage of these devices. This analysis will provide insight into some applicable limitations at the ICs and used for basis data at VLSI.

1. 서론

MOS 소자의 가장 큰 특징은 채널 길이와 폭을 축소하기가 용이하다는 것이다. 최근, 다양한 소자들이 나노차원으로 줄어들고 있으므로 스케일링 이론(scaling theory)에 대한 연구가 중요하게 되었다. 소자의 스케일링이론은 채널 길이와 폭을 줄이면서 소자의 동작특성을 유지하는 것이다. 소자의 물리적인 크기를 줄임으로서 단위면적당 집적도를 높일 수 있고 소자를 연결하는 도선의 커패시턴스를 줄여서 소자의 동작속도 향상에 기여할 수 있다.

소자의 크기가 축소되면 원하지 않는 여러 기생현상이 발생하게 된다. 이러한 단채널 효과는 정전(electrostatic) 및 동전(electrodynamic)효과로 구분된다. 정전효과는 주로 전계효과에 의해서 발생하는 문턱전압(Threshold Voltage : V_{th}) 감소

가 있고, 동전효과에는 전계에 따른 캐리어 에너지 증가에 의한 속도포화현상과 드레인 항복전압 감소를 들 수 있다. 본 논문에서는 주로 문턱전압 감소와 스케일링이론의 관계를 유도하였다.

소자의 크기축소에 비해 동작전압은 훨씬 느리게 감소되어왔다. 그러므로 동작전압을 일정하게 하고 소자의 크기를 축소시키는 정전압 스케일링을 소자에 적용하는 것이 더욱 효과적이다.[1]

드레인에 일정한 바이어스가 가해져있을 때 소자에 전류가 흐르기 시작하는 게이트 전압을 문턱전압이라 하며 소자의 크기를 축소시킴에 따라 문턱전압이 변화하게 된다. 이는 소자의 규모가 대단위화 되어가면서 대규모 집적회로에 의한 전력소비량이 늘어나게 된다. 따라서 같은 동작전압에서 더욱 적은 전력을 소비하는 즉, 문턱전압이 낮은 소자의 개발이 중요시된다.

이러한 이유로 본 논문에서는 Si-기반 nMOSFET 소자의 게이트 길이에 따른 문턱전압을 모의

실험하고 분석하였다.

본 논문에서 사용된 기본소자는 180 nm의 게이트 길이를 가진 Si-기반 n채널 MOSFET이다. 기본 소자를 기준으로 정전압 스�কে링을 사용하여 10 nm 씩 30 nm까지 스�কে링하여 모의실험하였다. 각 게이트 길이를 가지는 MOSFET의 동작전압, 즉 문턱 전압을 조사하여 관계된 현상을 고찰하였다.

II. 소자의 구조 및 문턱전압

본 논문에서 적용된 소자의 기하학적 구조는 그림 1과 같은 LDD(Lightly Doped Drain) 구조이다. 이 구조는 그림 1에서 보는 바와 같이 드레인 영역의 채널 끝에 저도핑 영역을 설정하여 놓은 구조이다. 그리고 공정상 소스영역의 채널 시작점에도 저도핑처리 되었다.

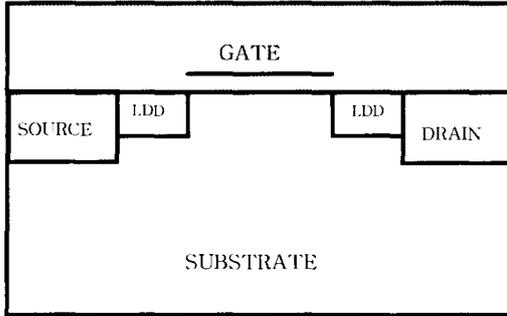


그림 1. LDD 구조

소자의 미세화에 따른 전계의 증가와 핫 캐리어를 줄이고자 제시된 LDD 구조는 소스와 드레인의 채널인접지역을 n⁺가 아닌 n⁻로 도핑시켜서 펀치스루(punch-through)현상을 줄일 수 있는 구조이다. [2-3]

일반적으로 장채널인 경우 문턱전압을 구하는 일반적인 식은 다음과 같이 나타낼 수 있다.

$$V_{th} = V_{FB} + 2|\phi_F| + \frac{|Q_d|}{C_{ox}} \quad (1)$$

여기서 V_{FB} 는 평탄대역 전압, ϕ_F 는 페르미 전위, Q_d 는 공핍층전하 그리고 C_{ox} 는 산화층 커패시턴스이다. 식 (1)은 MOS소자의 1차원적인 해석이고 여기에서 고려되지 않은 기판측 공핍층 길이를 고려하면 식(1)은 다음과 같이 수정되어야 한다.

$$V_{th} = V_{FB} + 2|\phi_F| + V_S + \frac{fQ_d}{C_{ox}} \\ = V_{FB} + 2|\phi_F| + V_S + \frac{f}{C_{ox}} \sqrt{2\epsilon q N_a (2|\phi_F| + V_S - V_B)} \quad (2)$$

여기서 $V_S, V_B, \epsilon_s, q, N_a$ 는 각각 소스전압, 기판전압, 반도체의 유전율, 전하량 그리고 역셉터농도이다. f 는 다음과 같으며

$$f = \frac{Q_{d1}}{Q_d} = \frac{1-r_j}{L} \left(\sqrt{\frac{1+2x_{dmax}}{r_j}} - 1 \right) \quad (3)$$

여기서 Q_{d1}, r_j, x_{dmax} 는 각각 표면 반전을 위해 게이트에 유기되어야 하는 전하량, 접합반경 그리고 공핍층의 폭이다. 식 (3)은 1 μ m의 채널 길이를 가지는 MOSFET의 문턱전압을 예측하는데 매우 정확한 것으로 알려져 있다.

그러나 본 논문에서 모의 실험된 소자는 1 μ m 이하의 서브미크론 즉, 나노단위의 채널길이를 갖는 소자를 모의실험 하였으므로 1 μ m이하의 채널 길이에 맞는 식을 유도하여야겠다.

III. 모의실험

본 논문에서는 180 nm의 채널길이를 가지는 n 채널 MOSFET을 기본소자로 하여 10 nm씩 채널 길이를 감소시키면서 문턱전압의 변화를 모의실험하였다. MOSFET의 기하학적 구조는 전술한 LDD 구조를 사용하였으며 도핑농도와 게이트길이는 표1에 나타내었다.

각 영역의 도핑방법은 가우시안(Gaussian) 함수에 따라서 도핑하였으며 소스와 드레인 도핑에는 접합깊이의 0.5배, LDD 영역의 도핑에는 접합깊이의 0.6배의 측면확산효과를 적용하였다.

여기에서 사용된 프로그램은 ISE-TCAD를 사용하였으며 이 프로그램에서 문턱전압을 산출하는 방법은 세 가지 방법이 있다. 첫 번째는 감소법(regression method)으로 드레인 전류 대 게이트 전압 특성곡선 ($I_d - V_g$)의 최대기울기를 가지는 곳에서의 접선과 x축 (V_{gs})과 만나는 지점의 전압을 구하는 방법이다. 두 번째는 드레인 전류가 미터당 0.1 μ m가 흐를 때의 전압 (V_{gs})을 구하는 방법이다. 그리고 마지막으로 드레인 전류축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 방법이 있다.

본 논문에서는 첫 번째와 두 번째 방법을 이용하여 문턱전압을 구하였다. 즉, DIBL(드레인 유기장벽감소: Drain-Induced Barrier Lowering) 효과를 고려한 문턱전압을 계산할 때에는 두 번째 방법을, 그리고 Quantum Correction model[4]과 몸체 효과(Body Effect)를 고려한 문턱전압 계산에는 첫 번째 방법을 사용하였다.

표 1. 게이트 길이 (nm)에 따른 영역별 최대 및 최소 도핑농도 (cm^{-3})와 게이트 산화층의 두께 (nm)

L_g (nm)	Source & Drain region (cm^{-3})	LDD region (cm^{-3})	Substrate region (cm^{-3})	Oxide Thick. (nm)	
180	Max	5.0×10^{20}	8.0×10^{19}	3.0×10^{17}	4.00
	Min	3.0×10^{17}	5.0×10^{17}		
170	Max	5.6×10^{20}	9.0×10^{19}	3.4×10^{17}	3.78
	Min	3.4×10^{17}	5.6×10^{17}		
160	Max	6.3×10^{20}	1.0×10^{20}	3.8×10^{17}	3.56
	Min	3.8×10^{17}	6.3×10^{17}		
150	Max	7.2×10^{20}	1.2×10^{20}	4.3×10^{17}	3.33
	Min	4.3×10^{17}	7.2×10^{17}		
140	Max	8.3×10^{20}	1.3×10^{20}	5.0×10^{17}	3.11
	Min	5.0×10^{17}	8.3×10^{17}		
130	Max	9.6×10^{20}	1.5×10^{20}	5.8×10^{17}	2.89
	Min	5.7×10^{17}	1.0×10^{18}		
120	Max	1.1×10^{21}	1.8×10^{20}	6.8×10^{17}	2.67
	Min	6.8×10^{17}	1.1×10^{18}		
110	Max	1.3×10^{21}	2.1×10^{20}	8.0×10^{17}	2.44
	Min	8.0×10^{17}	1.3×10^{18}		
100	Max	1.6×10^{21}	2.6×10^{20}	9.7×10^{17}	2.22
	Min	9.7×10^{17}	1.6×10^{18}		

1. DIBL 효과에 의한 문턱전압의 변화

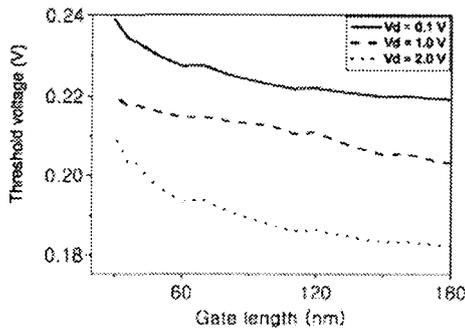


그림 2. DIBL 효과에 의한 문턱전압의 변화

먼저 DIBL 효과의 유무에 따른 문턱전압 그래프를 그림 2에 도시하였다. 그림에서 보듯이 드레인 전압이 각각 0.1 V, 1.0 V 그리고 2.0 V일 때 채널길이 별로 도시하였다. 게이트 길이가 감소함에 따라서 문턱전압이 증가함을 알 수 있으며 또한 문턱전압이 드레인 전압에 의해 변화가 있음을 관찰할 수 있었다. 그러나 DIBL 효과

에 있어서 문턱전압이 변화한 양은 최대 0.03 V의 범위에 존재하고 있음을 볼 수 있다.

2. Van Dort Quantum Correction model의 유무에 따른 문턱전압의 변화

서브미크론(submicron) 소자의 스켈링은 더욱 얇은 산화층과 더욱 높게 도핑된 채널이 요구된다. 그러나 얇은 산화층과 높은 도핑은 실리콘/산화층 인터페이스에서 역전계층을 야기하며, 이것은 인터페이스에 수직방향으로 전자운동을 양자화 시키기에 충분한 에너지를 공급한다.

Van Dort Quantum Correction model(이하 QC 모델)은 역전층에서의 소수 반송자의 제한 때문에 넓어지는 유효대역간극을 고려할 수 있다. 이러한 확장대역간극 수치는 다음 식으로 주어진다.

$$\Delta E_g = \frac{13}{9} \cdot k_{fit} \cdot F(\vec{d}) \cdot \left(\frac{\epsilon \epsilon_0}{4kT} \right)^{\frac{1}{3}} \cdot |(E_n - E_{crit})|^{\frac{2}{3}} \quad (4)$$

여기서 E_n 은 Si/SiO₂ 인터페이스에 수직인 전계이고, k_{fit} 와 E_{crit} 는 fitting 매개변수이다. 함수 $F(\vec{d})$ 는 다음과 같이 정의된다.

$$F(\vec{d}) = \frac{2 \cdot \exp(-a^2(\vec{r}))}{1 + \exp(-2a^2(\vec{r}))} \quad (5)$$

여기서 \vec{d} 는 인터페이스에 대하여 수직 좌표이므로 $\vec{d} = 0$ 은 인터페이스 위치를 말한다.

$a(\vec{r}) = \frac{1(\vec{r})}{\lambda_{ref}}$ 그리고 $1(\vec{r})$ 은 \vec{r} 점으로부터

인터페이스까지의 거리이다. 매개변수 λ_{ref} 는 역전계층과 만날 수 있을 만큼 충분히 큰 기준거리이며 실질적으로 인터페이스 주변영역을 정의한다. 이 영역에서 양자수정(Quantum correction)이 발생한다. 범선전계의 부호에 따라서, 대역간극확장이 전도대역 또는 가전자대역에 적용된다. 전계가 반도체의 외부를 향할 때, E_n 은 양이라고 놓으면, 대역간극확장은 $E_n > 0$ 이면 정공(가전자대역수정), 또는 $E_n < 0$ 이면 전자(전도대역수정)에 적용된다.

그림 3에는 이러한 QC 모델을 고려하여 소자를 모의실험하였다. 그림에서 보듯이 이 모델을 사용한 것과 사용하지 않은 것에 약간의 차이가 발생한다. 즉, 드레인 전압이 1 V와 2 V일 때는 QC 모델을 고려한 것과 그렇지 않은 것의 차이가 게이트 길이에 따라 거의 일정하지만 드레인 전압이 0.1 V일 때는 그 차이가 확연히 드러남을 볼 수 있다.

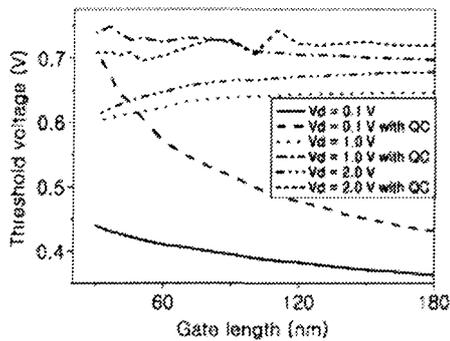


그림 3. Van Dort Quantum Correction Model의 적용 유무에 따른 문턱전압의 변화

3. 기판전압에 의한 문턱전압의 변화

그림 4에서는 몸체효과를 고려하여 0.1 V의 드레인 전압에서 모의실험한 결과를 도시하였다. 그림에서 보듯이, 기판전압이 0 V일 때와 -2 V일 때를 비교하면 -2 V에서 0.2 V 가량 상승되어 있음을 볼 수 있다. 채널길이의 변화에 대하여 문턱전압의 변화율이 거의 없으나 극히 미소하게 증가함을 알 수 있었다. 따라서 채널길이에 따라서 문턱전압의 변화율은 극히 적음을 알 수 있었고 기판 전압에 따른 문턱전압변화가 더 큼을 알 수 있었다.

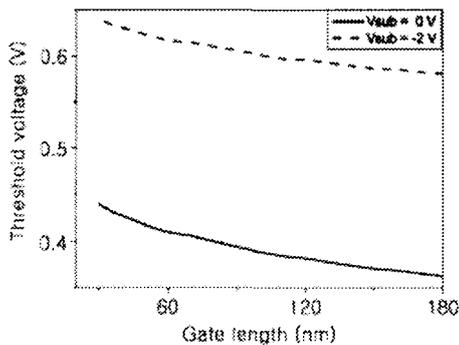


그림 4. 기판전압(즉, 몸체효과)에 의한 문턱전압의 변화

V. 결론 및 고찰

본 논문에서는 나노길이의 채널을 가진 MOSFET의 문턱전압의 변화현상에 대해서만 고찰하였다. 문턱전압은 소자의 동작전압을 결정짓는 중요

한 변수이다. 이러한 문턱전압이 소자규모의 축소와 함께 변하면 회로설계시 이러한 요건을 삽입시켜야 될 것이다. 본 논문에서 모의실험된 결과는 소자의 물리적 크기에 따른 문턱전압의 변화가 그리 크지 않음을 볼 수 있었다. 소자가 180 nm의 기본소자와 비교하여 DIBL 효과, QC 모델, 그리고 몸체효과를 적용하여 모의실험 하였을 때 각각의 차이는 대략 0.03 V, 0.28 V, 0.08 V이다. 따라서 본 논문에서 모의실험한 효과들 중에서 문턱전압의 변화량에 있어서 가장 큰 변화를 주는 요인은 QC 모델이다. 그 다음으로 몸체 효과가 영향을 크게 미치며 DIBL효과에 의한 문턱전압 감소는 그리 크지 않음을 볼 수 있었다.

단채널을 가진 소자에서 나타나는 특성들에는 협폭효과(Narrow width effect), DIBL 현상, 문턱 이하(subthreshold) 특성, 펀치스루(punch through)현상 그리고 전자, 정공 증배효과 등을 들 수 있다.[x] 여기에서 조사한 특성은 극히 일부가 되겠다. 따라서 단채널에서의 다른 효과들에 대해서도 조사·연구하여 초단 채널현상에 대하여 좀더 연구되어야 하겠다. 끝으로, 본 논문에서 모의실험된 자료는 다른 IC나 VLSI의 제조에 기초자료로 활용될 수 있으리라 생각된다.

참고문헌

- [1] Donald A. Neamen, Semiconductor Physics & Devices ; Basic principles-2nd ed., pp.512-517, University of New Mexico, IRWIN, 1997
- [2] C.K. You, S.W. Ko, H.K.Jung, and K. Taniguchi, A study on temperature- and field-dependent impact ionization coefficient for silicon using Monte Carlo simulation, ICPS, 2000
- [3] Sima Dimitrijevic, Understanding Semiconductor Devices pp.471-478, Oxford University Press, 2000
- [4] M. J. Van Dort, P. H. Woerlee and A. J. Walker, A Simple Model for Quantisation Effects in Heavily-Doped Silicon MOSFETs at Inversion Conditions, Solid-State Electronics Vol. 37, No. 3, pp. 411-414, 1994