

소자 시뮬레이션을 위한 Micro-Tec과 TCAD의 비교 분석

심성택* · 장광균 · 정정수 · 정학기

*군산대학교

Comparison on Micro-Tec and TCAD simulators for device simulation

Sung-Taik Shim* · Kwang-gyun Jang · Jung-su Jung · Hak-kee Jung

*Kunsan national University

E-mail : ily10102@hotmail.com

요 약

MOSFET는 전력감소, 도핑농도 증가, 캐리어 속도 증가를 위해서 많은 변화를 가져왔다. 이러한 변화를 받아들이기 위해서, 채널의 길이와 공급전압이 감소해야만했으며, 그것으로 인해 소자가 더욱 작아지게 되었다. 본 논문에서는 이러한 변화를 두 가지의 시뮬레이터를 사용하여 비교 분석하였다. 사용되어진 시뮬레이터는 Micro-Tec과 ISE-TCAD이며, 본 논문에서 LDD(lightly-doped drain) MOSFET에 관하여 시뮬레이션 하였다. 게이트 길이는 180nm를 기준으로 MOSFET의 특성과 전계를 비교 분석하였다.

ABSTRACT

The metal-oxide-semiconductor field-effect transistor(MOSFET) has undergone many changes in the last decade in response to the constant demand for increased speed, decreased power, and increased packing density. This paper has compared Micro-Tec with ISE-TCAD. This paper investigates LDD MOSFET using two simulators. Bias condition is applied to the devices with gate lengths 180nm. We have presented MOSFET's characteristics such as I-V characteristic, electric field, and compared with Micro-Tec and ISE-TCAD.

I. 서 론

최근 소자의 집적도가 증가하고, 소자들의 크기가 스켈링 이론(scaling theory)에 의해서 단위 면적당 집적도가 높아졌다. 이러한 현상에 의해서 더욱 소자들의 특성에 대하여 연구하게 되었으며, 그 소자를 실험하기 위해서 여러 가지 시뮬레이터가 등장하게 되었다.

본 논문에서는 소자의 구조로 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인 도전율의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 저 도핑 드레인(Lightly Doped Drain : LDD) MOSFET를 사용하였다. 각 구조는 Si 기반의 n-채널이며, 게이트 길이가 180nm에서의 소자의 특성 및 전계, 전류-전압 특성을 비교 분석하였다. 본 논문에서 사용되어진 시뮬레이터는 Micro-tec과 ISE-TCAD이다. 많은 시뮬레이터

들이 사용하는 모델이 다르지만, Micro-tec과 ISE-TCAD는 유사한 모델이 사용되었으며, 본 논문은 이 두 개의 시뮬레이터를 사용하여 소자에 대한 특성을 비교 분석하였다.

II. 소자의 구조

본 논문에서 적용된 소자의 기하학적 구조는 기존의 MOSFET에 비해 드레인 영역의 끝과 채널간에 저 도핑 영역을 추가시킨 LDD(Lightly Doped Drain) 구조를 그림 1에서 볼 수 있다. 소자들이 초고집적화 되면서 1970년대 초에 정립되었던 스켈링 이론은 소자의 크기가 줄어들어도 소자의 모양과 특성을 유지시키는 것이다. 스켈링은 크기뿐만 아니라 단위 면적 당 소모되는 전력

량과 소자의 스위칭 시간을 줄일 수 있으나 소자의 크기가 감소함에 따라 초단 채널의 형성으로 인한 고 전계의 발생과 이로 인한 임팩티온화 현상의 확대, 펀치 스루나 펀치 오프 현상의 조기 발생을 유도하게 된다.[1]-[4] 기존의 구조에서는 이러한 현상에 의해서 소자의 크기가 감소하면서, 특성이 변화하였다. 스케일링에 의해 소자가 줄어들어도 특성을 유지하기 위해 LDD(Lightly Doped Drain) MOSFET를 사용하였으며, 고 전계 현상을 방지하여 게이트 전압에 의한 펀치 오프 현상을 줄일 수 있고, 오버랩 캐패시턴스(overlap capacitance)를 감소, 펀치 스루(punch-through)현상을 감소시킬 수 있다.[4]-[5]

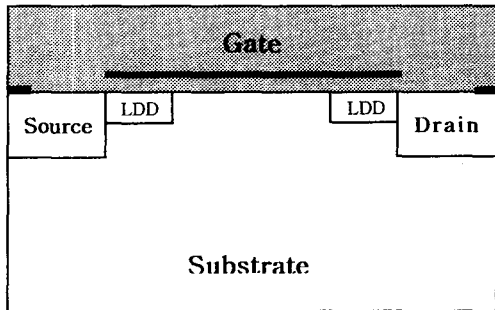


그림 1. LDD MOSFET 구조

본 논문에서는 LDD MOSFET를 Micro-tec과 ISE-TCAD 시뮬레이터로 사용하여 소자의 특성을 비교 분석하였다.

III. 본 론

본 논문에서는 게이트 길이 180nm를 가지는 n-채널 LDD MOSFET를 기본소자로 사용하였으며, 소자의 게이트 길이에 대하여 드레인, 소스, 게이트, LDD의 도핑 농도와 산화층 두께에 대하여 표 1에 나타내었다.

각 영역의 도핑 방법은 가우시안(Gaussian) 함수에 따라서 도핑 하였으며 소스와 드레인 도핑에는 접합깊이의 0.5배, LDD 영역의 도핑에는 접합깊이의 0.6배의 측면확산효과를 적용하였다.

본 논문에서는 두 개의 시뮬레이터인 Micro-tec과 ISE-TCAD를 사용하여 LDD MOSFET의 특성

을 분석하였으며, 서로 다른 두 시뮬레이터에서 사용되어진 이동도(Mobility) 모델과 재결합(Recombination) 모델에 대하여 비교하였다. 본 논문에서 사용되어진 이동도(Mobility) 모델은 constant 모델과 Lombardi 모델을 사용하였다.

표 1 게이트 길이(L_g)에 따른 도핑농도와 게이트 산화층의 두께

게이트 길이 (nm)			180
도 핑 농 도 (/cm ³)	소스 & 드레인	Max	5.0×10 ¹⁹
		Min	3.0×10 ¹⁶
	게이트	Max	2.0×10 ¹⁶
		Min	1.0×10 ¹⁶
	LDD	Max	8.0×10 ¹⁸
		Min	5.0×10 ¹⁶
기 판			3.0×10 ¹⁶
산화층 두께 (nm)			4

재결합(Recombination) 모델은 SRH(Shockley-Read-Hall) 모델과 Auger 모델을 사용하였다. 재결합(Recombination) 모델은 두 시뮬레이터에서 모두 사용하였으며, 이동도(Mobility) 모델에 따른 소자의 특성에 대해서 비교하였다. 다음 식 1은 ISE-TCAD 시뮬레이터에서의 Lombardi 모델 식이며 식 2는 Micro-tec 시뮬레이터에서의 Lombardi 모델 식을 나타내고 있다.

$$\mu_{ac} = \frac{B}{F_{\perp}} + \frac{C(N_i/N_0)^{\lambda}}{F_{\perp}^{1/3}(T/T_0)^k} \quad \text{식 1(a)}$$

$$\mu_{sr} = \left(\frac{(F_{\perp}/F_{ref})^{A^*}}{\delta} + \frac{F_{\perp}^3}{\eta} \right)^{-1} \quad \text{식 1(b)}$$

$$A^* = A + \frac{\alpha_{\perp}(n+p)}{((N_i+N_d)/N_{ref})^V} \quad \text{식 1(c)}$$

$$\mu_{ac}(E_t, T) = \left(B \frac{T}{E_t} + \frac{C_0 N^{\theta}}{E_t^{1/3}} \right) \quad \text{식 2(a)}$$

$$\mu_b(N, T) = \mu_0 + \frac{\mu_{\max}(T)\mu_0}{1 + \left(\frac{N}{C_r}\right)^{\alpha}} - \frac{\mu_1}{1 + \left(\frac{C_s}{N}\right)^{\beta}} \quad \text{식 2(b)}$$

MOSFET의 채널 영역에 고 전계가 인가되면 반도체와 절연체 사이에 캐리어들이 강하게 서로 작용하며, 캐리어는 표면 음향 양자 산란과 표면 거칠음 산란이 지배적이게 된다. 이러한 작용에 의해서 이동도의 저하가 발생하게 되는데, 이 영향에 대해서 Lombardi 모델을 사용함으로써 설명되어진다. 표 2는 Lombardi 모델에 대한 파라미터를 나타내고 있다.

표 2 Lombardi 모델 파라미터

Symbol	E/H	Micro-tec	ISE-TCAD	Units
B	Electrons	4.750×10^7	4.750×10^7	cm/s
	Holes	9.925×10^6	9.925×10^6	
C	Electrons	1.74×10^7	5.80×10^2	1
	Holes	8.84×10^5	2.947×10^3	
N ₀	Electrons	1	1	cm ⁻³
	Holes	1	1	
λ	Electrons	0.1250	0.1250	1
	Holes	0.0317	0.0317	
k	Electrons	1	1	1
	Holes	1	1	
δ	Electrons	5.82×10^{14}	5.82×10^{14}	cm ² /(Vs)
	Holes	2.05×10^{14}	2.05×10^{14}	
A	Electrons	2	2	1
	Holes	2	2	
α _⊥	Electrons	0.68	0	cm ²
	Holes	0.719	0	
N ₁	Electrons	1	1	cm ⁻³
	Holes	1	1	
ν	Electrons	1.07×10^7	1	1
	Holes	1.07×10^7	1	

그림 2에서는 LDD MOSFET 소자에 대한 Micro-tec과 ISE-TCAD에서의 드레인 전압과 드레인 전류에 대한 특성 곡선이다.

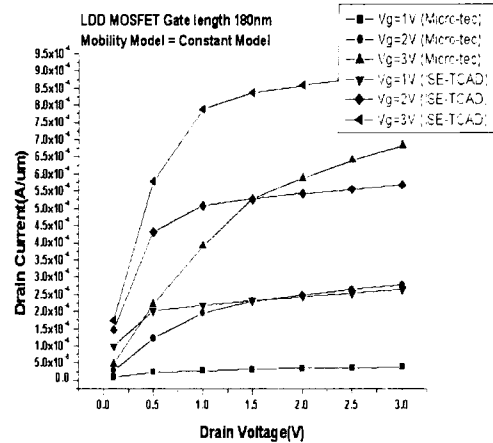
Constant Model은 순수 반도체 전자와 정공의 이동도로 나타내며 표 3에서 Micro-tec과 ISE-TCAD에 대하여 파라미터를 나타내었다.

표 3 Constant 모델 파라미터

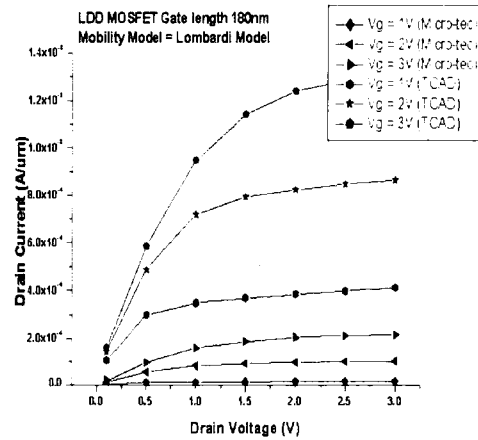
Symbol	E/H	Micro-tec	ISE-TCAD
μ _L	Electrons	1000	1417
	Holes	500	470.5

그림 2(b)에서 볼 수 있듯이 두 시뮬레이터에서 나온 출력 데이터가 차이가 있음을 알 수 있다. 즉, 동일한 도핑, 동일한 드레인 전압 그리고 드레인 전류에 대한 각각의 파라미터에서의 전자와

정공의 파라미터 값의 차이 때문임을 알 수 있으며, 동일한 조건과 동일한 드레인 전압에서 ISE-TCAD 시뮬레이터가 Micro-tec보다 높은 드레인 전류가 발생함을 알 수 있다.



(a) Constant Model



(b) Lombardi Model

그림 2. LDD MOSFET에 대한 Micro-tec과 ISE-TCAD 시뮬레이터에 대한 드레인 전압-드레인 전류 곡선

그림 3는 ISE-TCAD 시뮬레이터에서의 전계와 Micro-tec에서의 전계를 나타내었다. 두 그림에서 드레인 영역에서 전계가 발생하고 있으며, ISE-TCAD 시뮬레이터에서 나타난 전계의 분포가 크게 나타났다. 각 시뮬레이터의 모델의 파라미터에

Micro-tec에서의 전계를 나타내었다. 두 그림에서 드레인 영역에서 전계가 발생하고 있으며, ISE-TCAD 시뮬레이터에서 나타난 전계의 분포가 크게 나타났다. 각 시뮬레이터의 모델의 파라미터에서 전자와 정공의 포화 속도와 파라미터 요소의 차이에 의해서 다른 출력이 나타남을 볼 수 있다.

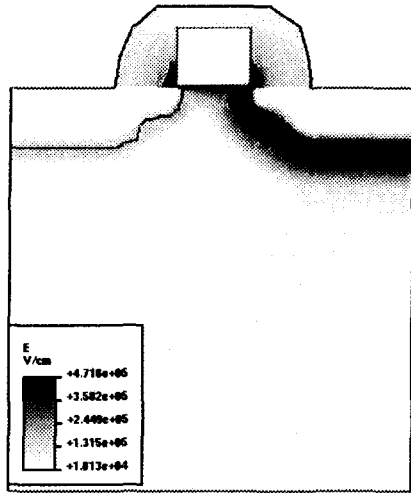


그림 3(a) ISE-TCAD에서의 전계

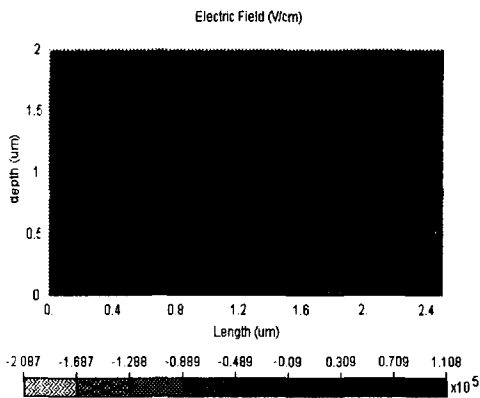


그림 3(b) Micro-tec에서의 전계

그림 3. ISE-TCAD와 Micro-tec에서의 전계 분포

IV 결 론

본 논문에서는 게이트 길이 180nm에 대한 LDD MOSFET 구조를 Micro-tec과 ISE-TCAD 시뮬레

이터를 사용하여 소자의 특성을 비교 분석하였다. 두 시뮬레이터는 동일한 이동도(Mobility) 모델과 재결합(Recombination) 모델을 사용하고 있으며, 본 논문에서는 재결합(Recombination) 모델인 SRH(Shockley-Read-Hall) 모델과 Auger 모델을 모두 사용하였다. 이동도(Mobility) 모델인 Constant 모델과 Lombardi 모델에 대해서 두 시뮬레이터를 사용하여 비교 분석하였다. 동일한 모델을 사용하였음에도 불구하고, Micro-tec 시뮬레이터가 ISE-TCAD 시뮬레이터에 비해 동일한 드레인 전압에서 더 낮은 드레인 전류가 발생하였으며, 드레인 영역에서 전계의 분포가 ISE-TCAD에서 더 큰 출력을 볼 수 있었다. 이것은 동일한 모델을 사용하였지만, 각 시뮬레이터에서 정의한 파라미터 값의 차와 해석의 차이에 의해 오차가 발생하였음을 볼 수 있다. 본 논문에서는 전계와 전압-전류 특성 곡선에 대해서만 분석하였지만, 더 나아가 임팩트 이온화와 다른 MOSFET 소자 구조를 비교 분석하여 더 나은 시뮬레이터를 개발할 수 있는 유용한 자료로 활용될 수 있으리라 사료된다.

참고문헌

- [1] John P. Uyemura, Fundamentals of MOS Digital Integrated Circuits, pp.49-57, 1988
- [2] H.K. Jung, K. Taniguchi, C. Hamaguchi, J. Appl. Phys. 79, pp.2559-2565, 1996
- [3] T. Kunikiyo, M. Takenaka, Y. Kanakura, M. Yamaji, H. Mizuno, M. Morifuji, K. Taniguchi, and C. Hamaguchi, "A Monte Carlo simulation of anisotropic electron transport in silicon including full band structure and anisotropic impact ionization model." J. Appl. Phys. vol. 75, pp.297-312, 1994
- [4] C.K. You, S.W. Ko, H.K.Jung, and K. Taniguchi, A study on temperature and field dependent impact ionization coefficient for silicon using Monte Carlo simulation, ICPS, 2000
- [5] Sima Dimitrijevic, Understanding Semiconductor Devices pp.471-478, Oxford University Press, 2000