

CPLD를 이용한 스마트 안테나 알고리즘 구현

양승용, 이용주, 김기만

한국해양대학교 전파공학과

Implementation of Smart Antenna Algorithm Using CPLD

Seung-Yong Yang, Yong-Joo Lee, Ki-Man Kim

Dept. of Radio Science & Eng., Korea Maritime University

E-mail : yangyong2@orgio.net

요 약

최근 이동 통신 시스템에서 간섭 및 채널 왜곡, 잡음 등에 의한 시스템의 성능 저하를 막고 통신 성능의 향상 및 시스템 용량 증가를 위해 사용자의 이동 상황에 따라 빔 추적 기능을 갖고 있는 스마트 안테나의 연구가 이루어져 왔다. 이에 본 논문에서는 실시간 처리를 위한 QR-RLS 기반 스마트 안테나 알고리즘을 설계하고, 이를 CPLD로 구현하였다. 구현된 알고리즘의 구조는 적응 필터링에 적합한 Systolic array 형태로 구성되어졌다. 연구된 방법은 컴퓨터 시뮬레이션과 아울러 Altera사의 Max+Plus II를 사용하여 CPLD로 구현하였다.

ABSTRACT

It has been studied about smart antenna that track the beam according to the position of users, and improving the communication quality. In this paper, we designed the smart antenna algorithm for realtime processing and implemented that using CPLD. The algorithm structure has systolic array compatible with adaptive filters. The performances of the propose algorithm were evaluated via computer simulation. The used software was MAX+plus II which is made by Altera.

1. 서 론

최근들어 이동통신 서비스의 수요증가로 인해 가입자나 운용자, 제조업체에서는 보다 고품질, 대용량, 고효율의 서비스를 요구하게 되었다. 이로 인해 배열 안테나를 이용하여 동일 및 인접 채널 간섭신호의 제거 및 채널 왜곡, 잡음 등에 의한 시스템의 성능 저하를 막고 통신 성능의 향상 및 시스템 용량 증가를 위해 사용자의 이동 상황에 따라 빔 추적 기능을 갖고 있는 스마트 안테나 기술의 필요성이 대두되었다. 기존에 연구된 스마트 안테나 알고리즘 종류에는 신호의 입사 방향을 추정해서 빔을 형성하는 방법, training 신호를 이용해서 빔을 형성하는 방법, PN(Pseudo-Noise) code의 특징을 이용한 방법, Constant

Modulus(CM) 알고리즘, Cyclostationarity를 이용한 방법 등이 있다[1].

하지만, 스마트 안테나는 알고리즘의 복잡성 때문에 수신된 신호를 처리하는 과정에서 시간 지연이 생기는데 이를 줄여 실시간 처리가 가능하도록 하는 것이 요구되고 있다. 본 논문에서는 실시간 처리가 가능하도록 하기 위해 QR-RLS 알고리즘을 기반으로 하는 스마트 안테나에 대하여 연구하였다. 알고리즘의 구조는 적응 필터링에 적합한 Systolic 어레이 형태로 구성되었으며, 이를 컴퓨터 시뮬레이션과 아울러 Altera사의 Max+Plus II를 이용하여 CPLD로 구현하였다.

II. QR-RLS 알고리즘

2-1. QR-Decomposition

QR-Decompositon은 직교 삼각화(orthogonal triangularization) 처리에 사용되는 방법 중의 하

본 연구는 2000년도 정보통신부 대학기초연구 지원사업으로 수행되었습니다.

나로 안정적인 수치적 특성을 가진다. 데이터 행렬 $A(n)$ 를 QR-decomposition으로 나타내면 다음과 같이 쓸 수 있다.

$$Q(n)A(n) = \begin{bmatrix} R(n) \\ 0 \end{bmatrix} \quad (1)$$

$Q(n)$: Unitary 행렬
 $R(n)$: 상위 삼각 행렬
 0 : 0 행렬

QR-decomposition을 사용하게 되면 RLS (Recursive Least Square)에서의 계수 벡터를 구하기 위한 QR-RLS 적응 필터링 알고리즘을 단일화하여 처리할 수 있고, 결정론적인 RLS 추정 이론과 확률론적인 칼만 필터 이론을 결합하는 역할을 한다[2].

2-2. QR-RLS 알고리즘

QR-RLS 알고리즘은 QR-decomposition을 기초로한 알고리즘이다. least-squares 계수 벡터가 표준 RLS 알고리즘에서는 입력 데이터의 상관함수 행렬을 이용하여 계산되는데 반해 QR-RLS 알고리즘에서는 입력 데이터 행렬을 QR-decomposition을 통해 직접 구해진다. 따라서, 표준 RLS 알고리즘 보다 수치적으로 매우 안정적이다. 표준 QR-RLS 알고리즘에서 계수 벡터를 구하기 위한 prearray-to-postarray 변환은 다음과 같다.

$$\begin{bmatrix} \lambda^{1/2} \Phi^{1/2}(n-1) & \mathbf{u}(n) \\ \lambda^{1/2} \mathbf{P}^H(n-1) & d(n) \\ \mathbf{0}^T & 1 \end{bmatrix} \Theta(n) = \begin{bmatrix} \Phi^{1/2}(n) & \mathbf{0} \\ \mathbf{P}^H(n) & \xi(n)\gamma^{1/2}(n) \\ \mathbf{u}^H(n)\Phi^{-1/2}(n) & \gamma^{1/2}(n) \end{bmatrix} \quad (2)$$

$\Theta(n)$: 입력 데이터에 의한 Unitary 회전
 $\mathbf{u}(n)$: 입력 데이터 행렬
 $\Phi(n)$: 상관 행렬
 $\mathbf{P}(n)$: 상관 행렬의 역행렬
 λ : Exponential weighting 벡터
 ξ : Priori 추정 오차
 $d(n)$: Desired response

여기서 입력 데이터는 postarray의 상위 행인 $\mathbf{0}$ 블록과 대응되어 상쇄되어지고 상관 행렬의 제곱근 $\Phi^{1/2}(n)$ 는 변환 전과 후에도 보존된다. least-squares 계수 벡터는 back substitution 방법에 의해

$$\widehat{\mathbf{w}}^H(n) = \mathbf{P}^H \Phi^{-1/2}(n) \quad (3)$$

로 구해진다[2-7].

다음은 확장 QR-RLS 알고리즘에서의 계수 벡터를 구하기 위한 prearray-to-postarray 변환이다.

$$\begin{bmatrix} \lambda^{1/2} \Phi^{1/2}(n-1) & \mathbf{u}(n) \\ \lambda^{1/2} \mathbf{P}^H(n-1) & d(n) \\ \mathbf{0}^T & 1 \\ \lambda^{-1/2} \Phi^{-H/2}(n-1) & \mathbf{0} \end{bmatrix} \Theta(n) = \begin{bmatrix} \Phi^{1/2}(n) & \mathbf{0} \\ \mathbf{P}^H(n) & \xi(n)\gamma^{1/2}(n) \\ \mathbf{u}^H(n)\Phi^{-1/2}(n) & \gamma^{1/2}(n) \\ \Phi^{-H/2}(n) & -\mathbf{k}(n)\gamma^{-1/2}(n) \end{bmatrix} \quad (4)$$

$\mathbf{k}(n)$: 이득 벡터

계수 벡터는 다음과 같다.

$$\widehat{\mathbf{w}}^H(n) = \widehat{\mathbf{w}}^H(n-1) + (\mathbf{k}(n)\gamma^{-1/2}(n)(\xi(n)\gamma^{1/2}(n))^* \quad (5)$$

그림 1. 스마트 안테나 알고리즘 구성도.

그림 2. Systolic 어레이 각 셀의 구성도.

그림 1은 확장 QR-RLS 알고리즘과 Systolic 구조를 이용해 구현된 스마트 안테나 알고리즘이다. 이는 그림 2와 같은 boundary cell, internal cell, 그리고 diamond cell로 구성되어 있으며, 관련 계산식을 그림에 나타내었다[2].

III. 컴퓨터 시뮬레이션

연구된 Systolic 어레이 빔 형성기의 성능을 검증하기 위해 컴퓨터 시뮬레이션을 수행하였다. 시뮬레이션에서 사용된 파라미터를 표 1에 나타내었으며 그림 3에 빔 패턴을 나타내었다. 그림에서 원하는 사용자 방향인 4도로 빔이 형성되는 반면, 다른 사용자 방향으로는 이득이 감소하는 것을 볼 수 있다.

표 1. 시뮬레이션 파라미터.

# of sensor	8
# of user	3
# of message	10
spreading factor	8
forgetting factor(λ)	0.9
AOA(degree)	-45, 4, 46
Eb/No(dB)	10
Rayleigh fading 1-path Channel	
perfect power control	

그림 3. Systolic 어레이 빔 형성기의 빔 패턴.

그림 4. Systolic 어레이 빔 형성기 SINR.

그림 4는 Systolic 어레이 빔 형성기의 SINR를 보여주고 있다. 그림에서 시간이 진행됨에 따라 SINR이 점점 향상되고 있음을 볼 수 있다.

IV. CPLD 구현

연구된 알고리즘을 실시간으로 처리하기 위해 CPLD로 구현하였다. 사용한 CPLD 톨은 Altera사의 Max+Plus II이다. 구현된 알고리즘의 bit 수는 4bit 이며, 디바이스의 용량제한으로 인해 4채널을 구현하였다. 알고리즘 계산시 필요한 제품군은 ROM 테이블을 사용하였다.

그림 5. 구현된 스마트 안테나 알고리즘.

그림 6. 타이밍 시뮬레이션.

그림 5는 앞서 구현된 boundary cell, internal cell, diamond cell을 가지고 완전한 알고리즘을 구현한 것이며, 그림 6은 구현한 알고리즘의 타이밍 시뮬레이션 결과이다. 이는 하나의 클럭 펄스로 제어되며 칩의 동작 속도는 400ns 이다. CDMA2000에서 영상은 8배수 샘플링을 했을 때 271ns, 패킷은 64배수 샘플링을 했을 때 2.17us, 음성은 128배수 샘플링을 했을 때 4.34us미만의 처리속도를 요구하고 있는데, 구현된 알고리즘은 패킷과 음성은 만족시키지만 영상은 만족시키지 못하고 있다. 그러나 향후 CPLD의 성능 향상으로 인해 이 문제는 곧 해결될 수 있으리라 생각된다. 이때 사용된 디바이스와 report file은 그림 7과 같다.

그림 7. 사용된 디바이스의 report file.

V. 결 론

본 논문에서는 QR-RLS 기반의 스마트 안테나 알고리즘을 연구하였다. 알고리즘은 Systolic 어레이 형태로 구성되어졌으며 컴퓨터 시뮬레이션과 더불어 CPLD로 구현하여 실시간 처리가 가능함을 보였다. 앞으로의 과제로 CPLD로 구성함에 있어 제품군을 ROM 테이블을 사용하였기 때문에 오차가 생겼는데 제품군을 수치 해석적인 알고리즘으로 구현하여 오차를 줄여야한다. 또, 지금 보다 더 빠른 사칙연산 알고리즘을 구현하여 영상 처리속도를 만족시킬 수 있도록 칩 속도를 향상시켜야 할 것이다.

참고문헌

- [1] A. F. Naguib, *Adaptive antennas for CDMA wireless network*, Ph.D thesis Stanford University, Aug. 1996.
- [2] S. Haykin, *Adaptive filter theory*, Prentice-Hall, 1996.
- [3] C.F. T. Tang, "Adaptive Array System Using QR-Based RLS and CRLS Techniques with Systolic Array Architectures," *Ph.D Thesis Report, Ph.D.91.5, Systems Research Center, University of Maryland, College Park, May 1991.*
- [4] J.C. McWhirter, and T.j. Shepherd, "Systolic array processor for MVDR beamforming," *IEE Proc.*, vol. 136, Pt. F, no. 2, pp. 75-80, Apr. 1989.
- [5] H. Leung, and S. Haykin, "Stability of recursive QRD-LS algorithms using finite-precision systolic array implementation," *IEEE Trans. Acoust., Speech, Signal Processing*, vol. 37, no. 5, May 1989.
- [6] C.F. T. Tang, and K.J. R. Liu, "A Novel systolic array processor for MVDR beamforming," *ICASSP*, 1992.
- [7] T. Asai, and T. Matsumoto, "A Systolic array RLS processor," *VTC'2000, Tokyo, Japan, May 2000.*
- [8] 김종욱, 권세용, 안성수, 최승원, "TMS320C30을 이용한 스마트 안테나 시스템의 Test-bed 구현", *한국전자과학회논문지*, 제11권, 제4호, pp. 523-533, 2000년 6월.

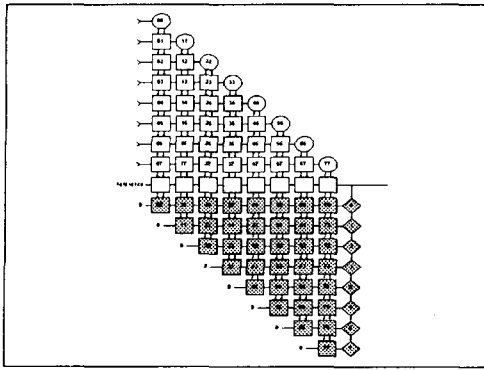


그림 1. 스마트 안테나 알고리즘 구성도.

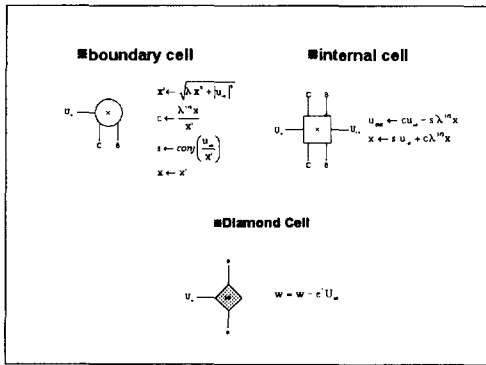


그림 2. Systolic 어레이 각 셀의 구성도.

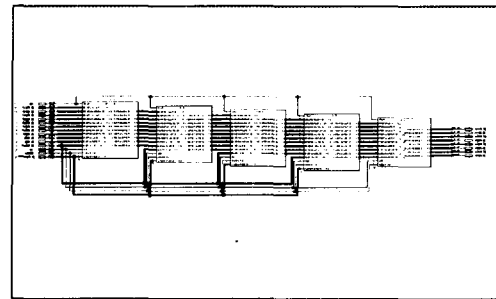
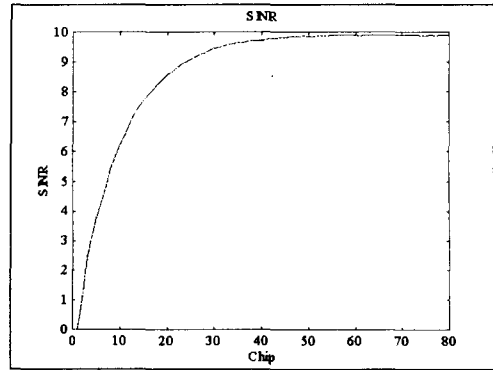
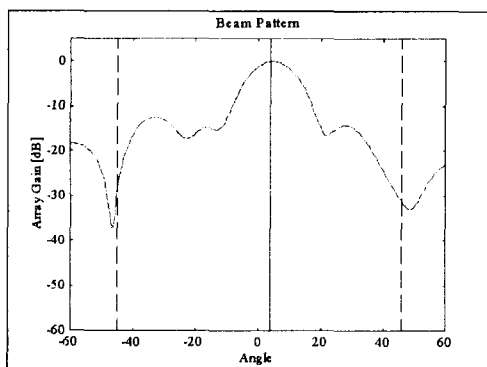


그림 3. Systolic 어레이 빔 형성기의 빔 패턴.

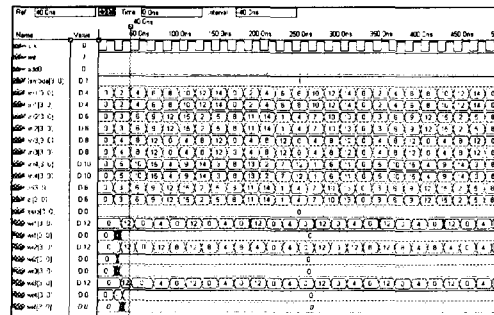


그림 4. Systolic 어레이 빔 형성기 SINR.

== DEVICE SUMMARY ==

Chip/PDF	Device	Input Pins	Output Pins	Bidir Pins	Memory Bits	Memory % Utilized	Memory Lcs	Memory % Utilized
sys4	EPF10K25-10B0C600-1	225	119	0	360	0 %	3696	30 %
sys41	EPF10K30-10B0C200-1	55	59	0	116	0 %	559	32 %
sys42	EPF10K10-10B0C144-1	62	24	0	28	0 %	523	98 %
sys43	EPF10K10-10B0C144-1	27	0	0	0	0 %	94	14 %
sys44	EPF10K10-10B0C144-1	120	141	0	304	1 %	2720	94 %
sys45	EPF10K10-10B0C144-1	247	214	0	492	1 %	5760	86 %
sys46	EPF10K30-10B0C200-1	100	96	0	44	0 %	1418	82 %

그림 5. 구현된 스마트 안테나 알고리즘.

그림 6. 타이밍 시뮬레이션.

그림 7. 사용된 디바이스의 report file.