

EPI MOSFET의 문턱 전압 특성 분석

김재홍^{*} · 고석웅^{*} · 임규성^{**} · 정학기^{*} · 이종인^{*}

^{*}군산대학교 전자정보공학부 · 논산 백제 병원 방사선과^{**}

Analysis for Threshold-voltage of EPI MOSFET

Jae-hong kim^{*} · Suk-woong Ko^{*} · Hak-kee Jung^{*} · Jong-in Lee^{*} · Gyu-sung Lim^{**}

^{*}School of Electronic and Information Eng. Kunsan national University

^{**}Department of Radiology. Back-jae hospital in Nonsan

E-mail : ndragon@kunsan.ac.kr

요 약

최근 소자의 크기가 작아짐에 따라 집적도가 향상되었으며 크기 감소로 인한 전류-전압 특성의 열화 및 기생 커패시턴스에 의한 성능감쇠가 발생하였다. 이런 문제들을 해결하기 위해 여러 가지 구조들이 개발되고 있으며 본 논문에서는 고농도로 도핑된 ground plane 층위에 적층하여 만든 EPI 구조에 대해 조사 분석하였다. 이 구조의 특성과 임팩트 이온화 및 전계 그리고 I-V 특성 곡선을 저농도로 도핑된 LDD(Lightly Doped Drain) 구조와 비교 분석하였다. 소자의 채널 길이는 0.10 μm 부터 0.06 μm 까지 0.01 μm 씩 스케일링하여 시뮬레이션 하였다.

ABSTRACT

As reducing the physical size of devices, we can integrate more devices per the unit chip area and make its speed better. We have investigated MOSFET built on an epitaxial layer(EPI) of a heavily-doped ground plane. We compared and analyzed the characteristics of such device structure, i.e., impact ionization, electric field and I-V characteristics curve with lightly-doped drain(LDD) MOSFET. We simulated MOSFET with gate lengths from 0.10 to 0.06 μm step 0.01 μm in according to constant voltage scaling theory.

키워드

LDD, EPI, Threshold-Voltage(문턱전압), Scaling(스케일링), Quantum correction model

1. 서 론

트랜지스터 발명 이후 반도체 소자의 제조 기술이 발전됨에 따라 소자의 크기는 더욱 작아지게 되었고 또한 소자 집적도는 더욱 높아지게 되었다. 이에 따라 크기가 작은 MOSFET에서의 전류-전압 특성의 열화 및 기생 커패시턴스에 의한 성능 감쇠 등이 나타나게 되었다. 소스와 드레인 접합 깊이가 얕아지면 소스와 드레인 저항이 증가하여 소자의 성능을 떨어지게 한다. 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레

인 접합부근에서 전계가 높아지게 되어 고온 캐리어 효과(hot carrier effect)가 일어난다.[1]

이러한 현상을 해결하기 위해 여러 가지 구조가 제시되고 있는데 본 논문에서는 고농도로 도핑된 ground plane 층위에 적층하여 만든 EPI MOSFET(epitaxial layer) 구조와 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인은 도전율의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 (Lightly Doped Drain : LDD) MOSFET 구조에 대해서 임팩트 이온화 및 전계 그리고 문턱전압(threshold voltage)과 같

은 특성들을 비교 조사하였다. 사용된 구조는 Si-기반 n-채널 이다.

소자의 크기를 줄이기 위한 방법으로는 정전압 스케일링을 사용하였고 소자의 크기는 0.10 μm 에서 0.06 μm 까지 0.01 μm 씩 스케일링하여 ISE-TCAD를 사용하여 모의 실험하였다.

II. 소자의 구조 및 이론적 배경

고집적 소자를 만들기 위해 소자의 크기를 줄이게 되는데 n-채널 MOSFET의 경우 소자의 평면 크기가 작아짐에 따라 단면의 크기도 작아져야 된다. 이러한 소자의 크기를 줄이는 방법으로 소자내의 전계를 일정하게 유지하는 정전계 스케일링(constant-field scaling)과 전압과 전력을 일정하게 유지하는 정전압 스케일링(constant-voltage scaling), 그리고 전압을 $1/k^{1/2}$ 로 스케일링하는 의사(quasi) 정전압 스케일링 방법이 있는데 본문에서는 정전압 스케일링을 사용하여 스케일링 인수 $k(k \geq 0)$ 만큼 소자의 크기를 축소시켰다.[2]

본 논문에서 사용된 EPI 구조와 LDD 구조의 기하학적 구조는 그림 1과 같다. 그림 1-(a)는 LDD 구조이다. 이 구조는 드레인 접합에서의 고전계에 의한 고온 캐리어 효과(hot carrier effect)를 감소시키고 게이트 폴리 밑의 LDD 접합 깊이가 작기 때문에 게이트와 드레인 및 소스간의 오버랩 커패시턴스(overlap capacitance)를 감소시킨다. 그림 1-(b)는 EPI 구조이다. 이 구조에서 고농도로 도핑된 ground plane은 punch through stopper나 threshold voltage를 제어한다.[3]

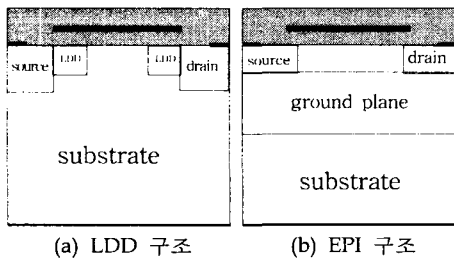


그림 1. MOSFET의 구조

III. 모의 실험

본 논문에서는 EPI MOSFET와 LDD MOSFET을 0.10 μm 부터 0.06 μm 까지 0.01 μm 씩 정전압 스케일링에 의해 감소시키면서 문턱전압 및 임팩트 이온화 그리고 전계에 대한 변화를 ISE-TCAD를 사용하여 시뮬레이션 하였다. 각 영역에 대한 도핑농도 및 게이트 길이는 표 1에 나타내었다.

각 영역의 도핑은 가우시안(Gaussian) 함수에 의해 도핑 하였고, LDD와 EPI 구조의 소스와 드레인 도핑에는 접합깊이의 0.5배, LDD 영역은 0.6배의 측면확산을 사용하였다. I-V 특성곡선 및 임팩트 이온화 그리고 전계에서는 $V_d=2V$, $V_g=3V$ 의 전압을 인가하여 시뮬레이션 하였고 문턱전압에 대한 측정은 여러 가지 방법 중 감소법(regression method)[4]으로 드레인 전류 대 게이트 전압 특성곡선(I_d-V_g)의 최대 기울기를 가지는 곳에서의 접선과 x축이 만나는 지점의 전압을 구하는 방법을 가지고 Quantum correction model[5]과 몸체 효과(Body Effect)를 고려하여 문턱전압을 계산하였다.[6]

표 1. 게이트(L_g) 길이에 따른 도핑농도(/ cm^3)와 산화층 두께(nm)

게이트길이(μm)		0.10	0.09	0.08	0.07	0.06
소스 & 드레인	Max ($\times 10^{21}$)	1.8	2.0	2.25	2.571	3.0
	Min ($\times 10^{18}$)	1.08	1.2	1.35	1.543	1.8
도핑 농도 (/ cm^3)	Max ($\times 10^{17}$)	7.2	8.0	9.0	11.57	12.0
	Min ($\times 10^{17}$)	3.6	4.0	4.5	5.14	6.0
LDD	Max ($\times 10^{20}$)	2.88	3.2	3.6	4.114	4.8
	Min ($\times 10^{18}$)	1.8	2.0	2.25	2.571	3.0
Ground plane ($\times 10^{20}$)		2.7	3.0	3.375	3.857	4.5
기판($\times 10^{19}$)		1.08	1.2	1.35	1.543	1.8
산화층 두께(nm)		1.8	2.0	2.25	2.571	3.0

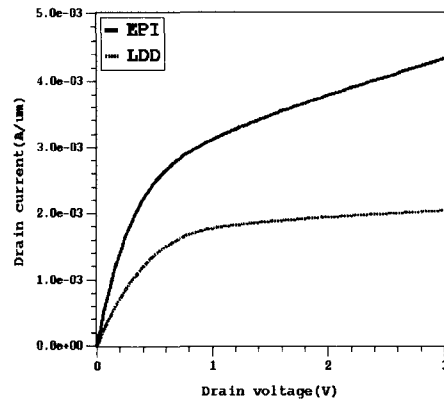


그림 2. 전류-전압 특성 곡선(0.06 μm 일 경우)

그림 2는 게이트 길이가 $0.06\mu\text{m}$ 일 경우 EPI 구조와 LDD 구조에서의 전류-전압 특성 곡선을 나타내었는데 EPI 구조에서 보다 높은 전류특성이 나타나는 것을 볼 수 있다. 이것은 EPI 구조가 LDD 구조보다 낮은 저항을 갖는다는 것을 의미한다.

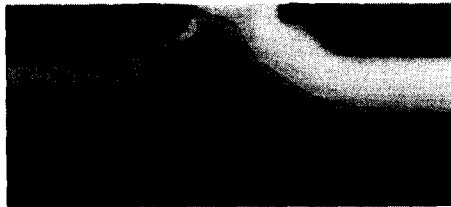


(a) LDD 구조($0.06\mu\text{m}$ 일 경우)

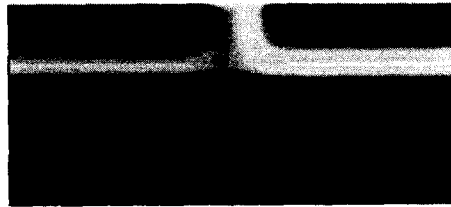


(b) EPI 구조($0.06\mu\text{m}$ 일 경우)

그림 3. LDD 구조와 EPI 구조에서의 임팩트 이온화 분포 비교



(a) LDD 구조($0.06\mu\text{m}$ 일 경우)



(b) EPI 구조($0.06\mu\text{m}$ 일 경우)

그림 4. LDD 구조와 EPI 구조에서의 전계 분포 비교

그림 3과 4는 게이트 길이가 $0.06\mu\text{m}$ 일 때 임팩트 이온화 현상 및 전계를 나타내었다. 임팩트 이온화는 고온 캐리어에 의한 산란에 의해 전자-정공 쌍을 생성하는 과정으로써 전계가 높을수록 임팩트 이온화가 높게 나타난다. 실제 채널 길이가 작아질수록 그리고 도핑농도가 높을수록 임팩트 이온화 및 전계는 높게 나타난다. 전계는 측면 확산 영역 안에서 최고치를 갖는다. 이러한 전계의 상승은 임팩트 이온화의 상승을 초래한다.

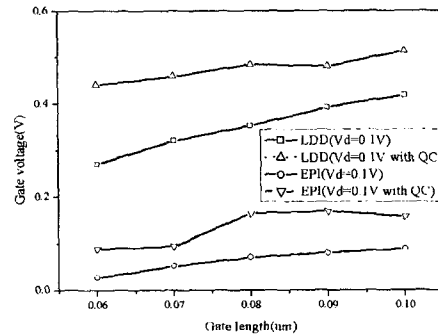


그림 5. Van Dort Quantum Correction Model에 대한 LDD와 EPI MOSFET의 문턱전압의 변화

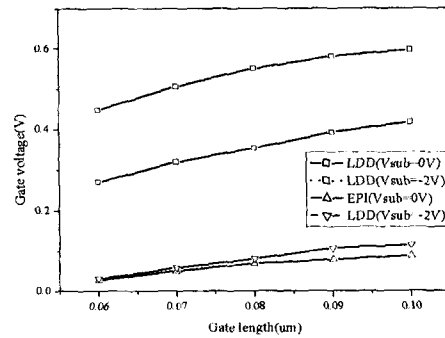


그림 6. 기판전압에 의한 문턱전압의 변화

그림 5는 드레인 전압이 0.1V 일 경우 Van Dort Quantum Correction model의 유무에 대한 문턱전압의 특성을 나타낸 것이다. 그림에서 볼 수 있듯이 EPI 구조보다 LDD 구조에서 문턱전압의 차이가 확연함을 알 수 있고 게이트 길이가 작아 질수록 문턱 전압은 게이트와 소스/드레인 영역의 전하 분배와 증가하는 V_{DS} 전압에 의해 소스와 드레인 사이의 낮아진 전압 때문에 감소함을 알 수 있다.[7]

그림 6은 문턱효과를 고려하여 $V_d=0.1\text{V}$ 에서 문

턱전압의 변화를 모의 실험한 결과를 도시한 것이다. 그림에서 보듯이 기판전압이 0V일 경우와 -2V일 경우를 비교해 보면 EPI 구조에서는 기판전압에 대한 영향이 작으나 LDD 구조에서는 기판전압의 변화로 인해 0.2V 가량 문턱전압이 증가하는 것을 볼 수 있다. 즉 기판전압이 낮아질수록 문턱전압은 높아진다는 것을 알 수 있다.

IV. 결 론

본 논문에서는 0.10 μm 에서부터 0.06 μm 까지 정전압 스케일링 이론에 의해 게이트 길이를 스케일링하여 MOSFET 소자의 문턱전압 및 전계, 임팩트 이온화에 대한 현상들을 고찰하였다. I-V 특성 및 임팩트이온화와 전계는 게이트 길이가 감소할수록 증가하는 것을 확인 할 수 있었고 문턱전압은 게이트 길이가 감소할수록 작아지고 LDD 구조보다 EPI 구조에서 문턱전압이 더 낮은 것을 확인 할 수 있었다. 높은 전류와 낮은 문턱전압은 집적회로 설계 시 매우 유용할 것이다. 그러나 이러한 특성을 갖는 EPI 구조에서 높은 전계와 임팩트 이온화는 분명히 개선되어야 하는 사항이다. 따라서, 집적회로 설계 시 가장 적합한 소자의 설계를 위해 많은 연구가 필요할 것으로 사료된다.

참고문헌

- [1] C. K. You, S. W. Ko, H. K. Jung, K. Taniguchi, "A Study on Temperature and Field-Dependent Impact Ionization Coefficient for Silicon Using Monte Carlo Simulation, ICPS-25, pp164-165, 2000.
- [2] Dale L. Critchlow, "MOSFET Scaling-The Driver of VLSI Technology", IEEE, vol. 87, no. 4, pp659-667, 1999.
- [3] Amanda Duncan, Umberto Ravaioli, "Full-Band Monte Carlo Investigation of Hot Carrier Trends in the Scaling of Metal-Oxide-Semiconductor Field-Effect Transistors", IEEE Transactions on Electron Devices, vol. 45, no. 4, pp867-875, 1998.
- [4] F. J. Garcia Sanchez, A. Ortiz-Conda, G. De-Mercato, J. A. Salcedo, J. J. Liou, Y. Yue, "New simple procedure to determine the threshold voltage of MOSFETs", Solid-State Electronics 44, pp673-675, 2000.
- [5] M. J. van Dort, P. H. Woerlee and A. J. Walker, "A Simple Model for Quantization Effects in Heavily-Doped Silicon MOSFETs at Inversion Conditions", Solid-State Electronics, Vol. 37, No 3, pp411-414, 1994.
- [6] Jhungsoo. Jhung, Kwanggyun. Jang, Sungt-aik. Shim, Hakkee. Jung, "Investigation of Threshold voltage in MOSFET with Nano Channel Length", ISIC-2001, proceeding, pp230-233, 2001.
- [7] Sheng-Lyang Jang, "A Compact LDD MOSFET I-V Model Based on Nonpinned Surface Potential", IEEE Transactions on Electron Devices, Vol. 45, No. 12, December 1998.