

# 전해 도금법을 이용한 Sn-Ag 및 Sn-Pb의 도금층 특성 평가에 관한 연구

A Study on Characteristics of Deposits Layer with Sn-Ag and Sn-Pb by Electroplating Method

최혜란\*, 이장열\*, 조원종\*, 정승부\*, 서창제\*

\*성균관대학교 신소재공학과

## 1. 서론

전자기기 및 부품의 발달에 따라 전자제품의 소형화 및 경량화가 요구되어지고 있고 이를 위한 실제적인 방안으로 패키지가 경박단소화 되고 있다. 그러나 기존의 칩 접속 방법인 와이어 본딩이나 TAB(Tape Automated Bonding) 기술로는 이를 충족시킬 수 없다. 이에 따라 칩의 가장자리를 통해서만 접속을 시키던 기존의 방법과는 달리 칩의 전 면적을 활용하는 Area Array 방식을 사용하여 접속 간격을 늘이고, Ball 형태를 사용하여 접속길이를 짧게 한 플립 칩(Flip Chip) 기술의 필요성이 점차 커지고 있다. 그러나 Inorganic기판은 고집적 회로를 구현하는데 공정상의 한계를 가지며 또한 고용용점 솔더 플립 칩 기술은 기판 가격과 솔더 범프 제조 가격이 매우 높은 문제점을 갖고 있다. 따라서 근래에는 저가이면서 미세회로의 구현이 용이한 Organic기판을 사용하기 위해 녹는점이 낮은 솔더 물질을 이용한 플립 칩 범프 제조 기술이 개발되고 있다. 일반적으로 사용되는 Pb-Sn계 솔더는 Pb로 인한 환경 문제와 인체에 대한 유해성이 문제가 되면서 무연 솔더(Pb free solder)의 다양한 개발이 이루어지고 있다.

이번 실험에서는 솔더 범프 형성 방법 중의 하나인 Electroplating을 이용하여, Pb free solder의 대표적인 솔더인 Sn-Ag계의 솔더 범프 형성에 필요한 도금 조건을 Hull Cell을 이용하여 설정하고, 그 특성을 평가하였다.

## 2. 실험방법

본 연구에서 사용된 Hull Cell test용 Anode는 Pt-Ti이고, Cathode는 압연된 bare Cu이다. Test하기 전 Cathode의 오염물을 제거하기 위하여 전처리를 실시하였다.

전해 도금은 Sn-Ag 및 Sn-Pb 모두 상온에서 실시하였고, 전류밀도는 1, 5, 10A/dm<sup>2</sup>, 시간은 5, 10, 15, 20min으로 변화시켰다.

도금 두께는  $\alpha$ -step을 사용하여 Scan Length 500 $\mu$ m, Scan Speed 25 $\mu$ m/sec로 측정하였고, 도금된 시편의 표면은 SEM(Scanning Electron Microscope)으로 관찰하였다. 전류밀도에 따른 결정성장 방위를 보기 위해 XRD(X-ray Diffraction)를 사용하여 Scan Degree 20~80°, Scan Speed 5°/min으로 측정하였다.

## 3. 실험결과 및 고찰

본 연구에서는 전해도금법을 이용하여 플립칩 범프 형성을 위해 무연솔더인 Sn-Ag 솔더를 이용하여 전류밀도와 시간에 따른 도금두께를 측정할 결과 다음과 같은 결과를 얻을 수 있었다.

Sn-Pb 및 Sn-Ag 솔더의 도금층은 시간과 전류밀도가 증가함에 따라 도금 두께가 거의 선형적으로 증가함을 알 수 있었다. 또한 Fig. 3에서 보여지는 바와 같이 주사전자현미경을 이용하여 도금층의 표면을 관찰한 결과 고전류 밀도(5A/dm<sup>2</sup>)인 경우 저전류 밀도(1A/dm<sup>2</sup>)에 비해 과전류의 영향에 의한 도금입자의 과대성장으로 불균일 분포를 나타내고 있다. 따

라서, 도금입자의 균일한 분포를 위해서는 적정 전류밀도가 매우 주요한 인자로 작용함을 알 수 있다.

4. 참고문헌

1. 이홍로, 표면공학, 형설출판사
2. Hirokazu Ezawa, Masahiro Miyata, Soichi Honma : Eutectic Sn-Ag Solder Bump Process for ULSI Flip Chip Technology, 2000 Electronic Components and Technology Conference
3. John H. Lau : Flip Chip Technologies

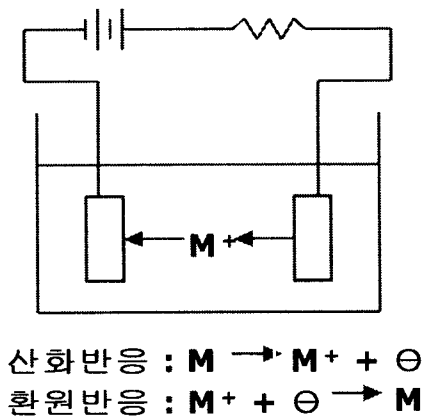


Fig. 1 Schematic of Electroplating method

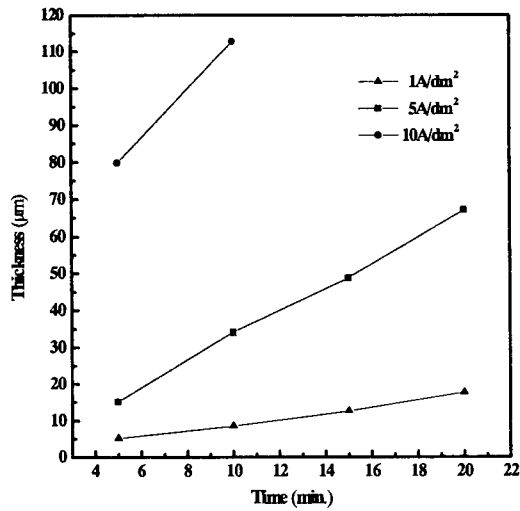
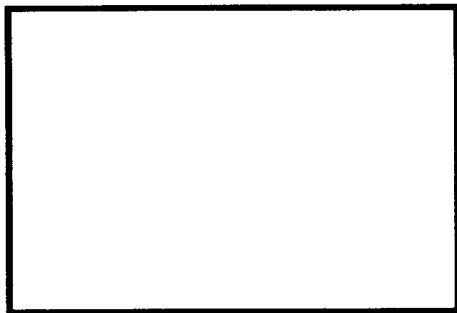
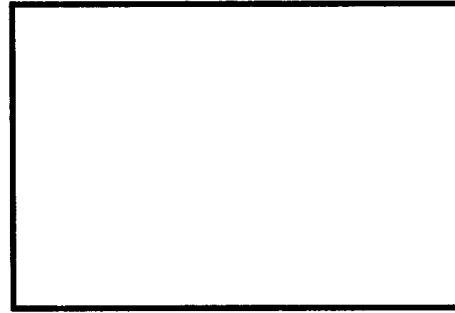


Fig. 2 Variation of Sn-Pb thickness v time for each current density.



(a)



(b)

Fig. 3 Surface morphology of Sn-Pb plating.

(a) 1A/dm<sup>2</sup> and (b) 5A/dm<sup>2</sup>