

ESPI를 이용한 플립칩 패키지의 열적 전단변형을 평가

Evaluation of thermal shear strain in flip-chip package by ESPI (Electronic Speckle Pattern Interferometry)

장우순*, 이백우*, 김동원*, 나재웅**, 백경욱**, 권동일*

*서울대학교 재료공학부

**한국과학기술원 재료공학과

1. 서 론

오늘날 컴퓨터와 이동통신의 소형화, 경량화 추세에 따라 이를 구성하는 부품소재들도 날로 미세화, 집적화하는 경향을 보이고 있다. 이에 따라 전자부품과 같은 마이크로 소재의 신뢰성을 평가하는 기술의 필요성이 대두되고 있는데, 특히 미소변형의 측정기술은 신뢰성 평가의 기초가 되는 기반 기술이라고 할 수 있다. 따라서 본 연구에서는 특히 부품소재의 구동 중 미소변형을 실시간적으로 측정할 수 있는 비파괴 시험법인 ESPI(Electronic Speckle Pattern Interferometry)를 통하여 최근 전자패키징 방법으로 널리 사용되고 있는 플립칩 패키지의 열변형 양상을 평가하고자 하였다. 이를 위하여 기존에 벌크 재료에 적용되던 ESPI의 분해능을 향상시켰고, 유한요소해석(FEA, Finite Element Analysis)을 통하여 검증하였다.

2. 이론적 배경

ESPI는 레이저가 물체에 조사될 때 나타나는 스펙클 무늬의 상호 간섭효과를 이용하여 미소변위를 측정하는 평가방법이다. 그림 1(a)와 같이 레이저가 두 개의 경로로 나뉘어 기준빔(reference beam)과 대상빔(object beam)의 역할을 한다. 대상체가 변형을 일으키면 스펙클 패턴이 변화하므로 변형 전후의 스펙클 패턴을 차감하여 프린지(fringe)를 얻는다. 프린지는 보강간섭을 일으키는 부분이 밝게, 상쇄간섭을 일으키는 부분이 어둡게 나타나므로 프린지 개수를 통하여 변형량을 정량적으로 평가할 수 있다. 본 실험에서는 미소변형을 측정하기 위해 그림 1(b)와 같이 광학계에 원거리 줌렌즈를 설치하여 분해능 향상을 꾀하였고, 이를 통해 마이크로미터 이하의 변형량을 평가할 수 있었다.

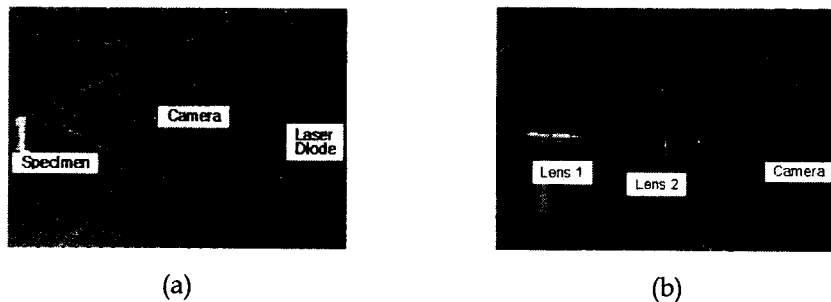


Fig.1 Optical set up of ESPI; (a) in-plane measurement and (b) magnifying lenses

3. 실험방법

그림 2는 실험에 사용된 플립칩 패키지 시편이다. 실리콘 웨이퍼에 알루미늄 배선이 구성된 칩을 지름 500 μ m의 Sn-37Pb 구형 솔더를 사용하여 PCB 기판에 올려 제작하였다. 단면을 자른 플립칩 시편은 좌우 대칭형으로 구성되어 있으므로 중심에서 오른쪽 1/2 부분을 평가에 사용하였다. 회로에 흐르는 전류에 의한 시편의 열변형 상황을 모사하기 위하여 광학창이 달린 진공 열챔버를 제작, 사용하였다. 일반적으로 플립칩은 사용시 최대 125 $^{\circ}$ C의 온도까지 가열된다고 알려져 있으므로, 상온(25 $^{\circ}$ C)에서 125 $^{\circ}$ C까지 승온속도 5 $^{\circ}$ C/min으로 가열하면서 1분 간격으로 변형 양상을 측정하였다. 가열 상황에 따른 플립칩 시편의 변화를 ESPI를 사용하여 측정하기 위하여 진공 열챔버의 앞부분에 지름 210mm의 광학창을 설치하였다. 또한 챔버 내부의 열대류에 의한 레이저 경로의 왜곡 현상을 막기 위

하여 10^{-3} Torr 정도의 진공을 유지하여 실험하였다.

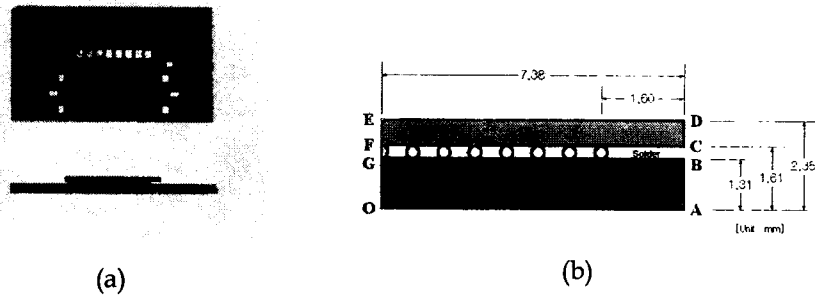


Fig.2 (a) Flip-chip specimen and (b) specimen dimension

4. 실험결과 및 고찰

분해능이 향상된 ESPI를 통해 온도증가에 따른 플립칩 솔더접합부의 수평방향 변형량을 비접촉, 비파괴, 실시간적으로 측정하였다. 플립칩 패키지는 실리콘 칩과 PCB가 솔더에 의해 전기적, 기계적, 열적으로 연결되어 있기 때문에 온도가 상승하면 열팽창계수 차이로 인해 서로 다른 변형 양상을 보인다. 그림 3은 25°C에서 125°C까지 가열할 때 플립칩의 열변형 양상을 ESPI를 통하여 평가한 것이다. 프린지 패턴을 보면(그림 3(a)), 프린지는 수직 방향에서 바깥쪽으로 휘어져 있는 것을 관찰할 수 있는데, 이는 열팽창 차이로 인해 솔더접합부 상부에서는 중심 방향으로 하부에서는 바깥쪽 방향으로 힘이 작용하고, 이에 따라 구속력이 발생하기 때문이라 생각된다. 얻어진 프린지 패턴을 통하여 플립칩 열변형 양상을 전체적으로 살펴볼 수 있고, 이미지 프로세싱 과정을 통해 각각의 국부적인 변형량을 정량적으로 구할 수 있다. 국부적 변위를 색으로 나타내 맵핑할 수 있다(그림 3(b)). 유한요소해석(FEA)을 통해 열변형을 시뮬레이션한 결과(그림 3(c))와 비교해 보면 일치하는 경향을 보임을 알 수 있다.

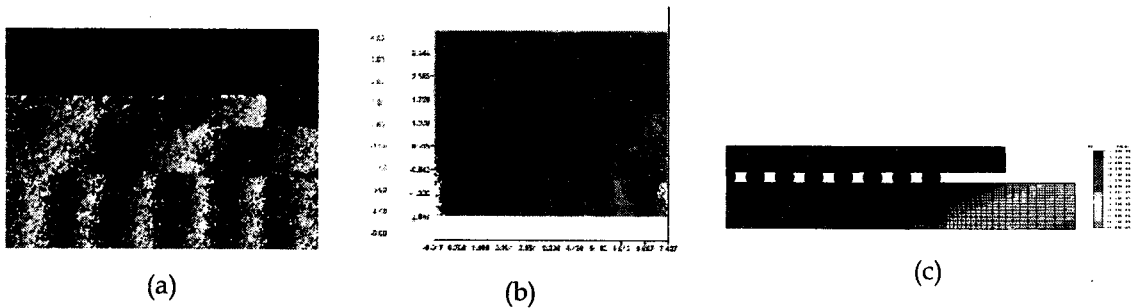
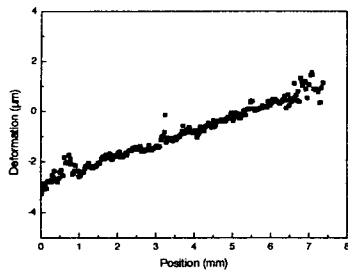


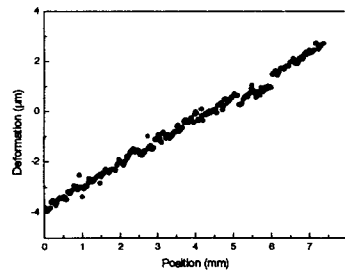
Fig.3 Flip-chip deformation from 25°C to 125°C ; (a) fringe pattern, (b) color image and (c) FEA(finite element analysis) result

ESPI로 측정된 플립칩 패키지의 국부적인 변위를 통해 솔더볼 각각의 전단변형률을 계산할 수 있다. 실리콘 칩과 PCB의 변형량을 그림 4(a), (b)에 나타내었고, 이를 통하여 플립칩에서 발생하는 전단변형률을 계산한 결과와 FEA 결과를 비교하여 그림 5에 나타내었다. 플립칩의 중심에서 바깥쪽으로 솔더볼의 전단변형률이 증가하고 있음을 알 수 있다. 따라서 맨 바깥쪽 솔더볼에서 전단변형률이 가장 크게 측정되었고, 반복동작에 의한 피로파괴가 가장 발생하기 쉬운 부분이라는 것을 알 수 있다. 측정된 전단변형률을 피로파괴 예측식에 적용하면 플립칩의 반복동작에 따른 수명을 예측할 수 있다. ESPI 측정결과와 FEA 결과를 비교해 보면 두 결과가 매우 유사한 양상을 보인다. 중심부의 전단변형률에 비해 바깥쪽 전단변형률이 잘 맞지 않는 이유는 FEA의 초기 입력치인 재료상수가 실제 솔더 제작과정의 반복 리플로우에 의해 변화할 수 있는데, 이를 충분히 반영할 수 없었기 때문이라고 생각된다. 또한 변형이 2차원적으로 일어난다고 가정하고 시뮬레이션을 행하였기 때문에 이에

따른 오차도 생각할 수 있다. 그러나 경향성 측면에서는 ESPI의 측정 결과의 타당성을 입증해준다고 판단할 수 있다.



(a)



(b)

Fig.4 Deformation of (a) chip and (b) PCB at 125°C

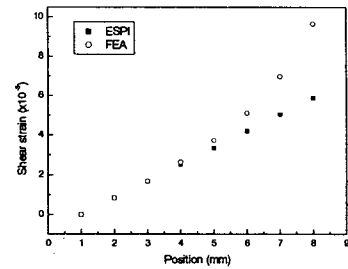


Fig.5 Comparison of shear strain results by ESPI with FEA

5. 결 론

기존에 벌크 재료의 변형량 평가에 주로 사용되던 비파괴 측정법인 ESPI의 분해능을 향상시켜 미세소자에 적용하였다. 원거리 줌렌즈를 장착하여 ESPI 광학계를 구성함으로써 마이크로미터 이하의 변형 측정이 가능하였다. 이를 바탕으로 플립칩 패키지의 열적 단면 변형장을 측정하였고, 측정된 국부적 변위를 바탕으로 플립칩 솔더접합부 각각의 전단변형률을 평가하였다. 또한 유한요소해석을 통해 측정된 실험 결과의 타당성을 검증하였다.

후 기

본 연구는 과학기술부 국가지정연구실 사업의 연구비 지원에 의하여 수행되었으며, 이에 감사드립니다.

참고문헌

1. Rastogi, P. and Inaudi, D. : Trends in Optical Nondestructive Testing and Inspection, Elsevier Science (2000), pp207-222
2. Cloud, G. : Optical Methods of Engineering Analysis, Cambridge University Press (1995), pp453-476
3. Lau, J. : Flip Chip Technologies, McGraw-Hill (1996), pp123-154
4. Lee, W., Nguyen, L. and Selvaduray, G. : Solder joint fatigue models: review and applicability to chip scale packages, *Microelectronics Reliability*, 40(2000), pp231-244
5. Wang, J., Ren, W., Zou, D., Qian, Z. and Liu, S. : Processing mechanics for flip-chip assemblies, *Computers and Structures*, 71(1999), pp457-468
6. Wang, Z., Tan, Y. and Chua, K. : Board level reliability assessment of chip scale packages, *Microelectronics Reliability*, 39(1999), pp1351-1356
7. Dai, X. and Ho, S. : Thermo-mechanical deformation of underfilled flip-chip packaging, 1997 *IEEE/CPMT Int'l Electronics Manufacturing Technology Symposium* (1997), pp326-333
8. Ham, S., Cho, M. and Lee, S. : Thermal deformation of CSP assembly during temperature cycling and power cycling, 2000 *Int'l Symposium on Electronic Materials & Packaging* (2000), pp350-357