

**Gain-Phase 추출 기능을 가진
DDFS의 설계 및 검증**

*도 재철, *조준영, **이태호, *송영석, *최창, *박종식
*경북대학교 전자공학과, **삼성종합기술원

**Design and Implementation of DDFS
Including Gain-Phase Detector**

*Jae Chul Do, *Jun Young Cho, **Tae Ho Lee,
*Young Suk Song, *Chang Choi, *Chong Sik Park
*Dept. of Electronic Engineering, Kyungpook National University
**Samsung Advanced Institute of Technology

Abstract - In this paper we implemented DDFS and gain-phase detector which use output of DDFS or any sinusoidal signal input to broaden the usability of DDFS. DDFS is composed of a 32 bits phase accumulator, phase increment registers, ROM and several registers for controlling the operations. It generates the digital data for sine wave up to the half of the clock frequency. To reduce the ROM size and increase the speed, we adopt the algorithms based on Taylor's series expansion method. Data at sparse phase intervals are stored in ROM and sine data between intervals are calculated in hardware. Function of Gain-Phase Extraction consists of sine lookup of DDFS and the optimized multipliers.

1. 서론

초고속 멀티미디어 시대로 접어들면서 초고속 동기회로의 중요성은 한층 더 커지고 있다. 특히 고속메모리와 IMT2000의 하드웨어구현에 있어서 동시에 필요한 신호를 발생시킨다는 측면에서 PLL(Phase Lock Loop)과 주파수 합성기는 가장 중요한 블록으로 다루어지고 있다. 주파수 합성기의 기능은 기준 신호원의 신호를 합성하여 사용자가 원하는 안정도가 높은 주파수를 발생시키는 기능을 수행하는 것이다. 이 주파수를 발생시키는 데는 여러 가지 방법이 있다. 그러나 파워소모 제한과 합성기의 능력이 통합된 시스템에서 요구되는 변조 때문에 이런 많은 방법들은 제한적이다. 그래서 대부분 고성능 주파수 합성기는 보통 두 가지 이상의 방법들의 장점을 결합하여 사용하고 있다. 직접 디지털 주파수 합성기(DDFS : Direct Digital Frequency Synthesizer)는 기존의 PLL 방식에서 다루지 못하는 빠른 주파수 변환이나 정밀한 주파수 조정이 요구되는 응용 분야에 쓰인다. 본 논문에서는 DDFS를 설계하고 설계한 DDFS 출력신호 또는 외부 입력신호를 기준으로 진압과 진류 및 임의의 신호에 대한 gain과 phase를 추출할 수 있게 함으로써 그 활용 폭을 넓혔다. DDFS는 빠른 위상과 주파수 변환을 위한 회로의 축소 및 계산속도를 증대시키기 위해 3개의 ROM 테이블을 사용하는 Taylor series를 이용하였다. 또한 설정된 주파수의 정현파 신호를 발생하기 위해 32비트의 위상 누산기를 사용하였다. Gain-Phase 추출은 실 시간적인 연산을 위하여 Booth-Wallace Tree Multiplier를 적용하였다.

2. 본론

2.1. DDFS 및 Gain-Phase 추출기의 구조 및 개요

그림 2-1은 본 논문에서 설계된 Gain-Phase 추출 기능을 가지는 DDFS의 시스템 개요도이다. DDFS 시스템은 Micro-Processor와 DDFS, DAC 그리고 위상-크기 추출block으로 구성된다. Micro-Processor는 DDFS를 동작시키는 control신호와 DDFS의 입력 data를 발생시킨다. DDFS로 입력되는 data는 PIR값을 결정하여 Phase Accumulator에 저장되어 있는 값에 더해진다. DDFS block은 계속 증가되는 Phase Accumulator의 Phase에 해당하는 sine값을 출력한다. 이 sine값은 MUX에 의해 Gain-Phase 추출부의 기준 입력으로 사용된다. Gain-Phase 추출부는 외부 입력 Data와 reference Data의 위상과 크기를 곱셈기를 이용하여 구하는 블록이다.

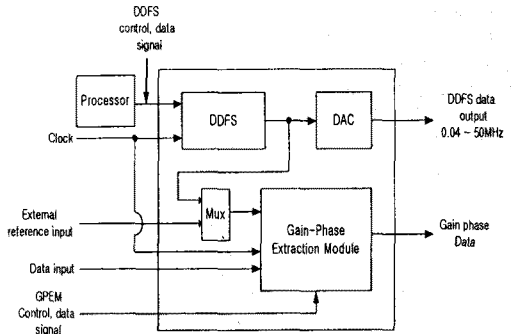


그림 2-1. DDFS 및 GPPEM의 시스템 개요도

Fig.2-1 The block diagram of DDFS and GPPEM.

2.1.1. DDFS의 기본 동작 이론 및 ROM 축소 알고리즘

매 시스템 clock마다 L비트의 PIR(Phase Increment Register)가 phase accumulator에 저장되어 있는 값에 더해진다. Phase accumulator에서는 계속 PIR이 더해지므로 overflow가 발생하게 되고 Phase accumulator에 저장되어 있는 L비트의 값 중에서 MSB쪽에 있는 상위 N비트가 ROM table로 입력되고(phase truncation) ROM table에서는 N비트의 phase에 해당하는 sine값을 출력한다. 출력되는 주파수는 샘플링 이론이 적용되어 시스템 주파수의 1/2이하의 주파수로 제한되어 출력된

다. 원하는 주파수를 얻기 위한 위상 증가치를 계산하고 이를 위상 누산기에서 계속 더하고 위상에 일치하는 파형의 크기로 출력하는 일련의 디지털 주파수 합성기의 기본 동작의 블록은 그림 2-2와 같다. 위상-크기 변환은 ROM lookup table에서 이루어진다. ROM lookup table의 입력은 위상 누산기에 의한 위상 정보로서 이는 2진 데이터로 표현한 어드레스이다. 위상 누산기의 비트 수에 따라 위상 증가치의 해상도가 달라지며 마이크로 프로세서의 제어에 의해 위상 증가치가 위상 증가치 저장 레지스터에 입력되고 디지털의 최종 출력이 DAC를 통과하고 LPF(Low Pass Filter)를 거쳐 특정 주파수의 파형을 출력한다.

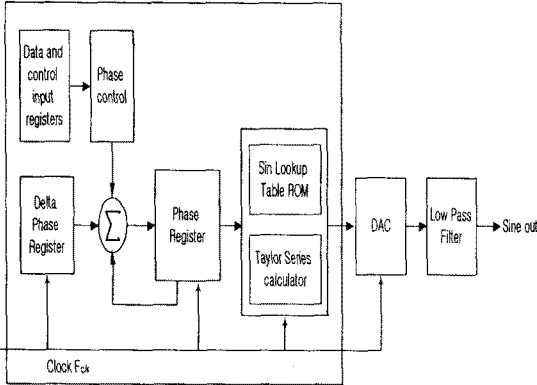


그림 2-2. DDS부의 시스템 개요도
Fig 2-2. Block Diagram of DDS.

본 논문에서는 lookup table에 저장되는 워드의 개수를 줄이기 위해 세 가지의 어드레스 비트 축소 알고리즘을 구현한다. 먼저 정현파의 대칭성을 이용하여 ROM 테이블의 크기를 축소하는 quadrant folding 방법이 있다. 그리고 위상 누산기의 일부 MSB만을 사용하는 방법으로 어드레스 비트 수를 줄이므로 ROM 테이블의 크기를 줄인다. 마지막 방법으로 Taylor's series를 이용해서 ROM lookup table block을 설계한다.

정현파는 대칭적인 파형이므로 ROM 내부에 2π 동안 전 위상과 크기를 저장할 필요 없이 0에서 $\pi/2$ 에 해당하는 크기 값만 ROM내부에 저장하고, 다른 구간의 값은 각 사분면의 대칭성을 이용하여 quadrant folding 회로를 첨가하여 ROM 테이블로부터 구하면 ROM 테이블의 크기를 1/4로 줄일 수 있다. quadrant folding을 위한 회로에 대한 부분은 그림 2-3에 나타난다. 어드레스 비트의 MSB 일부만을 사용하는 방법은 ROM lookup table의 입력 어드레스가 되는 위상 누산기의 출력 데이터의 상위 일부분만을 사용하는 것으로써 주파수 천이 시에 위상 coherency 특성이 약간 떨어지지만, 같은 주파수를 얻을 수 있다. 최근의 연구 결과로서 32비트의 위상누산기를 사용한 직접 디지털 주파수 합성기의 경우, 위상누산기 출력의 하위 17비트를 제거하고 상위 15비트만 sine 값을 계산하는데 사용하였을 때 발생하는 최대 위상 에러는 0.0002° 에 불과하며, 이 에러는 시스템에 적용하여도 거의 영향을 주지 않는 것으로 알려져 있다.^[4] 예를 들어 주파수 조정 입력 단이 24비트인 경우, 24비트 전부를 어드레스로 사용했을 경우와 이중 하위 10비트를 버리고 상위 14 비트만을 어드레스로 사용했을 경우와 같은 결과를 얻을 수 있다. 이와 같이 24비트를 어드레스를 사용하면 데이터양은 2^{24} 개가 되어 데이터 처리와 ROM용량 상의 문제점으로 칩 제작이 어렵다. 설계한 직접 디지털 주파수 합성기는 32비트 위상

누산기를 사용하므로 거의 ROM용량이 4기가 바이트에 가까우며 이는 대용량으로 구현이 힘들고 이를 위해 32비트의 위상 누산기에서 출력된 데이터의 MSB 13비트만을 ROM lookup table의 어드레스로 한다. 이때의 최대 위상 에러는 0.0008° 이며 이는 시스템의 하드웨어적인 에러에 비해 거의 영향이 없으며 빠른 주파수 변환을 위해서는 영향이 없다. 결론적으로 말하자면 MSB 13비트를 ROM lookup table의 입력으로 들어간다.

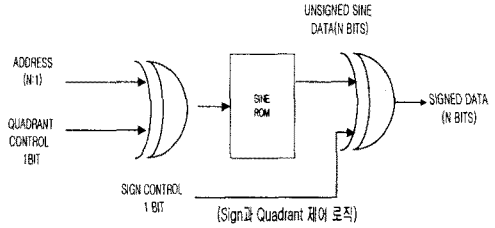


그림 2-3. 비트 축소를 위한 사인파의 제어 로직
Fig 2-3. Control logic of sine wave quadrant folding.

또 하나의 어드레스 비트를 줄이기 위해서 본 논문에서는 Taylor series를 적용하여 위상-크기 변환을 수행했으며, ROM size를 거의 20:1정도로 줄였으며 ROM size가 감소되면서 생기는 문제점으로 데이터의 연산을 위한 multiplier와 full adder 등의 여분의 연산 회로가 필요하며 데이터의 연산시간이 길어지므로 이에 대해 최적화된 주파수 변환을 위한 회로를 이용하여 설계하였다. 그림 2-4에 전체 블록으로 표현하였는데 이를 상세하게 설명한다면 첫째 항의 sine ROM look-up table은 quadrant folding을 하고 남은 11비트 중에서 상위 6비

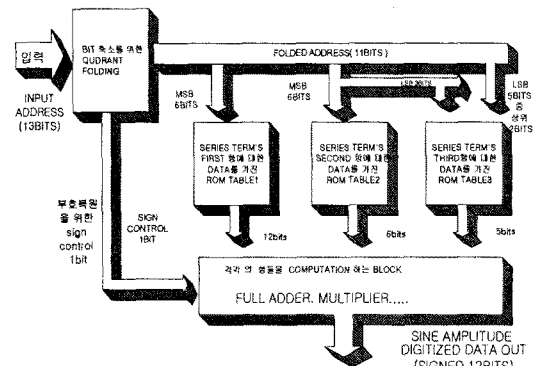


그림 2-4. ROM 록-업 테이블 블록 다이어그램

Fig. 2-4. ROM Look-up table block diagram. 트를 입력 어드레스를 받고 출력 데이터는 sine 함수의 amplitude 값으로써 12비트의 데이터를 가진다. 즉 sine ROM lookup table은 64×12 비트의 용량을 가지고, 둘째 항의 cosine ROM lookup table은 상위 6비트의 어드레스를 입력을 받고 6비트의 데이터를 출력하며 ROM table의 용량이 64×6 비트이다. cosine 함수의 amplitude 값을 12비트로 하지 않는 것은 6비트만 가지고 원하는 출력을 만들 수 있으며 cosine ROM lookup table의 용량을 감소하여 전체 ROM size를 줄이기 위함이며, cosine ROM lookup table의 출력 데이터 값과 하위 어드레스 값인 5비트 값이 서로 multiply 함으로써 하위 5비트에 의한 곱셈이 이루어지기 때문에 최종 출력을 12비트로 하는 직접 디지털 주파수 합성기이므로 6비트의 비트가 오른쪽으로 shift되어 첫째 항과 add 되어야 만

이 정확한 데이터가 출력되며 첫째 항과 둘째 항의 비트 position이 맞게 된다. 이는 cosine ROM lookup table의 출력 데이터를 6비트로 하지 않고 선택적으로 할 수 있으며 비트 수가 크면 그만큼의 정밀도는 증가하지만 ROM size 증가, multiplier의 크기가 증가하여 칩 사이즈의 증가 뿐 아니라 multiplier의 계산 시간의 증가로 인한 빠른 주파수 변환이 어렵다. 이에 최적하다고 하는 결과를 비교하여 6비트로 정하였고, 이를 곱한 최종 데이터는 11비트이지만 첫째 항과의 비트 position에 맞추면 하위 4비트를 잘라버리고 남은 상위 7비트이다.

2.1.2. Phase-gain 추출의 기본이론

입력 신호 $x(t)$ 가 $x(t) = a \sin(\omega t + \theta)$ 라고 하면 한 주기 동안 N 번 입력된 신호 $x(n)$ 은 다음과 같이 나타낼 수 있다.

$$x(n) = a \sin\left(\frac{2\pi}{N}n + \theta\right), \quad n=0,1,2,\dots,N-1 \quad (1)$$

단, 이때 N 은 한 주기 당 입력된 데이터 수이다. 측정 신호로부터 크기 및 위상을 구하기 위해서는 식(2)로 나타나는 오차가 최소가 되면 된다.

$$\begin{aligned} \delta &= \sum_{n=0}^{N-1} \left\{ x(n) - a \sin\left(\frac{2\pi}{N}n + \theta\right) \right\}^2 \\ &= \sum_{n=0}^{N-1} \left\{ x(n)^2 - 2ax(n) \sin\left(\frac{2\pi}{N}n + \theta\right) \right. \\ &\quad \left. + a^2 \sin^2\left(\frac{2\pi}{N}n + \theta\right) \right\} \quad (2) \end{aligned}$$

오차 δ 를 최소화하기 위해서는 다음의 식을 만족하여야 한다.

$$\frac{\partial \delta}{\partial a} = \frac{\partial \delta}{\partial \theta} = 0 \quad (3)$$

위상을 구하기 위해서 $\frac{\partial \delta}{\partial \theta}$ 는 다음과 같이 정리된다.

$$\begin{aligned} \frac{\partial \delta}{\partial \theta} &= \sum_{n=0}^{N-1} \left\{ -2ax(n) \cos\left(\frac{2\pi}{N}n + \theta\right) \right. \\ &\quad \left. + 2a^2 \sin\left(\frac{2\pi}{N}n + \theta\right) \cos\left(\frac{2\pi}{N}n + \theta\right) \right\} \\ &= 0 \quad (4) \end{aligned}$$

식 (4)에서부터 다음과 같이 구할 수 있다.

$$\therefore \tan \theta = \frac{\sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}n}{\sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}n} \quad (5)$$

이러한 식으로부터 위상은 다음과 같이 구할 수 있다.

$$\theta = \tan^{-1} \frac{\sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}n}{\sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}n} \quad (6)$$

크기를 구하기 위해서 $\frac{\partial \delta}{\partial a}$ 는 다음과 같이 정리된다.

$$\begin{aligned} \frac{\partial \delta}{\partial a} &= \sum_{n=0}^{N-1} \left\{ -2x(n) \sin\left(\theta + \frac{2\pi}{N}n\right) \right. \\ &\quad \left. + 2a \sin^2\left(\theta + \frac{2\pi}{N}n\right) \right\} \\ &= 0 \quad (7) \end{aligned}$$

위 식은 다음과 같이 정리된다.

$$\sum_{n=0}^{N-1} \left\{ -2x(n) \sin\left(\theta + \frac{2\pi}{N}n\right) + a - a \cos\left(2\theta + \frac{2\pi}{N}2n\right) \right\} = 0 \quad (8)$$

식 (8)에서 가장 우측 항은 0이 되므로 다음과 같이 정

리할 수 있다.

$$\begin{aligned} aN &= 2 \sum_{n=0}^{N-1} x(n) \sin\left(\theta + \frac{2\pi}{N}n\right) \\ &= 2 \sum_{n=0}^{N-1} \left\{ x(n) \sin \theta \cos\left(\frac{2\pi}{N}n\right) \right. \\ &\quad \left. + x(n) \cos \theta \sin\left(\frac{2\pi}{N}n\right) \right\} \quad (9) \end{aligned}$$

식 (9)로부터 크기 a 는 다음과 같이 구할 수 있다.

$$\begin{aligned} a &= \frac{2}{N} \left\{ \sin \theta \left(\sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}n \right) \right. \\ &\quad \left. + \cos \theta \left(\sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}n \right) \right\} \quad (10) \end{aligned}$$

한 주기 동안 N 번 샘플링 된 측정 신호 $x(n)$ 의 위상 및 크기는 다음과 같이 구할 수 있다.

$$A = \sum_{n=0}^{N-1} x(n) \cos \frac{2\pi}{N}n \quad (11)$$

$$B = \sum_{n=0}^{N-1} x(n) \sin \frac{2\pi}{N}n \quad (12)$$

라 하면

$$\theta = \tan^{-1} \frac{A}{B} \quad (13)$$

$$a = \frac{2}{N} (A \sin \theta + B \cos \theta) \quad (14)$$

와 같이 구할 수 있다.

2.2. DDFS 및 Phase-gain 추출부의 설계

2.2.1 DDFS의 설계

설계된 디지털 주파수 합성기의 특정 주파수 합성은 앞에서 언급한 것처럼 출력하기 위한 주파수에 일치하는 위상 증가치를 PIR(Phase Increment Register)에 저장하고 어떤 특정 제어신호에 의해 위상 누산기에 입력, 매 시스템 클럭에 의해 위상이 누산되고, 누산된 위상은 ROM lookup table에 입력되고 이산 데이터를 출력, DAC에서 이산 신호를 연속, 아날로그 신호로 복원하면 된다. 여기서는 고해상도를 위하여 32 비트 누산기를 이용하였다. 전체 구조를 보면 프로세서 인터페이스부가 있는데 이 블록은 디지털 주파수 합성기의 위상과 주파수를 제어한다. address decoder, chip selection, write enable 신호를 포함하며 디지털 주파수 합성기의 출력 주파수와 위상을 제어하는 2개의 레지스터 SMC(Synchronous Mode Control), AMC(Asynchronous Mode Control) 레지스터와 비동기 제어를 위한 AHC(Asynchronous Hop Clock) 레지스터, 위상 누산기를 리셋하기 위한 ARR(Accumulator Reset Register)로 구성되어진다. 디지털 주파수 합성기의 동작 모드를 제어하는 신호가 저장되고 decoding되어 HOP_CLK, PISR1, PISR2의 데이터를 누산기에 입력되는 것을 제어하는 레지스터가 SMC, AMC이다.

2.2.2 Phase-gain 추출부의 설계

앞 절에서 언급한 바와 같이 위상 및 크기 추출 모듈에서는 DDFS의 출력신호 혹은 외부에서 입력되는 동기신호를 기준으로 입력되는 신호의 크기와 위상을 추출하는 기능을 수행하는 모듈을 구현한다. 그림 2-5은 위상-크기 추출 모듈의 블록 Diagram을 나타내었다.

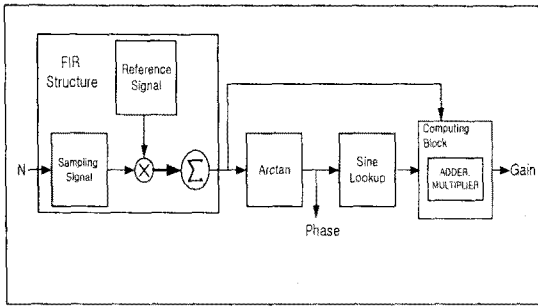


그림 2-5. 위상-크기 추출부의 개요도
Fig 2-5. block diagram of phase and gain extraction

Reference 입력은 DDFS의 출력신호 또는 외부 신호를 선택적으로 사용할 수 있다. 샘플링 개수 N이 주어지면 Sampling input과 Reference input의 12bit는 DDFS를 이용하여 얻어진 sine data 및 cosine data와 함께 multiplier와 adder 블록에서 연산을 수행한다. 그림 2-6와 같이 Arctan 블록은 기본적인 지점에서 값을 더하고 빼서 원하는 지점을 찾아가는 일반적인 Cordic 알고리즘의 방법을 이용하였다. 여기서 모든 iteration(=15)은 병렬구조로서 clock마다 $-1rad \sim +1rad$ 의 범위로 바꾸어 2π 로 형성시킨다. VLSI 설계에 있어서는 기본적인 integer를 이용하고, 또 각 variable의 bit extension을 통해서 정확도에 접근해 가는 방식을 이용한다.

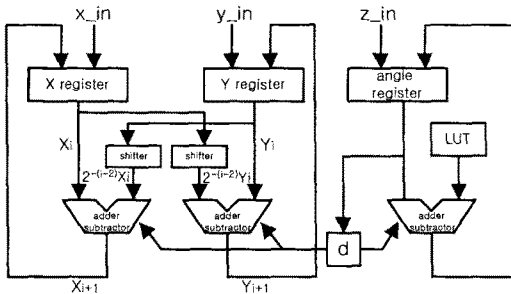


그림 2-6 arctan 연산의 개요도
Fig 2-6. block diagram of arctan arithmetic

2.3. 실험 결과

그림 2-7은 Xilinx의 FPGA SPARTAN2를 이용한 1kHz의 기본 주파수를 출력하는 timing시뮬레이션 결과이다.

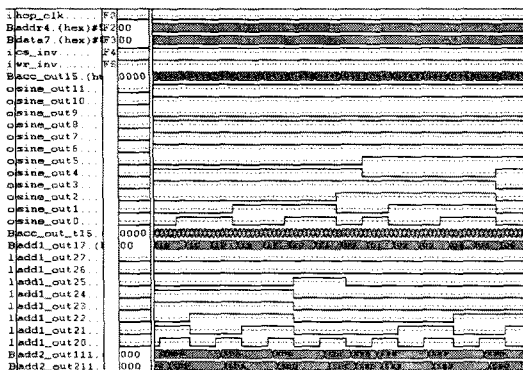


그림 2-7. DDFS의 시뮬레이션 결과
Fig 2-7. Timing simulation of DDFS

그림 2-8은 Gain-Phase 추출의 simulation 결과이다. DDFS의 sine data 및 Gain data는 자리수를 고려해야 한다. 즉 DDFS의 MSB는 부호비트이고 (MSB-1)비트를 기준비트 자리라 가정하면, Gain data의 16비트에서 기준비트 자리에 해당하는 것은 (MSB-8)비트 자리이다. 따라서 Gain data는 sampling number에 따라 비트를 쉬프트 해 주어야 한다. 그림 2-8에서 Gain data "3FB8"는 sampling 변수 계산으로 31.859357로 실 계산치와의 오차는 0.016로서 오차율은 0.051 % 이다.

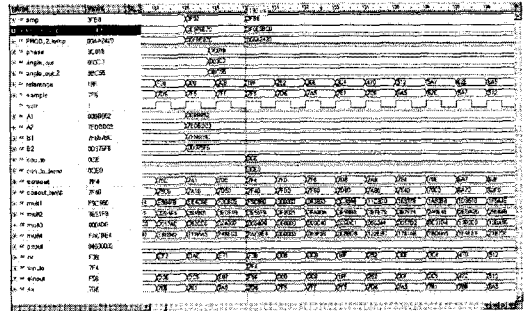


그림 2-8. Gain simulation 결과
Fig 2-8. Function simulation of gain

3. 결 론

본 논문에서는 정현파를 기본 파형으로 제어하는 계측 장비나 통신 시스템의 응용 부분등에 이용되는 디지털 주파수 합성기를 설계하였고, 또한 이를 이용하여 임의의 입력 신호에 대한 Gain-Phase 추출기를 설계하고 구현하였다. 이 시스템은 0.01164Hz의 DDFS 주파수 해상도와 $2^{-19}\pi$ 의 phase resolution, 0.051% 오차의 Gain data의 정밀도를 가진다. 또한 최대 53.844MHz의 동작 속도와 6.382 ns의 net지연을 가진다.

(참 고 문 헌)

- [1] V. Manassewitsch, Frequency Synthesizer, Theory and Design, 2nd ed. New York: Wiley, 1989.
- [2] C. E. Barlow, "Understanding Microwave Frequency Synthesizers" *IEEE Transactions on Communication Technology*, pp36-38, Nov. 1987.
- [3] J. Tierney, C. M. Rader, and B. Gold, "A digital frequency synthesizer" *IEEE Trans. Audio Electro-acoustics*, vol AU-19, pp. 48-57, 1971.
- [4] Henry T. Nicholas, and Henry Samuelli, "A 150-MHz Direct Digital Frequency Synthesizer in 1.25-mm CMOS with -90-dBc Spurious Performance," *IEEE J. Solid State Circuits*, vol. SC-26, pp. 1959 -1969, Dec. 1991
- [5] 김대용, 이종선, "1.0 μ m CMOS SOG로 구현한 직렬 디지털 주파수합성기의 성능에 관한 고찰", *전자공학회논문지* 제 34권 D편 제 3호 1997. 3
- [6] 이종선, 유영갑, 김대용, "The DDFS Design with Multi-ROM and Noise Shaper", *Proc. The 3rd Korean Conference on Semiconductors*, pp.515-516, 1996,