

저전압 CMOS Gm-C 연속시간 필터 설계

윤창훈*, 정상훈, 최석우

*우석대학교 정보통신컴퓨터공학부, 전북대학교 전자정보공학부

The Design of Low Voltage CMOS Gm-C Continuous-Time Filter

Chang-Hun Yun*, Sang-Hoon Jung and Seok-Woo Choi

*Faculty of Information and Communications Engineering, Woosuk University

Faculty of Electronic and Information Engineering, Chonbuk National University

Abstract - In this paper, the Gm-C filter for low voltage and low power applications using a fully-differential transconductor is presented. The designed transconductor using the series composite transistors and the low voltage composite transistors has wide input range at low supply voltage. A negative resistor load (NRL) technology for high DC gain of the transconductor is employed with a common mode feedback(CMFB). As a design example, the third-order Elliptic lowpass filter is designed. The designed filter is simulated and examined by HSPICE using TSMC 0.35 μ m CMOS n-well parameters. The simulation results show 138kHz cutoff frequency and 11.05mW power dissipation with a 3.3V supply voltage.

1. 서 론

최근에는 많은 아날로그 회로들이 디지털화 되었음에도 불구하고 아날로그 회로에 대한 수요는 줄어들지 않고 있다. 또한 비약적인 디지털 기술의 발전에도 불구하고 시스템의 성능을 결정하는데 있어 가장 중요한 요인은 아날로그 인터페이스의 성능이다. 이런 이유로 고성능의 아날로그 회로가 필요하며 시스템 집적화에 부응해 아날로그와 디지털 회로를 하나의 IC에 집적하는 혼성모드 기술이 발전하게 되었다. 혼성모드 회로에서 디지털 회로의 저전압화는 기존의 아날로그 회로들도 저전압 하에서 동작하게 하는 요인이 되었다. 그러나 아날로그 회로에서 공급 전압의 감소는 이득, 동적 범위, 속도 등의 감소와 선형성, 노이즈에 심각한 영향을 미치게 된다. 따라서 아날로그 회로에 대한 새로운 설계 방법들이 요구되고 있다.

일반적으로 연속시간 필터는 비디오 신호처리, ADSL 모델의 Front-end 단, hard disk drive read channel 등 많은 응용분야에서 널리 쓰이고 있으며, 이의 구현에는 active-RC 필터, MOSFET-C 필터, Gm-C 필터 등이 있다. 이러한 구현 방법들 중에서 Gm-C 필터는 연산 증폭기를 필요로 하지 않아 고주파수 동작, 작은 칩 면적, 저전력 특성 등의 장점을 갖는다.

본 논문에서는 아날로그 연속시간 필터를 Gm-C 방법으로 설계하였다. 또한 본 논문은 ADSL 모델용 아날로그

그 Front-end 단에서 138 KHz의 차단주파수를 갖는 Tx 블록의 채널필터를 저전압 설계가 가능하도록 제안된 트랜스컨덕터를 이용하여 Gm-C 필터로 설계하였다. Gm-C 필터의 기본 블록은 트랜스컨덕터와 커패시터로 구성된 적분기이고, 제안된 트랜스컨덕터는 직렬 복합 트랜지스터와 저전압 복합 트랜지스터를 이용하여 저전압에서도 넓은 선형 동적범위를 갖도록 설계하였다. 필터의 기본 블록인 적분기의 설계에서는 공통모드 귀환 회로를 갖는 NRL^[1]을 사용하였고, 이 NRL은 트랜스컨덕터의 DC 이득을 증가시키며 트랜스컨덕터 내에서 생성되는 기생 극점들을 매우 높은 주파수에 위치하도록 하는 장점을 갖는다. 그리고 본 논문에서 설계한 Gm-C 필터는 3차 elliptic 저역통과 필터 함수와 SFG(signal flow graph)를 이용하여 구현하였고, TSMC 0.35 μ m CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션한 후 필터의 특성을 고찰하였다.

2. 본 론

2.1 저전압 저전력 트랜스컨덕터

그림 1의 적분기는 트랜스컨덕터, 커패시터, 능동 부하로 구성되었다. 트랜스컨덕터는 게이트에 동일한 신호가 인가되는 직렬 복합 트랜지스터^[2]와 저전압 복합 트랜지스터^[3]를 이용하여 설계하였다.

그림 1에서 M1a과 M2a (M1b과 M2b)는 직렬 복합 트랜지스터이고 M2a (M2b)는 선형 영역에서 동작하고 M1a (M1b)은 포화 영역에서 동작한다. 그리고 M3a~M5a (M3b~M5b)와 바이어스 전류 I_b 는 저전압 복합 트랜지스터를 구성한다. 또한 트랜지스터 M1a~M6a 블록과 M1b~M6b 블록을 동일한 조건으로 설계하게 되면 $K_{n1a} = K_{n1b} = K_{n1}$ 이고 $K_{n2a} = K_{n2b} = K_{n2}$ 이다. 여기서 $K_n = \mu_n C_{ox}(W/L)$ 이고 μ_n 는 전자의 이동도, C_{ox} 는 산화물 커패시턴스, W 는 채널의 길이, L 은 채널의 폭이다. M1a과 M1b의 몸체 효과를 무시할 때 문턱 전압은 $V_{Tn1a} = V_{Tn1b} = V_{Tn2a} = V_{Tn2b} = V_{Tn}$ 이라고 가정하면 복합 트랜지스터에 흐르는 전류는 다음과 같이 나타낼 수 있다.

$$I_{1a} = \frac{K_{n1}}{2} (V_1 - V_A - V_{Tn})^2 \quad (1)$$

$$I_{1b} = \frac{K_{n1}}{2} (V_2 - V_B - V_{Tn})^2 \quad (2)$$

$$I_{2a} = \frac{K_{n2}}{2} [(V_1 - V_{Tn})^2 - (V_1 - V_A - V_{Tn})^2] \quad (3)$$

$$I_{2b} = \frac{K_{n2}}{2} [(V_2 - V_{Tn})^2 - (V_2 - V_B - V_{Tn})^2] \quad (4)$$

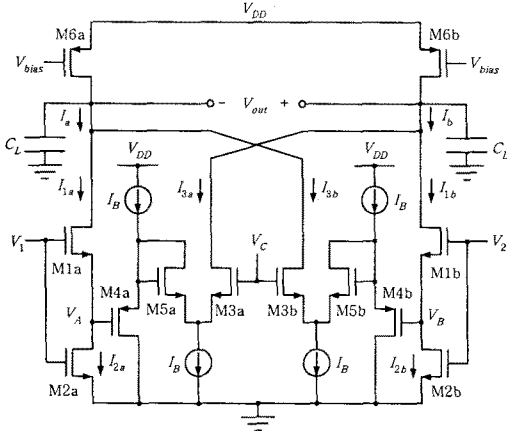


그림 1. 저전압 저전력 Gm-C 적분기

그림 1에서 I_{1a} 과 I_{2a} 가 일치하기 때문에 식(1)과 (3)을 이용하여 다음과 같이 V_A 를 구할 수 있고 V_D 도 식(2)와 (4)를 이용하여 구할 수 있다.

$$V_A = K_T (V_1 - V_{Tn}) \quad (5)$$

$$V_B = K_T (V_2 - V_{Tn}) \quad (6)$$

여기서 $K_T = 1 - \sqrt{K_{n2}/K_{n1} + K_{n2}}$ 로 정의한다.

저전압 복합 트랜지스터의 M3a, M3b에 흐르는 전류는 다음과 같다.

$$I_{3a} = \frac{K_{eq}}{2} (V_C - V_A - V_{Teq})^2 \quad (7)$$

$$I_{3b} = \frac{K_{eq}}{2} (V_C - V_B - V_{Teq})^2 \quad (8)$$

여기서 K_{eq} 와 V_{Teq} 는 저전압 복합 트랜지스터의 등가 트랜스컨덕턴스 파라미터와 문턱 전압이고 식(9)와 (10)으로 나타낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n3}}} + \frac{1}{\sqrt{K_{p1}}} \quad (9)$$

$$V_{Teq} = |V_{Tn}| - \frac{\sqrt{2(I_B - I_{3a})}}{K_{n3}} \quad (10)$$

식(9)의 K_{eq} 를 $K_{eq} = K_{n1} = K_n$ 과 같은 조건이 되도록 설계하고 식(7), (8)을 이용하여 출력 전류 I_{out} 을 구하면 식(11)과 같다.

$$I_{out} = I_a - I_b = I_{1a} - I_{1b} - I_{3a} + I_{3b} \quad (11)$$

$$\begin{aligned} &= \frac{K_n}{2} (V_1 - V_A - V_{Tn})^2 - \frac{K_n}{2} (V_2 - V_B - V_{Tn})^2 \\ &\quad - \frac{K_n}{2} (V_C - V_A - V_{Teq})^2 + \frac{K_n}{2} (V_C - V_B - V_{Teq})^2 \\ &= \frac{K_n}{2} (V_1 - V_2) \\ &\quad \times [(1 - 2K_T)(V_1 + V_2 - 2V_{Tn}) + 2K_T(V_C - V_{Teq})] \end{aligned}$$

식(11)에서 완전 차동 입력이 인가 될 때 ($V_1 = V_{cm} + v_{in}/2$, $V_2 = V_{cm} - v_{in}/2$, 여기에서 V_{cm} 은 공통 모드 입력 전압, v_{in} 은 차동 입력 전압이다.) 트랜스컨덕턴스 g_m 은 다음과 같이 주어진다.

$$g_m = \frac{K_n}{2} [2(1 - 2K_T)(V_{cm} - V_{Tn}) + 2K_T(V_C - V_{Teq})] \quad (12)$$

식(12)에서 g_m 은 V_{cm} 과 조정 전압 V_C , 및 K_T 로 결정된다. V_{cm} 과 K_T 는 일정한 값을 갖기 때문에 g_m 은 V_C 로 조정이 가능하다.

그림 1의 적분기의 소신호 전압 전달함수를 구하면 다음과 같다.

$$\begin{aligned} \frac{v_{out}}{v_{in}} &= -\frac{1}{2(sC_L + g_{ds1a} + g_{ds3b} + g_{ds6a})} \times \\ &\quad \left[\frac{K_T(g_{m3b} + g_{s3b} + g_{ds3b})g_{m3b}}{g_{m3b} + g_{s3b} + g_{ds3b} + g_{ds1B}} \times \right. \\ &\quad \left. \frac{g_{m5b} + g_{s5b}}{g_{m5b} + g_{s5b} + g_{ds5b}} + (g_{m1a} - K_T g_{s1a}) \right] \quad (13) \end{aligned}$$

여기서 g_{mi} 는 트랜스컨덕턴스, g_{si} 는 back-gate 트랜스컨덕턴스, g_{dsi} 는 출력 트랜스컨덕턴스, C_L 은 적분커패시터이다.

식(13)으로부터 $g_{ds1a} + g_{ds3b} + g_{ds6a}$ 때문에 DC에서 유한한 이득을 갖게 되며, 폴 주파수는 $(g_{ds1a} + g_{ds3b} + g_{ds6a})/C_L$ 이 된다. 적분기의 유한한 이득은 필터에서 저주파수 특성을 저하시키고, 출력에서는 크기 오차를 발생시킨다. 또한 폴 주파수로 인해 -90° 에 도달하지 못할 가능성이 있고 이는 필터의 Q값의 감소를 갖는다. 따라서 본 논문에서는 이상적으로 폴 주파수를 제거할 수 있는 NRL를 이용하였다.

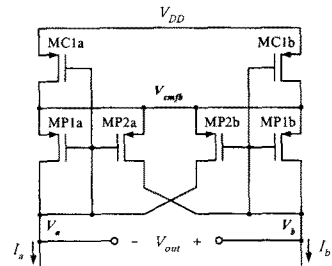


그림 2. 공통 모드 귀환 회로를 갖는 NRL

그림 2에서 트랜지스터 MP1a, MP2a, MP1b, MP2b는 NRL을 구성한다. 그림 1의 적분기 부하 M6a, M6b

대신에 그림 2의 NRL 회로를 연결하여 적분기를 구성하면 폴 주파수는 $(g_{ds1a} + g_{ds3b} + g_{dsp1a} + g_{dsp2b} + R_N)/C_L$ 이 된다. 여기서 R_N 은 NRL 저항이다. 만약 $R_N = -(g_{ds1a} + g_{ds3b} + g_{dsp1a} + g_{dsp2b})$ 이 되도록 하면 폴 주파수를 제거할 수 있다.

MP1a와 MP1b, MP2a와 MP2b를 동일한 조건에서 설계하고 포화 영역에서 동작할 때 I_a 와 I_b 는 다음과 같다.

$$I_a = I_o + \frac{I_R}{2} = \frac{K_{p1}}{2} (V_a + V_{DD} - V_{cmfb} - |V_{Tp}|)^2 + \frac{K_{p2}}{2} (V_b + V_{DD} - V_{cmfb} - |V_{Tp}|)^2 \quad (14)$$

$$I_b = I_o - \frac{I_R}{2} = \frac{K_{p1}}{2} (V_b + V_{DD} - V_{cmfb} - |V_{Tp}|)^2 + \frac{K_{p2}}{2} (V_a + V_{DD} - V_{cmfb} - |V_{Tp}|)^2 \quad (15)$$

다음에서 I_R 은 능동 부하에 흐르는 차동 전류를 의미하고 $I_a - I_b$ 는 다음과 같다.

$$I_R = I_a - I_b = \frac{1}{2} (K_{p1} - K_{p2}) \times [(V_a + V_b + 2V_{DD} - 2V_{cmfb} - 2|V_{Tp}|)(V_b - V_a)] \quad (16)$$

그림 2에서 $V_b - V_a = V_{out}$ 이므로 식(16)에 대입하여 저항을 구하면 다음과 같다.

$$R_N = \frac{V_{out}}{I_R} = \frac{2}{(K_{p1} - K_{p2})(V_a + V_b + 2V_{DD} - 2V_{cmfb} - 2|V_{Tp}|)} \quad (17)$$

K_{p2} 를 K_{p1} 보다 크게 하면 식(17)의 음의 저항을 갖게 되고 $R_N = -(g_{ds1a} + g_{ds3b} + g_{dsp1a} + g_{dsp2b})$ 으로 하면 적분기는 DC에서 무한대의 이득을 갖게 된다.

선형 영역에서 동작하는 트랜지스터 MC1a와 MC1b는 공통 모드 귀환 회로이다. 공통 모드 전압이 원하는 전압보다 큰 경우에는 선형 영역에 있는 트랜지스터 MC1a와 MC1b의 병렬 저항이 커지게 되어, 출력 공통 모드 전압이 작아지도록 작용한다. 반대의 경우에는 MC1a와 MC1b의 병렬 저항이 작아져서, 출력의 공통 모드 전압이 증가하도록 한다. 출력 전압 차동 성분에 의해서는 MC1a와 MC1b의 병렬 저항 값이 변하지 않으므로, 공통 모드 귀환 회로는 차동 출력에 영향을 주지 않는다.

그림 3은 제안된 트랜스컨덕터의 DC 특성이다. $V_{DD} = 3.3V$, $I_B = 100\mu A$, $V_{cm} = 1.65V$ 이고 V_C 가 1.8V에서 2.2V까지 변할 때 출력 전류이다. 그림 4는 NRL을 갖는 적분기에서의 AC 특성으로 $V_C = 1.7V$, $C_L = 1pF$ 에서 저주파 이득은 31.1dB, 단위 이득 주파수는 2.75MHz이다.

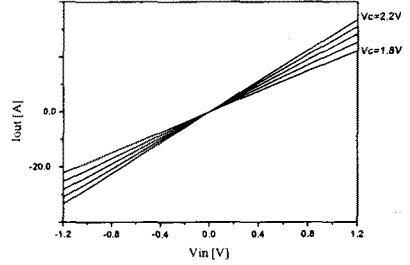


그림 3. 트랜스컨덕터의 DC 특성

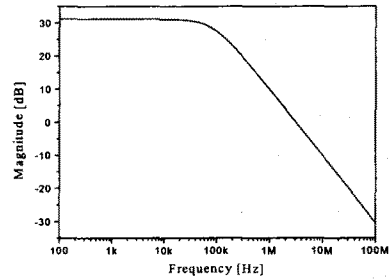


그림 4. 적분기의 AC 특성

2.2 Gm-C 필터

일반적으로 연속시간 필터를 설계하는 방법에는 두 가지가 있는데 biquad라 불리는 2차 단위 블록을 캐스케이드 형태로 연결하여 필터를 구현하는 방법과 수동 LC 제자형 회로를 가지고 필터를 구현하는 방법이다. 두 번째 방법은 첫 번째 방법에 비해 설계가 다소 복잡하다는 단점을 가지고 있으나 필터의 감도 특성이 우수한 장점을 가지고 있다. 본 논문에서는 두 번째 방법인 SFG (signal flow graph)를 이용하여 설계하였다.

바터워스 필터 함수와 같은 전극점 함수에서는 인덕터와 커패시터를 합한 수가 차수 n 과 동일하지만, 유리 함수인 타원 필터 함수에서는 리액턴스 소자의 수가 거의 1.5배나 된다. 그러나 크기 특성 면에서 볼 때 타원 필터 함수는 최적 필터의 특성을 갖는다는 장점이 있다.

그림 5는 3차 수동 복종단 제자형(doubly-terminated ladder) 타원 필터이고, 그림 6은 그림 5의 수동 필터를 Gm-C 능동필터로 모의한 회로이다.

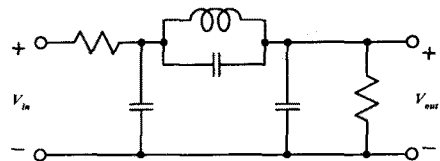


그림 5. 3차 수동 복종단 제자형 타원 필터

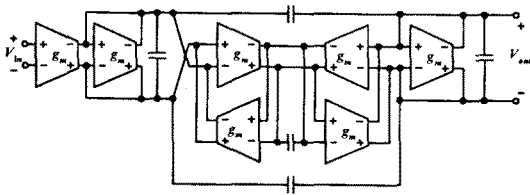


그림 6. Gm-C 능동 필터

그림 6의 입력단에는 2개의 트랜스컨덕터를 연결하여 2배의 g_m 값을 갖도록 함으로써 수동 복종단 회로망에서 발생하는 6dB의 손실을 보상할 수 있을 것이다.

그림 7은 3차 저역 통과 타원 필터의 크기 및 튜닝 특성으로 V_C 가 1.4V에서 1.8V까지 변할 때 필터의 차단 주파수는 126kHz~164kHz까지 동조하는 특성을 보였다. V_C 가 1.5V일 때 차단주파수는 138kHz이고, 전력 소모는 11.05mW이다.

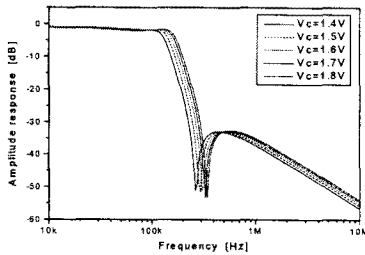


그림 7. 3차 저역 통과 타원 필터의 크기 및 튜닝 특성

그림 8은 입력 신호주파수가 100kHz이고 0.8V_{P-P} 크기의 정현파를 인가하였을 때 출력 주파수 스펙트럼이다.

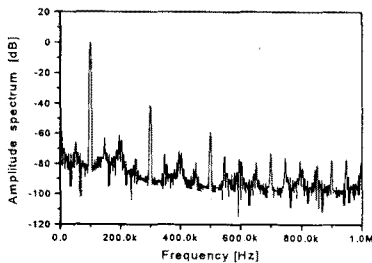


그림 8. 출력 주파수 스펙트럼

그림 9는 입력 신호주파수가 100kHz인 정현파를 인가하였을 때의 THD 특성으로, 입력 크기가 0.8V_{P-P}일 때 THD는 0.97%를 얻었다.

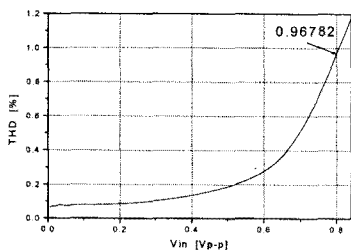


그림 9. 필터의 THD 특성

표 1은 제안된 필터의 시뮬레이션 결과이다.

표 1. 필터의 시뮬레이션 결과

Power supply voltage(V)	3.3V
Control voltage(V_C)	1.5V
THD(0.8V _{P-P})	<0.97%
Power dissipation	11.05mW
Cutoff frequency	138kHz

3. 결 론

본 논문에서는 완전 차동 트랜스컨덕터를 이용하여 저전압 저전력 Gm-C 필터를 설계하였다. 제안된 트랜스컨덕터는 직렬 복합트랜지스터와 저전압 복합 트랜지스터로 구성하였고 저전압 동작에서 넓은 선형 범위를 갖는다. 적분기의 DC 이득을 증가시키기 위해 공통 모드 귀환 회로를 갖는 NRL를 이용하였다. 설계의 예로 3차 타원 저역통과 필터를 구현하였고 TSMC 0.35 μ m CMOS n-well 공정 파라미터를 이용하여 HSPICE로 시뮬레이션한 후 필터의 특성을 고찰하였다. 시뮬레이션 결과 3.3V 공급 전압에서 138kHz의 차단주파수를 가지며, 전력 소모는 11.05mW, 0.8V_{P-P}일 때 THD는 1.0% 미만이었다.

[참 고 문 헌]

- [1] S. Szczpanski, "VHF Fully-Differential Linearized CMOS Transconductance Element and Its Applications," *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 97-100, 1994.
- [2] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/ square-law function circuit," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 3, pp. 336-377, 1987
- [3] A. Hyogo, C. Hwang, M. Ismail, and K. Sekin, "LV/LP CMOS square-law circuits," *Proc. IEEE Midwest. Symp. on Circuits and Systems*, pp. 1181-1184, 1997.
- [4] S. C. Huang and M. Ismail, "Linear tunable COMFET transconductor," *Electron. Lett.*, vol. 29, pp. 459-461, 1993.
- [5] P. Likittanapong, A. Worapishet, and C. Toumazou, "Linear CMOS transconductor for low voltage applications," *Electron. Lett.*, vol. 34, pp. 1124-1125, June 1998.
- [6] M. Ismail and Terri Fiez, "Analog VLSI Signal and Information Processing," pp. 49-50, McGraw Hill, 1993.
- [7] D. A. Johns and K. Martin, "Analog Integrated Circuit Design," pp. 574-647, John Wiley & Sons, Inc. 1997.
- [8] 김동룡, 최석우, 윤창훈, "(개정판) 최신 회로망 합성 이론과 필터 설계" 홍릉과학출판사, 1998.