

전류분배계수를 이용한 배전계통 고장점 표정 알고리즘

이덕수* 진보건 이승재 최면송 강상희
영지대학교

안복신 윤남선
P&C Tech.

A fault location algorithm using current distribution factors for D/S

D.S. Lee* B.G. Jin S.J. Lee S.H. Kang M.S. Choi
Myongjii University

B.S. Ahn N.S. Yoon
P&C Tech.

Abstract - This paper presents a fault location algorithm using current distribution factors for distribution feeder systems. When a fault occurs in distribution system, an accurate fault distance is important for fast fault restoration. The proposed algorithm achieves a high accuracy using negative sequence circuit with various fault conditions.

1. 서 론

지난 수십년동안 전력계통의 빠른 성장으로 운용되는 송·배전 선로가 증가함에 따라서 다양한 원인으로 인한 고장을 경험해왔다. 배전 계통은 전원단과 수용가를 연결하는 중요한 역할을 하는 연계 계통으로써 기후조건, 동물의 접촉, 보호기기의 오·부 동작, 그리고 사고 등의 원인으로 고장이 발생하였을 경우 고장점을 빠르고 정확하게 표정하여 진전 계통으로부터 고장 구간을 분리하고, 고장을 복구하는 것은 정전 비용을 최소화하는데 필수적이며 더 나아가 서비스 신뢰도와 전력의 질을 높이는 측면에서 매우 중요하다. 또한 전력 산업의 구조 개편으로 수용가에게 보다 양질의 전력을 안정적으로 공급하는 것은 커다란 화제로 대두되고 있다.

송전계통에서의 고장점 표정 방법(1)으로는 진행파를 이용하는 방법, 전압과 전류의 고조파 성분을 이용하는 방법, 그리고 전압과 전류의 기본파 성분을 사용한 결보기 임피던스 법 등으로 구분할 수 있으며, 세부적으로 기본파 성분을 이용하는 방법의 적용에 있어서 한단 정보를 이용하는 것과 양단 정보를 이용하는 방법으로 구분된다. 그리고 양단 정보를 사용하는 경우 정확한 고장점 표정이 가능하지만 통신장비 등 다양한 장비들이 부가적으로 필요하게 됨으로 한단 정보를 사용하면서 분배계수, 보상 등의 방법을 적용하여 보다 정확한 고장점 표정 방법들이 제안되어왔다. 이러한 방법들은 배전 선로의 비동질성, 부하 전류, 다중의 부하 탭, 불평형 등의 이유로 배전계통에 적용 시 많은 오차를 나타낸다.

배전계통에서의 고장점 표정 방법(2-6)으로는 전압, 전류의 고조파 성분을 이용하는 방법과 기본파 성분, 선로 파라미터를 이용하는 방법으로 나눌 수 있으며, 배전 계통의 다양한 특이성을 고려하기 위해 전압, 전류를 업데이트하는 방법이 소개되었다. 제안된 방법들은 배전계통 고장 시 일반적으로 개입되는 고장 저항의 영향으로 고장점 표정 시 오차를 포함 할 수밖에 없다.

본 논문에서는 고장 저항을 포함하는 배전 선로 사고 시 전류 분배 계수를 이용하여 고장저항의 영향을 배제한 고장점 표정 알고리즘을 제안하였다. 제안된 방법은 변전소 인출단에서 측정된 기본파 전압, 전류를 사용하였으며, 실수부와 허수부로 나누어 고장저항을 소거하고, 역상분배계수를 이용하여 고장 전류를 추정하는 방법을 적용하였다. EMTP 모의 데이터를 사용하여 제안한 알고리즘을 검증하였으며, 두가지 사례 연구를 통하여 검증한 결과를 본 논문에 나타내었다.

2. 고장점 표정 알고리즘

2.1 기본개념

제안한 알고리즘은 변전소 인출단에서 측정된 전압과 전류를 사용하였으며, 그림 1은 배전계통의 1선지락 고장 단선도를 나타낸다.

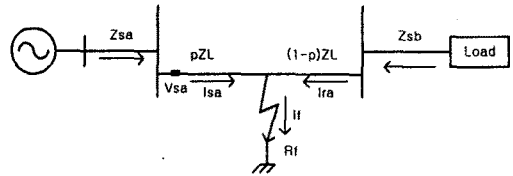


그림 1. 계통도

계통의 캐패시턴스를 무시할 경우 측정되는 전압은 식 (1)과 같다.

$$V_{sa} = p \times Z_1 (I_a + k I_0) + I_f R_f \tag{1}$$

여기서, V_{abc} : 변전소 인출단 상 전압

I_{abc} : 변전소 인출단 상 전류

I_{012} : 시퀀스 전류

Z_{012} : 선로의 시퀀스 임피던스

k : $(Z_0 - Z_1)/Z_1$

I_f : 고장 전류

R_f : 고장 저항

식 (1)에서 고장 저항을 제외한 모든 임피던스는 알고 있으며, 변전소 인출단으로부터 상 전압·전류, 시퀀스 전류를 취득 할 수 있다. 그러나 고장 전류 I_f 는 얻을 수 없으므로 고장 후 역상 시퀀스 회로로부터 추정한다.

2.2 전류 분배 계수

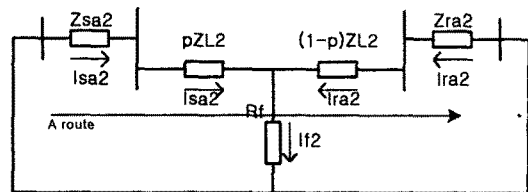


그림 2. 고장 시 역상 시퀀스 회로

그림 2는 고장 후 역상 시퀀스 회로를 나타낸다. 이 회로에서 KVL을 적용하면 식 (2)와 같은 방정식을 얻을 수 있다.

$$Zs_2Is_2 + pZL_2Is_2 - (1-p)ZL_2Ira_2 - Zra_2Ira_2 = 0 \quad (2)$$

여기서, Zs_2, Zra_2 : 등가 전원단 역상 임피던스

Is_2, Ira_2 : 고장점으로 유입되는 역상 전류

ZL_2 : 선로의 역상 임피던스

식 (2)에서 $D_b = Is_2/Ira_2$ 를 구하면

$$D_b = \frac{Is_2}{Ira_2} = \frac{Zs_2 + pZL_2}{(1-p)ZL_2 + Zra_2} = \frac{-pA_1 + D_1}{pA_1 + B_1} \quad (3)$$

여기서, $A_1 = -ZL_2$

$B_1 = Zra_2 + ZL_2$

$D_1 = Zs_2$

식 (3)을 이용하여 전류 분배계수 $D_f = If_2/Is_2$ 를 구하면

$$D_f = \frac{If_2}{Is_2} = \frac{Is_2 + Ira_2}{Is_2} = \frac{B_1 + D_1}{pA_1 + B_1} \quad (4)$$

위 방정식에서, 전류분배계수는 측정 전류와 고장 전류의 비로 나타내어지고, 모두 알고있는 변수로 구성된다.

2.3 고장점 표정 알고리즘

식 (1)에서 구할 수 없는 고장전류 I_f 를 식 (4)를 이용하여 나타내면

$$\begin{aligned} V_{sa} &= p \times Z_1(I_a + kI_0) + 3Is_2D_fR_f \\ &= p \times Z_1(I_a + kI_0) + \frac{3(B_1 + D_1)Is_2}{pA_1 + B_1} R_f \end{aligned} \quad (5)$$

식 (5)를 정리하면

$$(pZ_1 - V)(pA_1 + B_1) + 3(B_1 + D_1)I_2R_f = 0 \quad (6)$$

여기서, $V = V_{sa}, I = I_a + kI_0$

$Z_1 = ZL_1, I_2 = Is_2$

식 (6)을 고장거리 p 에 관하여 정리하면

$$p^2(a_2 + jb_2) + p^1(a_1 + jb_1) + (a_0 + jb_0 + (c_0 + jd_0)R_f) = 0 \quad (7)$$

여기서, $a_2 + jb_2 = IZ_1A_1$

$a_1 + jb_1 = IZ_1B_1 - VA_1$

$a_0 + jb_0 = -VB_1$

$c_0 + jd_0 = 3(B_1 + D_1)I_2$

식 (7)을 실수부화 허수부로 나누고 고장 저항을 소거한 후 고장거리 p 에 관한 2차 방정식으로 정리하면

$$k_1p^2 + k_2p^1 + k_3 = 0 \quad (8)$$

여기서, $k_1 = d_0a_2 - c_0b_2$

$k_2 = d_0a_1 - c_0b_1$

$k_3 = d_0a_0 - c_0b_0$

고장거리 p 는 식(8)을 2차 방정식의 해를 이용하여 구한다.

3. 사례 연구

제한한 알고리즘을 검증하기 위하여 두 가지 사례를 모의하였다.

그림 3과 같은 22.9(kV)의 전원단에 연결된 배전 피더는 약 37(km)로 삼상 분기선로, 17개의 버스, 지상 역률 0.85를 가진 단상부하, 삼상부하로 구성되어있다. 검증 파라미터로는 고장 거리와 고장점 저항 그리고 부하의 불평형을 선정하여 각각의 경우 모의하였다. 고장 거리는 0(km)~37(km), 고장 임피던스는 0(Ω)~50(Ω), 3상부하, 3상+단상부하시 모의. 이러한 세 가지 경우를 조합하여 약 1000여 번의 모의를 하였으며 그 결과를 제시하였다.

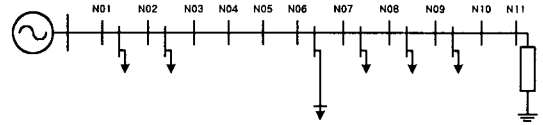


그림 3. 모의 계통도

데이터 취득을 위한 샘플링 주파수로는 1920Hz, aliasing 에러를 방지하기 위해 960Hz 차단 주파수 특성을 갖는 2차 Butterworth 저역통과 필터를 사용하였다. 그리고 전압, 전류 순시 데이터로부터 페이저를 추출하기 위하여 한 주기 데이터 윈도우를 사용하는 DFT 를 사용하였다. 고장점 표정 에러는 다음 식을 사용하여 산정하였다.

$$\%Error = \frac{\text{표정거리} - \text{실제고장거리}}{\text{전체선로길이}} \times 100 \quad (9)$$

3.1 3상 부하 시 표정 결과

모의 계통의 부하를 3상 부하로 했을 경우, 각 노드에 서의 1선지락 고장시 고장점 표정 결과를 표 1에 나타 내었다. 기존 방법에 비해 더욱 정확한 표정 결과를 보 였으며, Node10 고장 시 고장저항이 최대 50(Ω)일 때 최대 오차가 1.3(%) 보다 작음을 알 수 있다.

표 1. 1선지락 고장시 고장점 표정 결과

고장 노드	실제 고장 거리 (km)	고 장 저 항			
		5.0(Ω)		50.0(Ω)	
		기존방법 (km)	제한한 알고리즘 (km)	기존방법 (km)	제한한 알고리즘 (km)
1	0.000	0.026	-0.001	0.000	-0.012
2	2.414	2.434	2.415	2.215	2.433
3	6.437	6.447	6.439	6.218	6.498
4	10.461	10.462	10.459	10.012	10.49
5	14.484	14.477	14.476	13.850	14.446
6	18.507	18.531	18.493	17.722	18.412
7	22.530	22.562	22.531	22.205	22.208
8	27.680	27.704	27.780	27.277	27.984
9	30.094	30.135	30.324	29.794	30.474
10	34.600	34.611	34.811	34.385	34.987
11	37.014	37.047	37.079	36.878	37.214

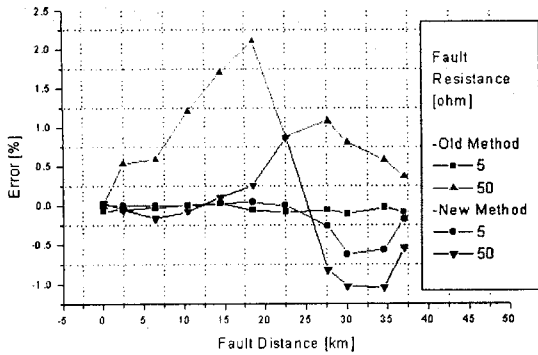


그림 4. 3상 부하시 고장점 표정 결과

3.2 1상, 3상 부하 시 표정 결과

모의 계통의 Node02, Node07, Node08, Node09의 부하를 단상으로 하였을 경우, 각 노드에서의 1선지락 고장시 고장점 표정 결과를 표 2에 나타내었다.

표 2. 1선지락 고장시 고장점 표정 결과

고장 노드	실제고장 거리(km)	고 장 저 항		
		0[Ω]	25[Ω]	50[Ω]
1	0.000	0.000	0.289	1.121
2	2.414	2.414	2.674	3.454
3	6.437	6.437	6.627	7.317
4	10.461	10.462	10.6	11.213
5	14.484	14.487	14.553	15.089
6	18.507	18.512	18.506	18.98
7	22.530	22.573	22.861	23.185
8	27.680	27.814	28.263	28.462
9	30.094	30.284	30.485	30.972
10	34.600	34.928	35.072	35.206
11	37.014	37.197	37.272	37.839

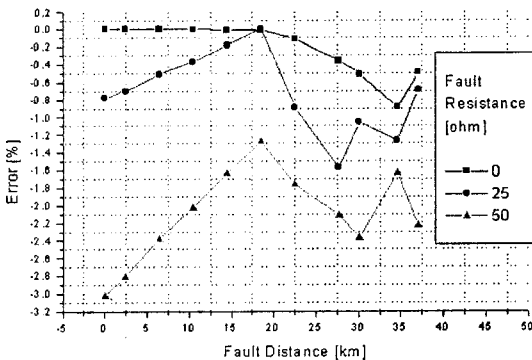


그림 5. 1상, 3상 부하시 고장점 표정 결과

그림 4와 같이 단상, 3상 부하시 고장점 표정 최대 오차는 3.2% 이내임을 알 수 있다. 3상 부하시 보다 에러가 커진 것은 그림 2에서 고장점을 중심으로 양단 임피던스 등가시 단상 성분으로 인한 상호 임피던스 분의 불평형이 발생하기 때문이다.

3.3 임피던스 등가 시 불평형분

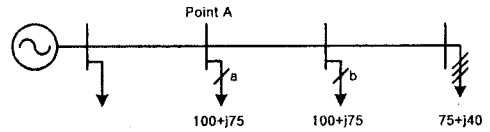


그림 6. 등가임피던스 모의 계통도

그림 6의 A점에서 등가 임피던스는 다음과 같다.

$$Z_{\omega} = 10^* \begin{bmatrix} -2.15+2.02j & -2.15+2.02j & -2.15+2.02j \\ 2.83+0.85j & 2.83+0.85j & 2.83+0.85j \\ -0.67-2.88j & -0.67-2.88j & -0.67-2.88j \end{bmatrix}$$

등가결과 영상, 정상, 역상 값도 다 다르게 나타나고 시퀀스 회로간의 상호임피던스 값도 나타나는 것을 볼 수 있다. 따라서 단상 부하를 포함하고 있는 불평형 계통의 경우 불평형이 커지면 커질수록 에러가 커짐을 짐작할 수 있다.

3. 결 론

본 논문에서는 전류 분배계수를 이용한 배전계통 고장점 표정 알고리즘을 제안하였다. 배전 변전소에서 측정된 데이터와 고저항 사고시 알 수 없는 고장 전류를 분배계수를 이용하여 추정함으로써 고장 조건에 영향없이 만족할 만한 표정을 수행하였다.

단상, 삼상 부하를 포함한 불평형 계통데이터를 사용하여 검증하였으며, 그 결과들을 기존의 방법과 비교하였다. 비교결과 고장저항이 50[Ω]일 때 최대 오차가 3.2[%]의 만족할만한 결과를 얻었으며 고장 조건에 견고한 특성을 나타내었다. 그러나 제안한 알고리즘의 경우 부하임피던스를 정확히 알아야하며, 계통의 불평형률이 증가할수록 고장점 표정 에러가 커짐 보였다.

(참 고 문 헌)

- [1] Yong-jin Ahn, Myeong-Song Choi, Sang-Hee Kang, Seung-Jae Lee, "An Accurate Fault Location Algorithm For Double-Circuit Transmission Systems", Power Engineering Society Summer Meeting, 2000. IEEE, Volume: 3, 2000 Page(s): 1344-1349 vol. 3
- [2] Adly A. Girgis, Christopher M. Fallon, David L. Lubkeman, "A fault location technique for rural distribution feeders", IEEE Transactions on Industry Applications, Vol. 29, No. 6, November/December 1993
- [3] R. Das, M.S. Sachdev, T.S. Sidhu, "A Fault Locator for Radial Sub-transmission and Distribution Lines", Power Engineering Society Summer Meeting, 2000. IEEE Volume: 1, 2000, Page(s): 443-448
- [4] Jun Zhu, Lubkeman, D.L., Girgis, A.A., "Automated fault location and diagnosis on electric power distribution feeders", Power Delivery, IEEE Transactions on Volume: 12 2, April 1997, Page(s): 801-809
- [5] Srinivasan, K.; St.-Jacques, A. "A new fault location algorithm for radial transmission lines with loads", Power Delivery, IEEE Transactions on Volume: 4 3, July 1989, Page(s): 1676-1682
- [6] Das, R.; Sachdev, M.S.; Sidhu, T.S., "A technique for estimating locations of shunt faults on distribution lines", WESCANEX 95, Communications, Power, and Computing, Conference Proceedings., IEEE, Volume: 1, 1995 Page(s): 6-11 vol.1