

혼성회로를 위한 BIST설계

방금환* 강성호**

*연세대학교 전기전자공학과

**연세대학교 전기전자공학과

e-mail:geum007@dopey.yonsei.ac.kr

An BIST for Mixed Signal Circuits

Geum-Hwan Bahng*, Sungho Kang**, Young-Hee Lee*

*Dept of Electronic Engineering, Yonsei University

**Dept of Electronic Engineering, Yonsei University

요약

혼성 신호 회로의 설계에 있어 저비용의 고효율 테스트 효율을 보장하기 위해 테스트의 노력은 계속 되어 왔다. 특히 테스트를 고려한 BIST(built-in-self-test)설계 방법으로 발전해가고 있는 추세인데, 회로상에서 전체적인 테스트 용이도와 분석에 있어 보다 향상된 방법으로 접근할 수 있고 이러한 시스템에 대해 분석하는데 수월하게 할 수도 있다. 이 논문에서는 효과적인 테스트를 위한 방법을 위해 전압 검출기를 이용한 기준 전압 DC 테스트로써 테스트시간을 감소시키고 효과적인 고장 검출물을 갖는 BIST를 구현하는 것을 제안하였다. 즉 정상적인 회로와 고장회로에서의 동작에서 전압의 차이를 검출하는 회로를 하드웨어상으로 구성함으로써 비용과 시간등을 효과적으로 줄이는 방법을 제안하였다. 실험 결과에서는 기존의 BIST와 비교하여 향상된 것을 나타낸다.

1. 서론

혼성 신호 회로의 테스트에 있어서 가장 중요한 회로의 집적도가 갈수록 증가함에 따라 디지털 회로와 함께 아날로그 회로에 대한 테스트 방법을 연구하는 것이 중요한 과제로 대두되고 있다. 디지털 설계분야에서는 설계 및 테스트관련 자동화된 소프트웨어 솔루션이 오랜 기간동안 발전되어왔으나, 반면에 아날로그 및 혼성 신호 설계분야는 상대적으로 향상된 기술이 필요로 하는 게 현실이다. 비록 현재의 시스템은 거의 모든 부분에서 디지털화하는 추세로 가고 있는 실정이나 시스템에 필수 불가결하게 포함되어지는 아날로그 회로의 테스트에 대한 신뢰도에 있어서 그에 대한 테스트를 반드시 고려해 주어야 한다. 예를 들면 ADC(Analog to Digital Converter)나 위상 잠금 장치(Phase locked lock), 필터(filter)등은 시스템을 구성하는 중요한 요소들이고 또한 최근의 통신 기술과 DSP시장의 급속한 발달로 혼성 신호 시스템에서의 그와 관련된 시스템 구성요소와 고성능의 동작등이 많이 요구되어지고 있다. [1][2][3] 이러한 혼성 신호 회로에 대한 다양한 테스트 방법[4][5][6][7][8][9]을 살펴볼 때 BIST

를 가져감으로써 발생하는 장점을 최대한 살리고 단점을 최소화할 수 있는 방법을 구현하는 것이 절실히 필요하다는 것을 알 수 있다.

본 논문에서는 2장에서 새로운 BIST에 대한 구조와 구성된 BIST요소에 대해 각각 알아보고 3장에서는 테스트 대상 회로에 대한 실험과 4장에서는 결론을 내려 보았다

2. 새로운 BIST구조

테스트를 접근하는 방법에 따라 나눌 수 있는데 그 형태별로 두 가지로 크게 분류할 수 있다. 하나는 동작에 기반(specification-based)을 둔 테스트 방법인 기능적(functional) 테스트와 회로의 고장을 기반(fault-based)으로 DOT(defect-oriented-test)방식의 유형인 구조적(structural) 테스트가 있다. 테스트 목적에 맞는 부합되는 방법으로 접근을 해야 효과적인 결과를 도출할 수 있을 것이다.

이 논문에서는 구조적인 테스트 접근 방법으로 대상회로의 기능과 동작 조건등에 영향 받지 않는 새로운 BIST에 대해 제안하였다. 그림 1은 제안한 새로운 BIST구조의 을 나타낸 것이다.

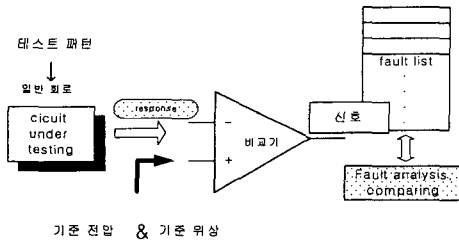


그림 1 제안된 새로운 BIST

새로운 BIST의 구조는 입력 DC 전압 크기 (voltage magnitude)와 출력 전압의 비교에 초점을 두고 있다. 즉 입력으로 들어가는 전압이 대상 회로를 통과한 후 출력값으로 나왔을 때 무고장 회로와 차이를 분석하는 방법이다. 이러한 방법이 유용한 것은 바로 BIST구조에 따른 실험에서 회로상의 고장의 유무에 따라 출력 전압 크기가 변화함을 전압 검출기를 통해 적절한 비교기에 의해 분류해 낼 수 있기 때문이다. 그러므로 각 회로상에서 회로를 구성하는 소자들과 노드들을 고장이 있다고 가정하고 무고장 회로에서의 출력 값의 비교에 의한 검출이 용이하게 나타낼 수 있다. 그림 1에서와 같이 여기서 기준값의 지정이 상당히 중요한 과정이 된다.

디지털 회로와는 달리 어느 정도의 허용오차를 갖는 혼성 신호 회로에서는 기준값의 설정에 있어 그 범위에 대한 고려가 필수적이라 하겠다.

새로운 BIST에 대해 구체적인 구조를 그림 2에 나타내었다.

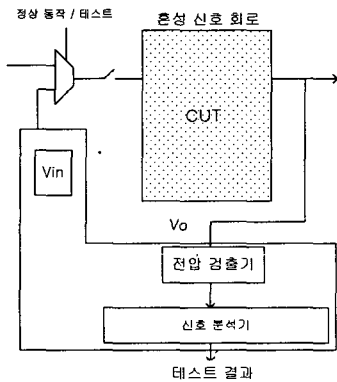


그림 2 BIST 블록도

구성을 살펴보면 크게 테스트 패턴 블록이 있고 전압 검출기(voltage detector)를 통한 신호 분석기로 나누어 볼 수 있다. 이러한 BIST구조는 회로를

구성하는 자체 시스템에서 빠른 테스트와 분석이 가능하다. 그러므로 고가의 혼성 신호 테스트 장비를 필요로 하지 않으며 각종 고려 가능한 고장을 효과적인 테스트를 수행할 수 있다.

그림 3에서는 전압 검출기를 나타내었는데 대상 회로에 입력에 대한 출력값을 이 회로에서 검출하는 작업을 수행하게 된다. 즉 V_{ref} 의 상위값과 하위값을 정하고 그 범위안에 포함이 되는 것과 포함되지 않는 것을 신호 분석기(signature analyzer)로 연결시켜 나타내게 되는 것이다. 여기서 중요한 것은 일정 범위의 기준값을 정함에 있어 사전에 시뮬레이션을 통한 작업이 선행되어야 한다. 출력의 전압값의 변화에 있어 허용 오차를 가정해 주어야 하기 때문이다. 여기서 최대값과 최소값의 설정에 있어서 이들 기준 전압은 V_{in} 에 2:1의 비를 갖는 저항의 연결로 구성이 가능하다.

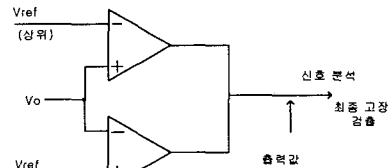


그림 3 전압 검출기

3. 실험 결과

실험 대상 회로는 그림 5에 나타내었다.

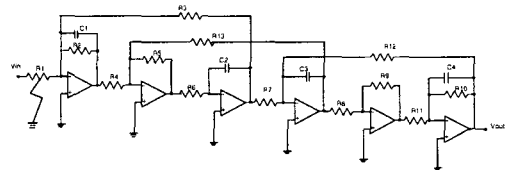


그림 4 Leapfrog Filter

저역 필터의 한 종류로서 차단 주파수(cutoff frequency- f_c)가 1.4kHz인 Leapfrog 필터 회로이다. 이 회로는 전압과 위상특성이 잘 드러나 테스트 회로로 널리 쓰이고 있다. 또한 다른 테스트 방법과의 비교를 용이하게 할 수 있으므로 테스트 대상 회로로 설정하였다, 이 회로의 모든 저항은 10k Ω 이고 모든 캐패시터는 0.02F으로 구성되어 있다.

고장 삽입은 각각의 저항을 단선과 단락으로 구

분하고 또한 단일 고장과 두개의 고장이 동시에 나타나는 경우를 포함하는 광범위한 고장들을 가정하였다. 기존의 테스트 방법에서의 간단한 고장으로만 나타내지 못하는 단점을 보완하며 보다 신뢰성 있는 테스트 결과를 기대할 수 있는 것이다. 이러한 점을 고려해서 저항의 경우 단선 고장일 경우 해당 저항 (R) 값을 $10^8\Omega$ 이라 가정하고 단락일 경우를 1Ω 이라고 설정하였다. 그림 5에서 보듯이 13개의 저항과 4개의 캐패시터가 있으므로 총 17개의 단선과 단락 고장을 생각해 볼 수 있다. 이렇게 단일 고장만 고려할 때 대상회로의 전체적인 테스트 신뢰성을 충분히 보장하기 어렵다. 그래서 각각의 경우에 대해 복수 고장을 고려해 준다면 테스트의 신뢰성을 더욱 보장할 수 있다. 단일 고장과 각각의 경우 2개의 복수 고장에 대해서 단선과 단락 고장을 고려하면 모두 190개의 고장 모델을 구성할 수 있는 것이다. Leapfrog 필터에서 나오는 출력 값에 대한 허용오차를 가만하려면 일정한 기준이 있어야 한다. 이러한 허용오차와 관련하여 혼성 신호 회로 테스트를 할 때 편차를 60정도로 가정하는 경우가 있다, 정상 동작을 함에 있어서 각 전압 크기의 변화가 60정도의 값을 가지게 되기 때문이다. 그래서 voltage값의 편차를 여기서 60라 놓으면 정상적인 출력값 4.51V에 해당하는 값은 $4.46\sim 4.54V$ 가 된다. 또한 저항 값에서도 가정을 하면 $+60\sim 60\%$ 이 $8.8k\Omega\sim 11.2k\Omega$ 가 되는 것이다. 실험 결과를 그림 5,6,7에서 나타내었다. 이것은 고장이 있는 다른 회로의 출력 값들도 동시에 나타낸 그림이다. 그림 5는 저역 통과 필터 기능을 하는 각 회로의 전압 위상의 파형을 나타낸 결과이다. 그림 6에서 살펴보면 입력으로 10V를 가했을 때 4.5V주위에 정상회로의 결과 파형과 함께 7개의 고장 회로의 결과가 집중되어 있음을 알 수 있다. 그림 7에서는 전압 검출기를 거친 후의 결과를 나타낸 그림이다. 상위 값과 하위값을 고려했을 때 포함되는 값과 포함되지 않은 값을 분리해 주는 것을 보여준다. 여기서 7개를 제외한 모든 고장을 검출 가능함을 나타낸다. 그림 8은 신호 처리기를 통과한 파형을 나타낸 것이다. 이것을 이용하여 디지털 값으로 고장 유무를 판단할 수 있다.

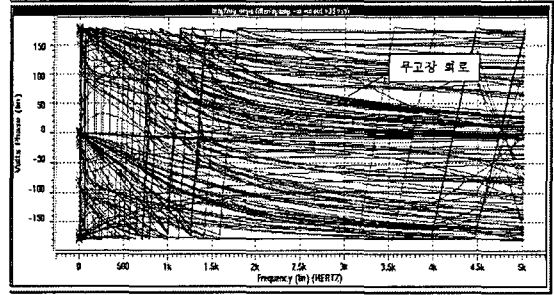


그림 5 정상 및 고장회로의 전압 위상

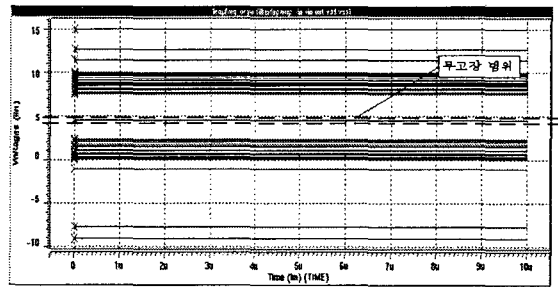


그림 6 테스트 출력

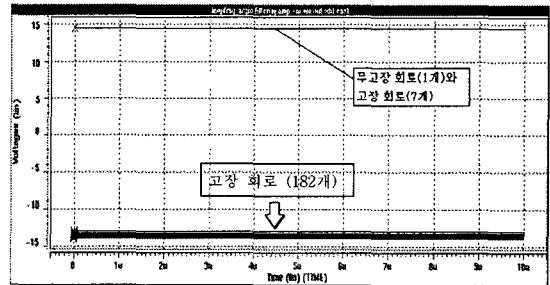


그림 7 전압 범출기를 통과한 출력

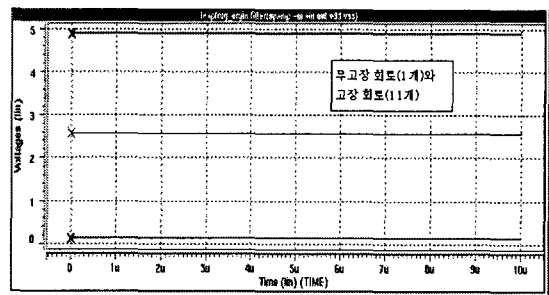


그림 8 신호 분석기를 통과한 타형

고장 모델				전압 크기 테스트	
소자	고장 유형	고장의 종류	고장의 수	검출 수	검출되지 않은 수
R	단일 고장	단선	13	12	1
		단락	13	11	2
	이중 고장	단선	78	74	4
		단락	78	78	0
C	단일 고장	단락	4	4	0
		단선	4	4	0
합계			190	175	15

표 1 고장 유형에 따른 결과

표 1에서는 각각의 테스트 결과를 고장별로 나타내었다. 전압 검출기를 통한 전압의 크기에 대한 테스트로써 매우 효율적인 결과를 나타낼을 알 수 있다.

4. 결론

본 논문에서는 전압 검출기와 신호분석기를 이용한 새로운 BIST를 제안하였다. 복잡해져가는 혼성 회로를 테스트하는 방법에 있어서 BIST를 이용하는 방법 또한 여러 가지면에서 고려해야 한다. 제시한 BIST는 무고장 회로와 고장 회로의 전압과 위상의 차이를 검출하는 회로를 구현함으로써 비교적 작은 하드웨어 오버헤드로 가져갈 수 있다. 이러한 BIST 구조는 이전의 테스트 방법에서 보다 효과적이고 실험을 통하여 이러한 테스트방법이 향상된 고장 검출 능력이 있음을 알 수 있다. 특히 고장 회로 모델링에 있어 단일 고장 및 복수 고장에 대한 고려를 해줌으로써 보다 정확한 결과를 도출할 수 있다. 새로운 BIST구조에 있어서 비교기를 응용한 제안된 전압 검출기와 신호 분석기를 이용한 테스트는 혼합 혼성 회로의 테스트 접근에 용이함을 알 수 있다. 이러한 전압 검출기와 신호 분석기 테스트는 기존의 여러 BIST방법의 단점들을 극복하였으며 효율적인 테스트를 할 수 있다.

참고문헌

[1] I.H.S. Hassan, K. Arabi and B. Kaminska, "Testing digital to analog converters based on oscillation-test strategy using sigma-delta modulation," *Proc. of International Conference on Computer Design*, pp 40-46, 1998.

[2] M. F. Toner and G. W. Robert, "A BIST scheme for an SNR gain tracking and frequency response testing of a sigma-delta ADC," *IEEE Trans. on Circuits and Systems*, Vol.42, pp 1-15, 1995.

[3] M. Slamani and B. Kaminska, "T-BIST: A built-in self-test for analog circuits based on parameter translation," *Proc. of the Second Asian Test Symp.* , pp 172-177, 1993.

[4] M. J. Ohletz, "Hybrid Built-in Self-test (HBIST) for mixed analog/digital integrated circuits," *Proc. of IEEE European Test Conference*, pp 307-316, 1991.

[5] C. P. Panand K. T. Cheng, "Pseudorandom testing for mixed-signal circuits," *IEEE Trans. on, Computer-Aided Design of Integrated Circuits and Systems*, pp 1173-1185, 1997.

[6] S. J. Tsai, "Test Vector Generation for linear Analog Devices", *Proc. of International Test Conference*, pp 592, 1991.

[7] P. N. Variyam, A. Chatterjee and N. Nagi, "Low-cost and efficient digital-compatible BIST for analog circuits using pulse response sampling," *Proc. of VLSI Test Symp.* , pp 261-266, 1997.

[8] P. N. Variyam and A. Chatterjee, "A digital-compatible BIST for analog using transient response sampling," *Proc. of IEEE Design & Test of Computers*, pp 106-115, 3, July-Sept. 2000.

[9] M. Renovell, F. Azais and Y. Bertrand, "On-chip analog output response compaction," *Proc. of European Design and Test Conference*. pp 568 572, 1997.