

ARM7 코어를 이용한 ISDN 시스템 칩 설계 및 멀티미디어 단말 구현

소운섭, 황대환
한국전자통신연구원, 휴먼인터페이스연구부
e-mail : wssso@etri.re.kr

ISDN System On Chip Design Using ARM7 Core and Implementation of Multimedia Terminal

Woon-Seob So, Dae-Hwan Hyang
Human Interface Technology Department, ETRI

요 약

본 논문은 ISDN 통신망에서 멀티미디어 통신 서비스를 제공하기 위해 단말에 사용되는 ISDN 시스템 칩 설계 및 단말 구현에 관한 것이다. 저가의 통신 단말을 구현하기 위하여 32 비트 RISC 프로세서인 ARM7 프로세서 코어를 중심으로 ISDN S/T 인터페이스를 통한 통신망 접속 기능, 톤 발생 및 음성 코덱 기능, TDM 버스 정합 기능, PC 정합 기능을 가지는 ISDN 시스템 칩을 설계 및 개발 하였고, 이 칩을 시험하기 위한 시험 프로그램 및 통신 단말 소프트웨어를 개발하였으며, 응용 단말을 구현하여 자체 기능 시험 및 실제 망 접속 시험을 통하여 기능을 검증하였다.

1. 서론

ISDN 은 디지털 종합정보통신망 서비스로서, 전화와 같은 하나의 회선으로 전화도 하고, 영상도 주고 받고, 고속 데이터 통신도 할 수 있다. 상하향 전송 속도가 다른 ADSL 과는 달리 양방향 전송 속도가 동일하며, 기본 속도 접속과 일차군 속도 접속이 있으나 일반 가입자는 주로 기본 속도 접속인 BRI(Basic Rate Interface)를 사용한다. BRI 는 2B+D 채널로 구성되며 D 채널은 호 접속 처리용 신호 채널로 사용하거나 저속의 데이터 통신에 활용되고, B 채널은 각각 64kbps 의 전송속도를 갖고 2 개 채널의 음성서비스 또는 데이터 서비스에 사용되며, 128 kbps 의 데이터 서비스에는 2 개의 B 채널을 함께 사용하면 된다.

다양한 형태의 정보를 제공하는 멀티미디어 통신 서비스는 여러 가지 가입자망에서 제공되고 있으나 유선 가입자망에서는 주로 ISDN, ADSL, 케이블 모뎀을 통한 고속통신 서비스가 가능하며 다이얼업 모뎀에 비해 ADSL 및 케이블 모뎀은 수십~수백배 이상의 전송속도를 ISDN 의 경우는 수배 정도의 전송속도를 보장하고 있다.

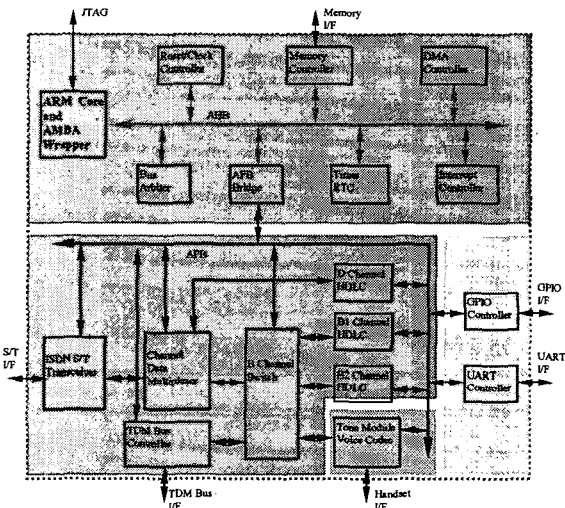
ADSL 의 보급으로 ISDN 서비스가 국내에서는 부진하나 유럽, 중국, 일본 등에서는 최근 인터넷 사용자의 증가로 ISDN 가입자가 꾸준히 늘어 나고 있는 추세이며 이들에게 하나의 ISDN 회선에 의해 2 채널의 음성 서비스를 제공하거나 또는 최대 128 kbps 속도로 다양한 멀티미디어 서비스를 제공하고 있다. 따라서 ARM 코어 프로세서 및 여러 가지 주변 기능을 통합하여 구조가 단순하고 저가인 단말 제품을 만들기 위한 ISDN 시스템 칩이 필요하다.

본 논문에서는 ISDN 시스템 칩 설계와 멀티미디어 통신 단말을 구현한 내용에 대해서 기술한다. 2 장에서는 멀티미디어 통신 단말을 구성하기 위해 설계 제작된 ISDN 시스템 칩의 구성 및 주요기능에 대해 살펴보고, 제 3 장에서는 시스템 칩을 활용하여 구현한 통신 단말의 구성에 대해서 정리하며 4 장에서는 통신 단말의 소프트웨어 구성에 대해 살펴보고 끝으로 5 장에서는 결론을 맺는다.

2. ISDN 시스템 칩 구성 및 기능

ISDN 시스템 칩은 프로세서 블록, ISDN 네트워크

접속 블록, 톤 발생 및 음성 코덱 블록, PC 접속 블록으로 구성되어 ISDN 통신 단말에 필요한 모든 기능이 통합된 SOC(System On Chip)이다. 전체 구성은 그림 1 과 같고, ISDN S/T 인터페이스로 네트워크와 접속되고, UART 포트를 통해 PC 와 연결되어 데이터 통신 기능을 제공하며, Handset 인터페이스를 통하여 ISDN 전화 기능을 제공한다. GPIO(General Purpose Input Output) 포트를 통하여 키패드 및 LCD 를 연결하고, TDM 버스 인터페이스는 기존 전화 및 팩스와 비디오 디바이스의 접속을 지원한다. 또한 JTAG 포트에 Multi-ICE 또는 Trace32 ICD 를 연결하고 ADW 를 구동하여 디버깅할 수 있다.



(그림 1) ISDN 시스템 칩 블록 구성도

2.1 프로세서 블록

ISDN 시스템 칩의 프로세서 블록은 ARM7TDMI RISC 프로세서를 코어로 하여, 내부의 AHB(Advanced High-performance Bus) 버스에 메모리를 접속하기 위한 외부 메모리 제어기, 고속으로 데이터를 전송하기 위한 6 채널 DMA 제어기, 인터럽트 제어기, 타이머 및 RTC, 버스 중재기, 리셋 및 클럭 제어기, APB(Advanced Peripheral Bus)와 접속을 갖는 APB 브리지로 구성되어 있다.

ARM Core 는 32 비트 RISC 마이크로 프로세서인 ARM7TDMI 로서 32 비트 AMBA(Advanced Microcontroller Bus Architecture) 데이터 및 어드레스 버스를 가지며 칩 내부에 ICEbreaker 디버그 기능을 가지고 있고 16/32 비트 두 가지 모드의 명령 세트를 지원하는 저전력의 마이크로 프로세서이다.

6 개의 채널을 가지는 DMA 제어기는 어드레스 증가/감소 모드를 지원하고 8/16/32 비트 동작을 지원한다. CPU 의 간섭 없이 메모리간, 병렬 포트와 메모리

간, 직렬 포트와 메모리간 데이터 전송을 수행한다.

외부 메모리 제어기는 외부에 메모리 및 외부 디바이스들을 접속 가능하도록 제어하면서 외부 디바이스를 위한 신호들을 생성하여 출력하고, AHB 버스와 정합 기능을 수행한다.

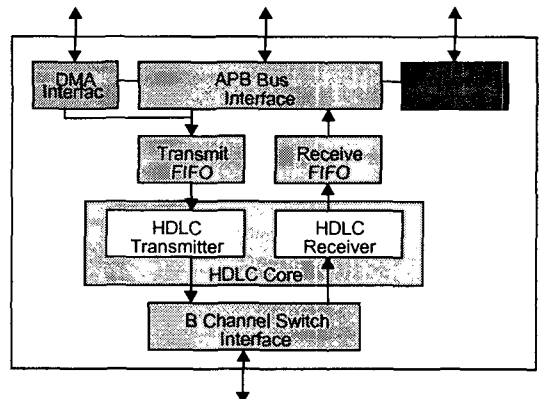
인터럽트 제어기는 주변 소자들로부터 인터럽트 요청 신호를 받아 우선 순위 에 따라 프로세서로 인터럽트 요청 신호를 전달하는 기능을 한다. 그리고 2 개의 외부 인터럽트를 포함한 16 개의 인터럽트 소스를 제어할 수 있으며 하드웨어적인 우선순위는 없고 소프트웨어로 제어한다.

타이머는 2 개의 독립된 16 비트 카운터를 사용하고, 카운터가 0 에 이르면 최대값을 로딩하여 계속 감소하는 Free-Running 모드와 일정한 값을 재로딩하여 감소하는 Periodic Timer 모드가 있으며, 카운터가 0 에 이르면 인터럽트를 발생시킨다. 또한 RTC 를 기능과 가지고 있다.

2.2 ISDN 네트워크 접속 블록

ISDN 네트워크 접속 블록은 2 개의 B 채널 HDLC, D 채널 HDLC, B 채널 간의 연결 통로를 만들어 주는 B 채널 스위치, B 채널과 D 채널 및 ISDN S/T 송수신기 간의 데이터 통로를 제어하는 채널 데이터 다중화기, S/T 인터페이스를 가지는 ISDN S/T 송수신기, TDM 버스에 연결되는 디바이스를 제어하기 위한 TDM 버스 제어기로 구성된다.

B 채널 HDLC 는 칩 내에 2 개가 존재하며, 각각 한 개씩의 B 채널 데이터 처리를 담당하며, 프로세서와 32 비트 단위로 B 채널 데이터를 수신용 및 송신용 FIFO 를 통해 주고 받는다. 송신용 FIFO 는 32 바이트의 단일 버퍼이고, 수신용 FIFO 는 2 개의 32 바이트 FIFO 를 교대로 사용한다. 프로세서와의 데이터 전달은 송신시 DMA 와 수신시 인터럽트 제어기에 의해 이루어지며, B 채널 스위치와 연결된다. HDLC 코어는 HDLC 송신기와 HDLC 수신기로 구성되며, 데이터를 투명하게 통과시키는 Bypass 모드와 HDLC 형식에 따라 데이터를 생성/추출하는 HDLC 모드가 있다. 그림 2 는 B 채널 HDLC 의 구성도이다.



(그림 2) B 채널 HDLC 구성도

프로세서와 채널 데이터 다중화기 사이에서 ITU-T Q.931/Q.921 호 제어 프로토콜 데이터를 포함하는 D 채널 데이터를 전달하는 기능을 담당하는 D 채널 HDLC는 인터럽트 제어기를 통해 프로세서에게 D 채널 데이터 수신을 통보하며, HDLC 코어는 B 채널과 동일하다.

B 채널 스위치는 TDM 버스 제어기, 음성 코덱 및 B 채널 HDLC를 연결해주는 역할을 하며, 이를 위해 B 채널 스위치 코어를 가지고 5개의 B 채널 데이터들을 2개의 채널로 채널 데이터 다중화기에 선별적으로 연결해 준다.

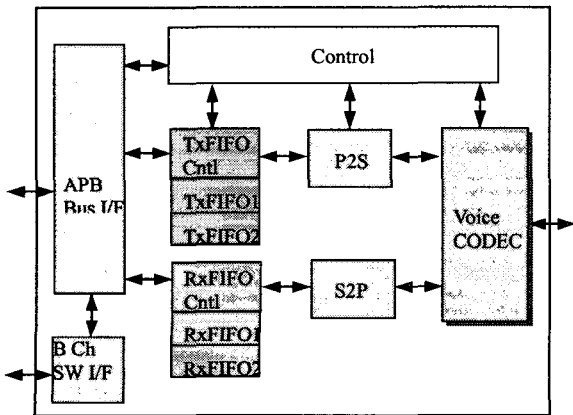
채널 데이터 다중화기는 S/T 송수신기로부터 전달되는 2B+D 데이터를 B 채널 및 D 채널 데이터로 분리하여 B 채널 스위치와 D 채널 HDLC로 전달하고, 반대로 B 채널 스위치와 D 채널 HDLC 데이터를 다중화하여 S/T 송수신기로 전달해주는 기능을 한다.

ITU-T I.430 규격에 따르는 ISDN S/T 인터페이스를 제공하는 S/T 송수신기는 AMI 선로 코딩 기능을 가지는 AFE가 포함되며 프로세서에서 모드 설정, 정보 교환 및 명령 수신 제어를 하고, S/T 정합 상태에 따른 인터럽트를 발생하여 프로세서에게 보고 한다.

최대 4 개까지의 외부 칩을 접속할 수 있는 TDM 버스 제어기는 TDM 버스를 지원하는 외부 칩들을 접속하여 B 채널 데이터들을 주고 받기 위한 것으로 TDM 버스 마스터 기능을 하며, 2.048MHz 클럭을 입력 받고 8kHz의 프레임 동기 신호를 2개 생성한다.

2.3 톤 발생 및 음성 코덱 블록

톤 발생은 프로세서에서 8kHz 32 비트로 PCM 표본화된 16 종의 DTMF 데이터와 단일 톤 데이터, 멜로디 데이터 중 한 개와 단속비 및 기타 제어신호를 선택하고, 선택된 톤 데이터를 프로세서에서 송신 FIFO로 보내면, 이를 직렬데이터로 변환 후 반복해서 코덱으로 전달하여 소리를 발생시킨다.



(그림 3) 톤 발생 및 음성 코덱 블록 구성도

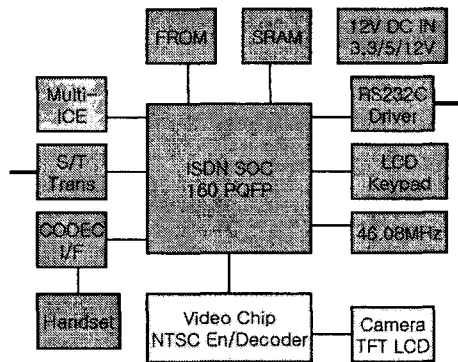
음성 코덱은 ITU-T G.711 표준 호환 코덱으로 AFE를 포함하며 송수화기로부터의 아날로그 신호를 직접 받아 A/D 변환 후 이 선형 PCM 데이터를 A-law/ μ -law로 변환하여 B 채널 스위치로 전달하며 그 반대의 기능도 수행한다. 톤 발생 및 음성 코덱 블록은 그림 3과 같이 구성된다.

2.4 PC 접속 블록

PC와 접속되어 인터넷 접속 등의 데이터 통신을 위해 구성된 UART는 8비트로 프로세서와 인터페이스되며, 수신된 데이터를 프로세서에 전달하기 위한 직렬/병렬 처리기능과 프로세서의 데이터를 전송하기 위한 8비트 병렬/직렬 데이터 변환 기능을 가지며 입출력용 각각 16 바이트의 FIFO를 가지고 있다. 프로세서는 5-8비트까지의 워드 길이, 패리티 비트 그리고 시각/정지 비트를 임의로 제어할 수 있으며, 데이터 송수신에 사용되는 FIFO의 상태, 패리티, 오버런, 언더런 그리고 프레임 오류 등을 감지할 수 있는 기능을 가지고 있다. 최대 230.4kbps의 통신속도를 가지며, DMA 채널을 통해 효율적으로 데이터 송수신을 할 수 있다

3. 통신 단말 구성 및 시험

설계한 ISDN 시스템 칩은 VHDL로 프로그램하여 구현 하였으며, Synopsys사의 Analyzer와 Eagle, Modeltech사의 Modelsim, ARM사의 ADU를 이용하여 설계 및 통합하고 기능을 검증하였다. 0.35um CMOS 공정으로 160핀 QFP 형태로 제작된 이 칩은 3.3V 단일 전원과 46.08MHz의 시스템 클럭을 사용한다. 개발된 칩의 실제 기능 및 성능을 시험하기 위해 시스템 칩 및 단말에 필요한 주변 소자를 사용하여 그림 4와 같이 단말을 구성하였다.



(그림 4) ISDN 통신 단말 하드웨어 구성도

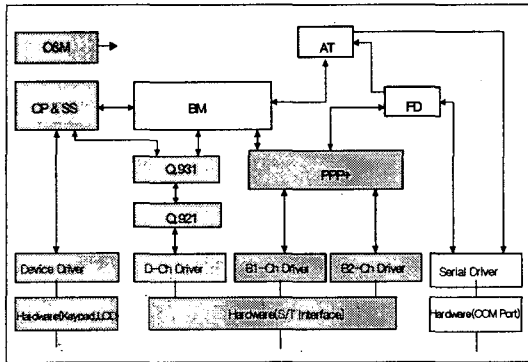
외부 메모리는 2MB의 Flash ROM과 4MB의 SRAM을 구성하였고, S/T 인터페이스용 트랜스포머를 통한 선로 연결, 코덱 인터페이스를 통한 ISDN 송수화기, 마이크, 스피커를 연결하였으며, TDM 버스에 일반전화

기 또는 비디오 칩을 연결하고, UART 인터페이스를 통해 PC 와 연결되며, GPIO 포트를 통해서 LCD 와 Keypad 가 연결된다.

이러한 구성으로 ISDN 음성 전화기능, 인터넷 접속 기능이 수행되고 LCD 에는 필요한 시간, 전화번호, 현재 상태 등의 정보가 표시되고, 비디오 칩, NTSC 인코더/디코더, 카메라, TFT LCD 를 이용하면 영상전화 기능을 수행한다. 프로그램을 디버깅 하기 위해서 JTAG 포트에 Multi-ICE 또는 Trace32 ICD 를 연결하고 PC 에서 ADW 를 구동하여 프로세서를 통해 램에 프로그램 다운 로딩 후 순차적 또는 일괄적으로 프로그램을 실행시켜 디버깅하였으며 검증된 프로그램은 롬에 퓨징하여 칩의 기본적인 기능을 시험하였다.

4. 통신 단말 소프트웨어 구성

구성된 하드웨어에서 동작하는 통신 단말의 소프트웨어 블록 구성은 그림 5 와 같으며 하드웨어의 기본 기능을 수행 후 OS 를 포팅하고 단말 소프트웨어를 올려서 통신 단말의 전체적인 기능 시험을 하였다.



(그림 5) ISDN 통신 단말 소프트웨어 블록 구성도

AT 블록은 다이얼 업 PC 로부터 받은 AT 커맨드를 분석하여 처리하고 그 결과를 다이얼 업 PC 에 보내거나 BM 기능에게 전화 걸기 또는 전화 끊기를 알린다. FD(Frame Dispatcher) 블록은 다이얼 업 PC 로부터 받은 AT 커맨드나 PPP 프레임의 유형을 구분하여 AT 분석 기능 또는 PPP+ 기능에게 넘겨준다. CP&SS(Call Processing & Supplementary Services) 블록은 전화를 통해 음성 통화가 이루어지도록 하며 ISDN 망을 통해 번호 식별, 호 완료, 다중파티 통화, 추가 정보 전달 등의 부가서비스를 제공한다. BM(Bundle Manager) 블록은 단말의 자원 기능으로 두개의 B 채널의 상태를 관리하며 음성 및 데이터 호 연결 설정 및 해제를 위한 절차를 제공한다. 채널 상태는 휴지, 예약, 음성활성, 데이터활성이 있으며, 음성 또는 데이

터의 새로운 호는 반드시 휴지상태의 채널이 존재하는 경우에만 가능하다. PPP+ 기능은 PPP 처리 기능과 멀티 링크 PPP 처리 기능을 모두 포함하고 있다. Q.931 과 Q.921 은 ISDN 신호 기능을 제공하며 O&M 블록은 단말기의 운용 및 관리기능을 담당하며 비정상 동작을 감지하여 자체 복구기능을 수행한다.

5. 결론

본 논문에서는 ISDN 시스템 칩의 설계 및 개발과 이를 이용하여 구현된 통신 단말에 대해 기술하였다. 개발된 칩은 ADW 및 간단한 구성의 통신 단말 하드웨어와 디바이스 드라이버, ISDN 프로토콜, 응용 프로그램 등의 소프트웨어를 구현하여 각각의 기능 검증 및 실제 음성 통화와 인터넷 접속을 하여 기능을 검증하였다. 영상전화 기능은 비디오 코덱 칩이 개발중이어서 NTSC 인코더/디코더, 카메라, TFT LCD 를 사용하여 외부 루프백으로 영상을 시험하였으며, 비디오 코덱 칩 개발이 완료되면 직접 연결하여 H.320 프로토콜을 시험할 예정이다.

참고문헌

- [1] ETSI, "Integrated Services Digital Network Attachment requirements for terminal equipment to connect to an ISDN using ISDN basic access," Nov, 1995.
- [2] ARM, "AMBA Specification Rev2.0", May 1999.
- [3] ITU-T Recommendation I.430, "Basic User-Network Interface-Layer 1 Specification-Integrated Services Digital Network(ISDN)-ISDN User Network Interfaces", 1993
- [4] ITE-T Recommendation Q.931, "ISDN User-Network Interface Layer 3 Specification for Basic Call Control", May 1998.
- [5] ITE-T Recommendation Q.921, "ISDN User-Network Interface - Data Link Layer Specification", Sep 1997.
- [6] ITU-T Recommendation G.711, "Pulse Code Modulation(PCM) of Voice Frequencies - General Aspects of Digital Transmission Systems", 1989.
- [7] ARM, "Software Development Toolkit User Guide", 1998.
- [8] ARM, "Multi-processor EmbeddedICE Interface Unit", 1998