

# ATM 정합모듈과 MPLS 포워딩엔진 연동을 위한 UTOPIA Controller 구현

김광옥\*, 박완기\*\*, 최창식\*\*, 박대근\*\*, 정연쾌\*\*, 이유경\*\*  
\*ETRI 인터넷 기술연구부 MPLS H/W 팀  
e-mail : kwangok@etri.re.kr

## The Implementation of UTOPIA Controller for Interworking AIM and MPLS Forwarding Engine

Kwang-Ok Kim\*, Wan-Ki Park\*\*, Chang-Sik Choi\*\*  
Dae-Gune Park\*\*, Youn-kwae Jeong\*\*, Yoo-Kyoung Lee  
\* MPLS H/W Team, Dept. of Network Technology, ETRI

### 요 약

ACE 2000 ATM 교환기를 이용하여 MPLS 교환기를 구현 시, ATM 가입자 및 중계선을 수용하여 스위치와 정합 기능을 수행하는 AIM(ATM interface module)에 IP 패킷에 대한 룩업을 수행하여 ATM 스위치로 패킷을 포워딩하는 HFEA(High performance Forwarding Engine board Assembly)를 연동하기 위해서는 UTOPIA Level2 연결이 요구된다. 그러나 HFEA 에서 622Mbps 급 성능의 MXT4400(SAR) 칩은 TSAR(Transmit SAR)로 운용 시 Master 모드로 동작 하게 되고, AIM 모듈 또한 Rx에서 Master 모드로 동작하기 때문에 이들을 연결하기 위해서는 양 모듈간에서 Slave 모드로 동작할 수 있는 UTOPIA Controller 가 필요하게 된다. 이에 따라 ALMA(ATM Layer Module Assembly)칩과 HFEA TSAR 사이에서 데이터를 전달하는 UTOPIA Controller 를 Xilinx 를 이용해 FPGA 로 구현하였다.

### 1. 서론.

UTOPIA(Universal Test & Operation PHY Interface for ATM)는 Physical Layer 와 상위 Layer 모듈(ATM layer) 사이에서 표준 인터페이스 역할을 수행한다. 현재 UTOPIA Level 2 는 50 MHz 클럭에서 동작하며, UTOPIA 는 크게 Transmit(Master)와 Receive(Slave) 2 개의 모드로 나누어진다. 보통 Physical Layer 가 Slave 의 기능으로 동작하고, ATM Layer 가 Master 모드로 동작한다.

현재 개발중인 MPLS 교환기는 ACE2000 ATM 교환기를 사용한다. ACE2000 교환기의 ATM 정합 모듈(AIM)은 고속화 및 다양화 추세에 맞추어 모듈의 처리용량이 2.5Gbps 이며, 다양한 인터페이스를 수용할 수 있는 구조를 가지고 있다. AIM 에는 상용소자로 구현이 가능한 4 개의 622Mbps 급 APC 칩을 내장하고 있으며 인터페이스의 표준화를 위해 UTOPIA Level 2 로 인터페이스를 수행한다.

MPLS 교환기에서는 MPLS 정합모듈(MIM)을 ACE

2000 AIM 모듈을 이용해 구성한다. MIM 모듈에서 각 포워딩 엔진은 AIM 모듈내의 APC 와 1:1 로 매핑된다. HFEA 는 ATM 물리 층 정합 장치로부터 유입되는 622Mbps 속도의 AAL5 패킷을 송수신하며, 셀의 재조립 및 분해, 그리고 IP 패킷에 대한 하드웨어적인 룩업 기능을 수행하여 ATM 스위치 모듈로 패킷을 포워딩을 수행한다. 본 개발에 사용되는 622Mbps 급 HFEA 는 622Mbps 용 상용 칩 MXT4400(SAR)을 사용한다. HFEA 는 포워딩 엔진에 송수신 SAR 와 VC-Merge 에 송수신 SAR, 즉 총 4 개의 SAR 가 사용된다. 이때 PHY layer 는 HFEA 송신 SAR 와 연결되고, 수신 SAR 는 APC 와 연결된다. 그러나 MXT4400(SAR)칩은 수신 SAR 로 사용될 때 UTOPIA 의 Master 로 동작하게 된다. 마찬가지로 수신 SAR 와 연결되는 ALMA 또한 Master 로 연결되므로 이들 사이에서 Slave 모드로 인터페이스가 수행되는 UTOPIA Controller 가 필요하게 된다. 따라서 본 연구에서는 HFEA 의 TSAR 와 ALMA 를 연결하는 UTOPIA Controller 를 Xilinx FPGA 를 이용해 구현하였다. FPGA 칩은 SPARTAN 2 계열을

이용하였다.

본 논문의 구성은 2장에서 ATM 교환기에서의 ATM 정합모듈 구조에 대해서 고찰하고, 3장에서는 MPLS 교환기에서 사용되는 MPLS 정합 모듈에 대해서 살펴본다. 또한 본 논문에서 제안한 UTOPIA Controller에 대해서 논의한다. 4장에서는 시뮬레이션 결과 및 실제 시스템에서 성능 결과를 살펴본다. 그리고 마지막으로 결론을 맺는다.

2. ACE2000 ATM 교환기에서의 AIM 모듈 구조.

ATM 교환기에서 AIM 모듈은 ATM 가입자 및 중계선을 수용하여 SFM(Switch Fabric Module) 모듈과 정합하는 기능을 수행한다. AIM은 ATM 인터페이스의 물리 계층 기능과 ATM 계층 기능을 처리하는데, AIM이 수용하는 가입자나 중계선 인터페이스는 STM-1과 STM-4 및 DS-3이며, 총 처리용량은 2.5Gbps이다. 따라서 AIM은 물리계층으로 STM-1 인터페이스를 16개 수용하거나, STM-4 인터페이스를 4개 수용할 수 있다. AIM 모듈의 구조는 그림 1과 같다.

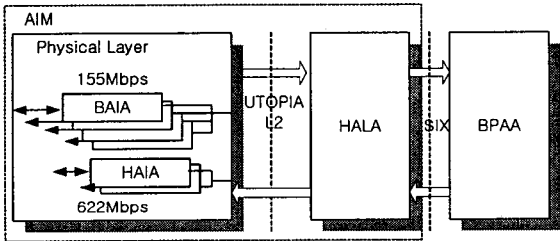


그림 1. ATM 교환기에서의 AIM 모듈구조.

BAIA(Basic speed ATM Interface board Assembly)는 STM-1 급으로 가입자/중계선 인터페이스로서 HALA와 UTOPIA Level 2로 인터페이스 된다. HAIA(High speed ATM Interface board Assembly)는 2회선의 STM-4c 급 가입자/중계선 정합을 위해 물리계층 기능과 ATM Layer와의 UTOPIA Level 2 인터페이스 기능을 제공한다. 또한 STM-4c 급 가입자/중계선 라인을 인터페이스하고 물리계층 프레임 처리 후 프레임에서 ATM 셀을 추출하여 ATM 계층으로 셀을 전달하고, ATM 계층으로부터 수신된 셀을 가입자/중계선으로 전달하는 기능을 수행한다.

HALA(High speed ATM Layer board Assembly) 블록은 ATM 계층 처리 블록으로서 물리 계층 및 스위치 블록과 연동된다. HALA는 ATM 처리부인 ALMA 4개로 구성되며, 각 ALMA는 622Mbps 급 ATM 계층 처리와 트래픽 제어 기능을 수행한다. HALA는 물리계층과 셀 송수신을 위해 50MHz 16bit 버스로서 UTOPIA Level 2로 인터페이스 된다. BPAA(Buffering and Port Adaptation board Assembly)는 가입자 정합 보드인 AIM의 STM-4c 포트로부터 각각 사용자 셀 데이터를 수신하여 STM-16c 1포트 셀 데이터로 다중화 한 후, 다중화된 셀을 크로스바 스위치 보드에 송신하고, 스위치 보드에서 수신한 셀을 STM-4c 포트 셀 데이터로 역 다중화하여 HALA로 전달하는 기능을 수행한다.

ATM 교환기의 AIM 모듈은 물리계층(Slave)과 HALA(Master)사이에서 표준 인터페이스인 UTOPIA Level2와 동일한 방식으로 인터페이스가 이루어진다. 그러나 이런 AIM 모듈을 이용해 MPLS 기능을 수행할 수 있는 MPLS 정합모듈 장치로 개발하기 위해서는 물리계층과 HALA 사이에 HFEA 모듈이 추가되어야 한다. 물리계층과 HFEA 모듈 사이에는 UTOPIA Level 2로 직접 연결할 수 있지만 HFEA 모듈과 HALA 사이에서는 둘 다 Master 모드로 동작하기 때문에 이들을 연결할 수 있는 UTOPIA Controller가 필요하게 된다.

3. ATM 기반 MPLS 교환기에서의 MIM 모듈 구조.

3.1. MIM 모듈구조.

MIM(MPLS Interface Module)은 ATM 기반에서 MPLS 기능을 수행할 수 있도록 HFEA 모듈이 새로이 추가된 구조를 나타낸다. MIM 구조는 그림 2와 같다.

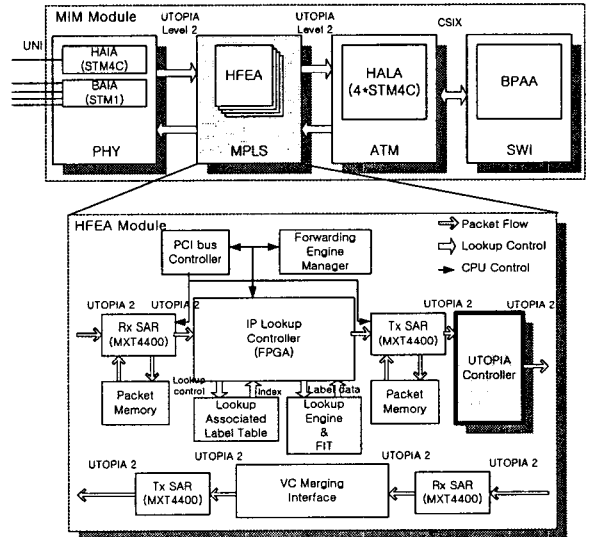


그림 2. MPLS 교환기에서의 MIM 모듈구조.

HFEA Rx SAR는 PHY와 UTOPIA Level2로 직접 연결되며, 이때 PHY는 Slave 모드로 동작하고 Rx SAR는 Master 모드로 동작하여 패킷 데이터를 HFEA 모듈에 전달한다. 전달된 데이터는 HFEA 모듈에서 룩업 처리를 수행한 후 Tx SAR를 통해 HALA로 셀을 전송한다. 그러나 그림 3처럼 622Mbps 용 MXT4400 칩은 송신 모드인 경우 Master, Slave 모드로 사용할 수 있으나, 수신 모드인 경우 UTOPIA Master 모드로만 동작하게 된다.

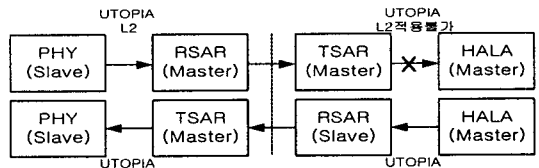


그림 3. MIM 내의 UTOPIA 인터페이스 구조.

따라서 UTOPIA Master 모드로 동작하는 HALA 와 연결하기 위해서는 두개의 Master 양단에서 UTOPIA Slave 기능을 수행할 수 있는 UTPIA Controller 를 구현하였다.

3.2. 제안된 UTOPIA Controller 블록구조.

본 논문에서는 HFEA TSAR 와 HALA ALMA 칩을 UTOPIA Level 2 인터페이스로 연결하기 위해 UTOPIA Controller 를 구현하였다. 기본 구조는 그림 4 와 같이 구성된다.

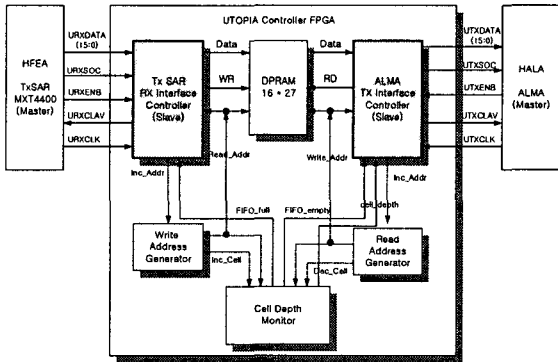


그림 4. UTOPIA Controller 모듈구조

UTOPIA Controller 는 HFEA TSAR 로부터 데이터를 받아 DPRAM 에 데이터를 저장할 수 있도록 제어 신호 및 데이터를 전달하는 송신 인터페이스부와 DPRAM 으로부터 데이터를 받아 ALMA 의 제어에 따라 데이터를 전달하는 수신 인터페이스부로 구성된다. 또한 ATM 53Byte 1 셀을 저장할 수 있는 DPRAM 메모리가 구성되어 있으며, Xilinx 에서 지원하는 Core 라이브러리를 이용해 구현하였다. 추가로 DPRAM 의 메모리 상태를 체크하여 데이터를 받아들일 수 있는지 체크하기 위해 Cell Depth 모니터 블록으로 구성된다. UTOPIA Controller 의 주요 동작은 다음과 같다.

- ※ UTOPIA Controller 는 HFEA TSAR 로부터 Enable 신호가 입력되고, 데이터의 시작을 나타내는 Start of Signal(URXSOC) 신호와 첫번째 16 비트 데이터가 입력되면 DPRAM 을 조사해 셀을 받을 수 있는지 여부를 확인 후 Cell Available(URXCLAV) 신호를 HFEA TSAR 에게 전달한다.
- ㉓ HFEA TSAR 가 URXCLAV 신호를 두 번째 데이터부터는 16 비트 데이터만 전송하게 된다.
- ㉔ 입력되는 16 비트 데이터를 DPRAM 메모리에 저장하기 위해 Write 신호와 Address 를 생성한다. 입력되는 데이터는 메모리 카운터를 증가 하게하고, 출력되는 데이터는 메모리 카운터를 감소 하게하여 메모리 Depth 를 측정한다. 만약 메모리 Depth 가 "28"를 나타내면 DPRAM 은 더 이상 HFEA TSAR 로부터 데이터를 받을 수 없으므로 폐기하게 된다. 또한 메모리 Depth 가 "0"이면 DPRAM 에서 ALMA

로 전송할 데이터가 없으므로 UTXCLAV 를 LOW 로 만든다.

- ㉕ 수신 인터페이스부는 메모리 Depth 를 보고 DPRAM 에 데이터가 입력되는 것을 확인한 후 ALMA 에게 UTXCLAV 신호를 전달한다. 이에 대한 응답으로 ALMA 는 Enable 신호를 수신 인터페이스부에 전송한다. Enable 신호를 확인한 수신 인터페이스는 UTXSOC 신호와 데이터를 전송하게 된다. 이렇게 함으로서 HFEA TSAR 와 ALMA 사이에서 셀을 전송할 수 있게 된다.

UTOPIA controller 는 50MHz 의 클럭을 사용하여 데이터를 전달하게 된다. TSAR 에서 50MHz URXCLK 을 받아 데이터를 입력시키고 HALA 의 UTXCLK 을 이용해 데이터를 출력시킨다. 보통 UTOPIA 는 어드레스 필드를 가지고 있어 여러 포트로부터 입력되는 데이터를 풀링 하여 전송하는데, 본 MPLS 시스템에 적용되는 622Mbps 급 HFEA 는 622M Full 성능을 내기위해 UTOPIA Controller 에서는 한 포트만 동작할 수 있도록 구현하였다. 본 시스템에서는 STM-1(155Mbps) 4 포트를 사용해 622Mbps 용량을 구현하기 위해 BPAA 에서 펌웨어를 수정해 구현하였다.

4. 시뮬레이션 및 성능시험 결과 고찰.

UTOPIA Controller 는 Xilinx Inc. 의 SPARTAN2 2550TQ144 칩을 이용해 HFEA 모듈에 구현하였다. 구현된 블록의 Gate 카운터 17,345 개가 사용되었으며, JTAG 에 관련해 1,968 개가 사용되었다. 그림 5 는 Timing Simulation 의 결과를 보여준다.

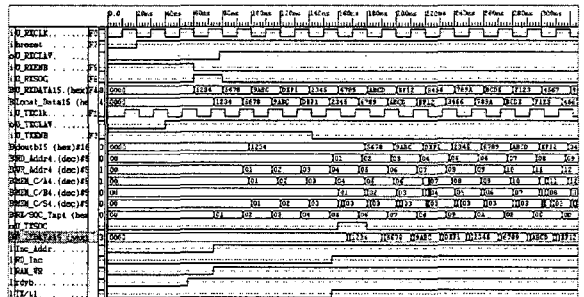


그림 5. UTOPIA Controller 의 Timing Simulation 결과

그림 5 에서 먼저 hreset = '0'이면 모든 블록은 "0"으로 클리어된다. hreset = '1'이되고 U\_RXENB = '0'일때, U\_RXSOC = '1'값과 셀 데이터 "1234"가 입력되면 송신 인터페이스에서 U\_RXCLAV 를 '1'로 출력하는 것을 볼 수 있다. 두 번째 데이터가 입력될 때 수신 인터페이스부는 ALMA 에게 전송될 셀이 있음을 표시하는 U\_TXCLAV = '1' 신호가 출력되는 것을 볼 수 있다. ALMA 가 셀을 받기 위해 U\_TXENB = '0'를 보내면 셀의 시작 포인터를 나타내는 U\_TXSOC = '1'값과 U\_TXDATA = "1234"를 전송하는 것을 확인할 수 있다. 그림 6 은 53Byte 셀을 27t 동안마다 U\_TXSOC 신호와 함께 출력되는 것을 보여준다.

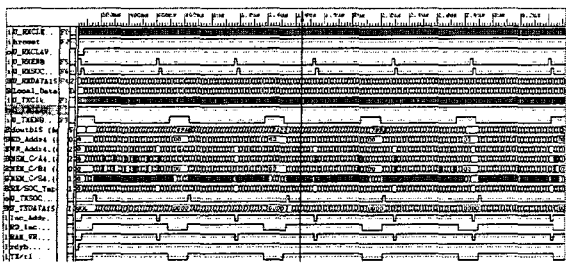


그림 6. 53Byte ATM Cell Transmit Timing Simulation 결과

이 UTOPIA Controller 는 약 66MHz 까지 동작할 수 있다. 또한 클럭 발생 후 데이터가 출력되는데 18.5ns 가 소요된다. 그림 7 은 UTOPIA Controller 의 라우팅 정보를 보여준다.

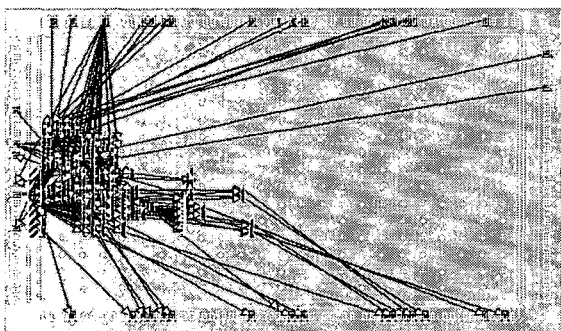


그림 7. UTOPIA Controller 의 라우팅 정보

구현한 UTOPIA Controller 를 실제 HFEA 모듈에 플러그 하여 HALA 와 622Mbps 를 지원하는지 시험하기 위해 그림 8 과 같이 테스트 환경을 꾸며 실험을 수행하였다. 실험에서 622Mbps 의 패킷을 생성하기 위해 SmartBit 장비를 이용하였으며, UTOPIA Controller 가 반영된 HFEA 를 이용한 성능시험모델은 다음과 같다.

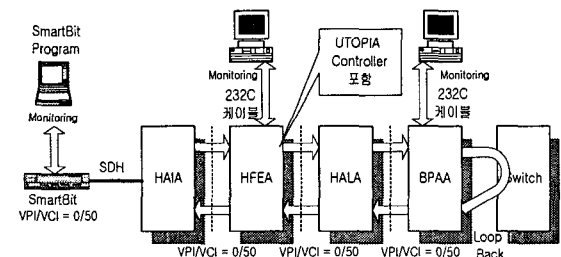


그림 8. UTOPIA Controller 를 포함한 HFEA 성능시험 구조

그림 8 에서처럼 HFEA 와 HALA 사이의 성능시험을 테스트하기 위해 가입자쪽 채널 설정을 HFEA 에서 VPI/VCI = 0/50 번으로 설정하고, 목적지 주소는 1.1.1.1 로 설정하였다. 또한 622Mbps 를 지원하는 HAIA 보드를 통해 셀 패스 시험을 수행하였다. BPAA 에서는 스위치를 통해 Loop Back 되도록 설정하고, HFEA 와의 연결을 위해 HFEA 와 동일한 VPI/VCI = 0/50 를 설정

하였다. 또한 HFEA 나 HALA, BPAA 는 232C 케이블을 이용해 PC 모니터로 상태를 모니터링 하였다. 스마트비트 장비에서 프레임 사이즈를 100Byte 로 설정하고, 프레임 Rate 는 460843(Frames/s)로 설정하여 HFEA 의 97.88%의 성능에서 UTOPIA Controller 가 Loss 없이 제대로 전송하는지 모니터링 하였다. 시험에서 HFEA TSAR 의 패킷 카운터와 ALMA 의 입력 패킷 카운터를 비교한 결과 UTOPIA Controller 는 셀 Loss 없이 인터페이스 역할을 수행하는 것을 확인하였다. SmartBit 채널 설정과정 및 HFEA 의 성능 결과는 그림 9 와 같이 보여준다.

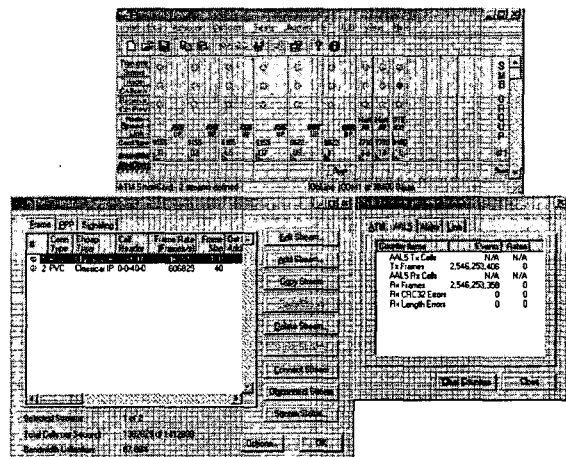


그림 9. SmartBit 장비를 이용한 성능시험 결과

#### 4. 결론.

본 논문에서는 ATM 을 기반으로 하는 MPLS 정합 모듈을 구현 시 ATM 정합모듈과의 연동 시 UTOPIA level 2 로 직접 연동하는데 문제점이 있는 것을 보완하기 위해 ATM 정합모듈과 MPLS 포워딩엔진 사이에서 Slave 모드로 동작할 수 있는 UTOPIA Controller 를 FPGA 를 이용하여 구현하였다. 구현된 칩은 포워딩엔진 보드 내에 실장 되어 인터페이스 역할을 수행하고 있으며, Xilinx 의 SPRATAN 2 계열을 사용하였다. 동작 주파수는 50MHz 에서 동작되며, 게이트 수는 약 18,000 개 정도가 사용되었다. 성능시험 결과 UTOPIA Controller 가 HFEA 622Mbps 의 약 97.88%까지 셀 Loss 없이 셀을 전송하는 것을 확인하였다.

#### 참고문헌

- [1] "UTOPIA Specification Level 2 Version 1.0", The ATM Forum Technical Committee, June, 1995.
- [2] "MXT 4400 Reference Design Schematic Data", Maker Communication, August, 1999.
- [3] "MXT 4400 Reference Manual Version 2.0", Maker Communication, August, 1999.
- [4] "Asynchronous FIFO V3.0" Xilinx Inc, Product Specification, November 3, 2000.
- [5] "Dual-Port Block memory for Virtex, Virtex-II, and Spartan V3.1", Xilinx Inc, Product Specification, March 2, 2001.