

Simple AAL type1 프로토콜 프로세서 구현

이요섭*, 박재현*, 이상길*, 조태경**, 최명렬*
*한양대학교 전자전기제어계측공학과
**동서울대학 전기과
e-mail: remnant@asic.hanyang.ac.kr

Implementation of simple AAL type1 protocol processor

Yo-Seop Lee*, Jae-Hyeon Park*, Sang-Kil Lee*, Tae-Kyung Cho**,
Myung-Ryul Choi*
*Dept. of EECI, Hanyang University
**Dept. of Electric Engineering, Dong-Seoul College

요 약

본 논문에서는 ATM 망에서 CBR(Constant Bit Rate) 트래픽 전송을 위한 AAL(ATM Adaptation Layer) type 1 프로세서를 설계 및 구현하였다. AAL 계층의 주요 기능들은 ITU-T Recommendations I.362 와 I.363 에 근거하여 설계하였다. AAL 계층의 주요한 역할은 데이터의 Segmentation 및 셀의 Reassembly 를 하는 것으로, Segmentation 과정에서는 상위 계층의 연속적인 데이터를 Segmentation 하여 53-byte 크기의 ATM 셀을 구성하는 기능이다. Reassembly 과정에서는 들어오는 셀들을 연속적인 데이터로 만들어 AAL 계층 보다 상위 계층으로 전달하는 것이다. 이 과정에서 셀의 Header 를 확인한 후 오류 검정을 거치게 되며, 데이터에 오류가 있을 경우에는 해당 셀을 버리고 오류가 없을 시에만 상위 계층으로 전달한다. 본 논문에서 구현한 Simple AAL type1 프로세서는 향후 모든 type 의 AAL 을 수용하는 칩 개발에 유용할 것으로 사료된다.

1. 서론

최근에 B-ISDN 구축에서는 ATM(Asynchronous Transfer Mode)이 중요한 역할을 한다. ATM은 같은 수신처 정보를 가진 셀의 송신 개수를 변화시킴으로써 통신채널의 대역 용량을 동적으로 바꿀 수 있다. 이런 구조에서는 중앙부의 제어에 의해 각각의 지역이나 통신 상대의 장소에 따라, 가상 패스의 용량을 자유롭게 바꿈으로써 균형적이고 융통적인 네트워크로서 운용 가능하다. 또한, ATM에서는 셀을 일시 축적하기 위한 버퍼 회로를 갖추거나 송신 우선 셀과 폐기 가능한 비우선 셀을 구분하여 같은 대역 용량의 전송로 내의 더 많은 통신 채널을 확보한다. 이것을 통계적 다중화라고 한다. 즉, ATM에서는 가변 대역이라는 특징에 더해 통계적 다중화에 의한 효율적인 정보 전송이 가능하다. 또한, ATM에서는 통신 채널 내에 보수용 동작 정보를 통지 함으로써 네트워크 고장 시에도 고장 나지 않은 채널을 통해 고장을 알릴 수 있다. 따

라서 서비스를 중단하지 않고도 오류 발생 구간을 알아내고 검사 할 수 있다. 대역폭 사용의 효율성, 모든 타입의 서비스를 가능하게 할 수 있는 용이성과 표준화되어 있는 프로토콜이라는 장점 때문에 ATM은 그 효율 가치가 높다[1]. 여기서 제안한 AAL type1 프로세서는 ITU-T Recommendations I.362 와 I.363 에 따라 구현하였다[2][3]. AAL type1 프로세서는 음성 신호와 같은 CBR 신호 전송을 위해 사용된다. 본 논문의 구성은 다음과 같다. 2 장에서는 AAL type1 의 기능에 대해서 기술하였고, 3 장에서는 Segmentation 블럭의 구현, 4 장에서는 Reassembly 블럭의 구현, 그리고 5 장에서는 CPU I/F(Interface) 블럭의 구현에 대해 기술하였다. 6 장에서는 ANAM Company 에서 제공하는 Library 를 이용한 합성 결과를 보여 주었다. 또한, 7 장에서는 결론 부분으로 더욱 개선해야 할 부분에 대해서 기술하였다.

2. AAL type1 의 기능

AAL type1 계층은 B-ISDN 네트워크를 거쳐 CBR 데이터를 전송하기 위해 사용된다. 수신측 노드에서는 송신 주파수를 클럭에 동기화 시킨 동일한 Bit Rate 을 발생한다. 이는 데이터와 함께 수신측으로 관련된 클럭 정보가 전달되어야 한다. AAL type1 프로토콜은 손실 혹은 오류가 발생한 데이터를 정정하거나 재전송 하지 않는다. 만약, 오류 발생시에는 해당 셀을 폐기 한다.

AAL type1 계층은 CS(Convergence Sublayer) 와 SAR(Segmentation and Reassembly) 2 개의 부 계층으로 구성되어 있다. AAL type1 프로토콜은 그림 1 과 같은 구성을 갖는다. AAL 계층은 상위 계층과 ATM 계층과의 중재 역할을 한다. CS 에서는 SAR PDU(Protocol Data Unit)의 3-bit 카운터 값에 의해 SAR PDU의 손실 정보를 알 수 있다. 또한 수신측에 송신 주파수를 복구하며 SAR Header 의 CSI (Convergence Sublayer Indication) 비트를 이용해 구조화된 데이터 전송을 가능하게 한다. SAR 부 계층에서는 들어오는 연속적인 데이터를 ATM 셀의 Payload Area 에 넣을 수 있도록 나누는 일과 ATM 셀을 다시 연속적인 데이터로 Reassembly 한다. 그림 2 에서는 ATM 셀 패킷을 보여 준다. 앞부분의 5-byte 는 ATM Header 이고 다음 1-byte 는 SAR Header 이다. 실제 데이터는 47-byte 의 Payload 에 쌓인다[4-7].

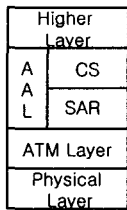


그림 1. AAL type1 Protocol

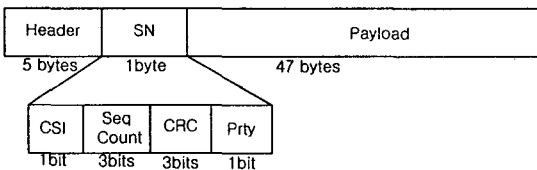


그림 2. ATM 셀

그림 3 은 AAL 계층의 블럭도 이다. CPU I/F 부분에서는 CPU 와의 통신을 통해 ATM Header 값을 저장한다. 이 Header 에는 GFC(Generic Flow Control), VPI(Virtual Path Identifier), VCI(Virtual Channel Identifier), PT(Payload type), CLP(Cell Loss Priority), HEC(Header Error Control)값이 있고, Segmentation 과 Reassembly 과정에서 ATM Header 가 쓰인다. Segmentation 된 셀은 UTOPIA I/F 를 통해 물리 계층으로 전달 된다.

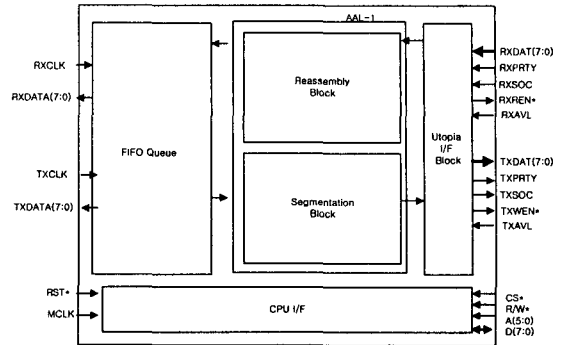


그림 3. AAL 계층 블럭도

3. AAL type1 Segmentation 의 구현

AAL type1 의 Segmentation 과정에서는 들어오는 연속적인 데이터를 53-byte 의 셀로 분리하는 일이 수행 된다. 이 과정에서는 5-byte 의 ATM Header 와 1-byte 의 SAR Header 와 47-byte 의 Payload 로 구성된 53-byte 크기의 한 셀을 만든다. 그림 4 는 Segmentation 과정을 나타내었다.

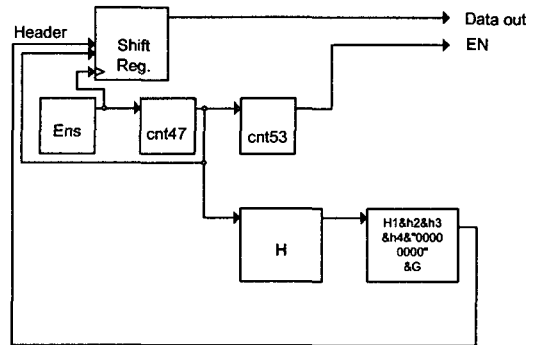


그림 4. Segmentation 블럭

8KHz CBR 입력 신호에 따라 들어 오는 데이터는 47 번의 Shifting 을 하면서 Shift Register 로 구성된 버퍼에 데이터가 쌓이게 된다. 카운터를 이용해서 버퍼에 데이터가 쌓인 것을 알 수 있고 47-byte 의 데이터가 쌓인 후 CPU Register 의 ATM Header 와 SAR Header 값을 생성하여 Multiplexing 한다. 그래서 53-byte 의 셀을 구성한다.

H(Header) 블럭에서는 47-byte 의 데이터가 버퍼에 쌓였다는 신호를 받고서 동작하며, SAR Header 를 생성하는 블럭이다. 이 블럭에서는 CSI(Convergence Sublayer Indication) 1-bit, SC(Sequence Count) 3-bit, PT(Payload type), CLP(Cell Loss Priority), HEC(Header Error Control) 3-bit, Prty(Parity) 1-bit 을 생성한다. 오른쪽의 블럭에서는 그 SAR Header 를 CPU 에 있는 ATM Header 와 합하여 47-byte 의 데이터와 함께 53-byte 의 셀을 만들게 한다.

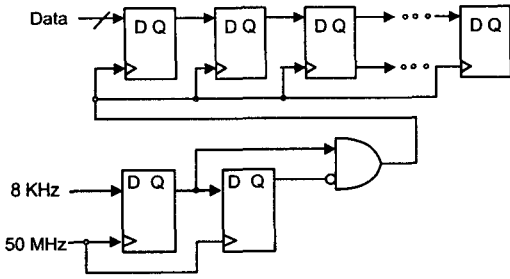


그림 5. Shift register and Ens 블럭도

그림 5는 Shift Register 와 Ens 블럭도를 나타낸다. 8KHz 에 음성 신호가 올 경우 Ens 블럭에서 Rising Edge 를 감지하여 Enable 신호를 생성하고 그 신호는 Shift Register 에 동작 클럭으로 사용된다. 따라서 8KHz 클럭에 따라 Shift Register 에 데이터가 차례로 저장된다.

그림 6은 SAR Header 생성 블럭도이다. CSI 값은 CS 부 계층에서 참고 되는 값이며, CSI 값에 의해 구조화된 데이터의 전송을 하게 된다. SC 는 3-bit 카운터 값이다. 이 블럭에서는 데이터가 들어 올 때마다 카운트 함으로서 데이터에 순번이 부여 되며, 이 순번은 오류 검출에 사용된다. CRC 는 CSI 와 SC 4-bit 에 대해 실행한다. 생성 다항식 $G(X) = X^3+X+1$ 이다. 이 생성 다항식에 의해 CRC 3-bit 값이 생성된다. Prty 블럭은 CSI 와 SC 와 CRC 7-bit 에 대해 실행한다. 7-bit 에 대해 XOR 로직으로 Prty 1-bit 을 생성한다.

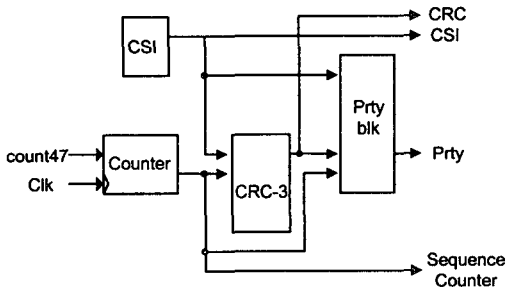


그림 6. SAR Header 블럭도

4. AAL type1 Reassembly 의 구현

Reassembly 블럭은 ATM 계층으로부터 셀을 받아서 Header 를 점검한 후 오류가 없을 시에만 Payload 에 있는 데이터를 상위 계층으로 보내어 연속적인 데이터를 만든다. 그림 7은 Reassembly 블럭도이다. Avl 신호에 의해 셀이 있음을 알게 되어 H1 상태가 된다. 들어오는 셀의 Header 가 CPU Register 에 있는 Header 와 비교하여 같지 않을 경우는 Delete Routine 으로 가게 되어 Ren 신호만 생성하고, Wen 신호는 생성하지 않는다. Header 를 검사해서 같을 때는 Wen 신호를 47 번 내보내 주고 Wen 신호에 의해 FIFO 에 쌓이게 된다. FIFO 에 쌓인 데이터는 8KHz 의 클럭에 동기화 되어 보내져야 한다. 그림 9는 FIFO 에서 데이터를 내보내기 위한 블럭도이다.

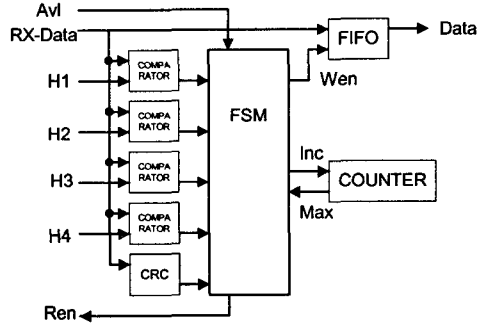


그림 7. Reassembly 블럭도

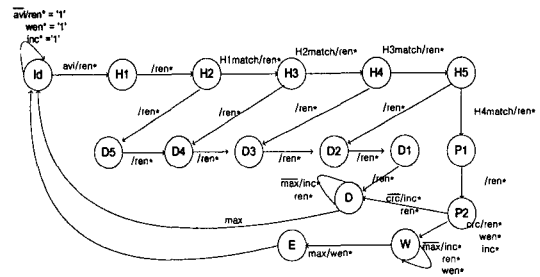


그림 8. FSM 상태도

그림 9에서 보여 주는 것처럼 FIFO 는 Ef 신호로 FIFO 에 셀이 있음을 알려 주고 Output 블럭에서는 Edge detector 신호를 받아서 FIFO 값을 상위 계층에 보내게 된다. 결국 상위 계층으로 연속적인 데이터가 전달되게 된다.

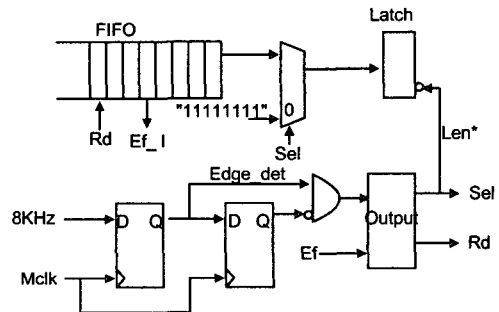


그림 9. End block 블럭도

5. CPU I/F의 구현

CPU I/F 블록에서는 CPU의 주소에 의해 할당된 레지스터에 Header 정보를 저장하는 블록이다. CPU에서는 주소와 데이터를 CPU I/F에 보낸다. CPU I/F는 레지스터로 구성되어 있다. 이 레지스터에는 GFC 4-bit, VPI 8-bit, VCI 16-bit, PT 3-bit, CLP 1-bit, HEC 8-bit에 대한 정보가 저장되어 있다. 이 데이터는 Segmentation과 Reassembly 과정에 쓰이게 된다. 본 논문에서는 ATM Header 중 상위 4-byte 만 설정하였고, HEC 값은 "0"으로 간주했다. 그림 10은 CPU I/F 블록이다. CPU로부터 AD(Address), Data, CS(Chip Select), R/W(Read/Write) 신호를 받고, Segmentation과 Reassembly 블록으로 ATM Header 값인 H1, H2, H3, H4를 보낸다.

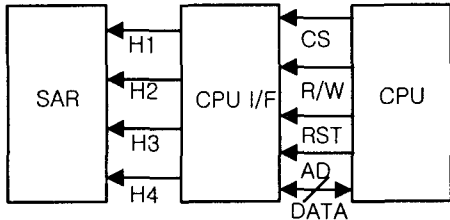


그림 10. CPU I/F 블록도

6. 합성

AAL type1 계층을 Segmentation, Reassembly, CPU I/F 3개의 블록으로 나누어서 설계하였고, Synopsys Tool(VSS, DC)을 이용하여 합성하였다. 그림 11은 3개의 블록을 합성한 것이다. 합성할 때는 ANAM 0.25um, 2.5V Cell Based Library를 사용하여 합성하였다.

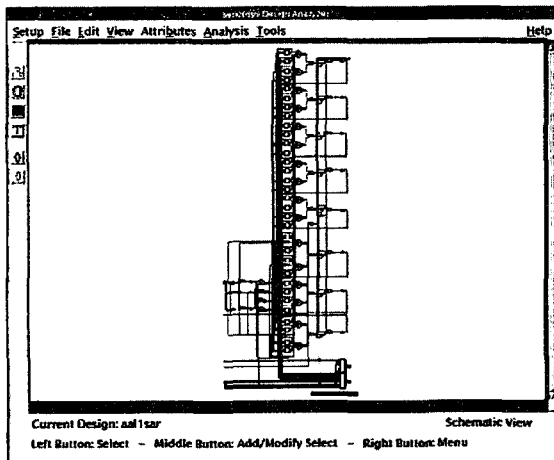


그림 11. Synopsys 합성

7. 결론

본 논문에서는 구현을 간편화 및 세분화 시키기 위하여 3개의 블록으로 나누어, 각각의 블록을 독립시

켜 구현하였고, Header 부분의 오류를 검출할 때는 Comparator를 사용하였다. 합성 결과에서는 ITU-T Recommendations 1.362와 1.363에 있는 모든 사양을 적용하는 것보다 단순화된 구성을 하고 있다.

향후 연구과제로는 실제 네트워크상에서 VBR(Variable Bit Rate), ABR(Available Bit Rate), UBR(Unspecified Bit Rate)등과 같은 다양한 형태의 데이터를 전송하기 위해서 AAL type1 프로세서에 기능들을 추가하여 AAL type2, 5 프로세서의 구현을 목표로 하고 있다.

참고문헌

- [1] Roger S. Pressman. "Software Engineering, A Practitioner's Approach", 3rd Ed. McGraw Hill, 1997
- [2] ITU-T Recommendation 1.362, "B-ISDN ATM Adaptation Layer (AAL) Functional Description", March 1993
- [3] ITU-T Recommendation 1.363, "B-ISDN ATM Adaptation Layer (AAL) Specification", March 1993
- [4] Edwin R.Coover "ATM Switches", Artech House, 1997
- [5] Rainer Handel, Manfred N.Huber, Stefan Schroder, "ATM Networks concepts, protocols, applications", 3rd Ed, Addison-wesley, 1998
- [6] Mohammad A.Rahman, "Guide to ATM System and Technology", Artech house, 1998
- [7] I.J. "Duffy" Hines, "ATM the key to High-speed Broadband Networking", M&T Books, 1996