

PCB 회로의 신호통합 시뮬레이터 구현에 관한 연구

김현호*, 이천희**

*도립충북과학대학 전자정보과

**청주대학교 전자공학과

e-mail:kimhh@ctech.ac.kr, yicheon@chongju.ac.kr

A Study on Implementation for Signal Integrity Simulator of the PCB Circuits

Hyeon-Ho Kim*, Cheon-Hee Yi**

*Dept of Electronic Information, Chungbuk Provincial University
of Science & Technology

**Dept of Electronic Engineering, Cheong-ju University

요약

본 논문에서는 PCB(Printed Circuit Board)회로에서 고속 신호들을 전달하는 배선의 특성 및 배선의 요구사항에 의한 설계 규칙과 이론화된 공식은 이용하여 PCB상에 배치되는 부품들간의 배선경로를 추적하여 해당 배선의 특성을 분석하고, 흐르는 신호의 특성 및 해당 신호의 전기/전자적인 시뮬레이션을 수행할 수 있도록 하는 PCB회로의 신호통합 시뮬레이터에 대하여 언급하고 실험을 통하여 시뮬레이션의 타당성을 검증하였다.

1. 서론

근래에 한 연구가 각 분야 들어 제품의 설계 및 생산에서 PCB의 설계가 중요시되고 있다. 이러한 결과의 원인은 회로의 복잡도가 증가되고, 제품의 외형이 작아지면서 부품들의 배치가 점점 어려워지고 그리고 각 부품들의 상호 작용이 회로의 동작 특성에 영향을 미치기 때문이다. 또한 신호의 고속화로 인한 고속 신호의 처리에 있어서 저속의 신호 전달에 있어서는 나타나지 않은 문제들이 발생하고 있다. 이러한 고속 회로의 특성은 요구 사항이 증가하면서 고속 신호에 의한 노이즈의 발생으로 인한 다른 신호에 영향이 미치는 경우가 높아지며, 그리고 각 부품들간의 동작이 그 오차 범위가 좁아지면서 그 중요성이 증대되고 있다[1, 2].

따라서 본 논문에서는 고속 신호를 갖는 회로에서 고속 신호를 전달하는 배선의 특성 및 배선의 요구사항에 의한 설계 규칙을 고려하고 이론화된 설계 공식 및 규칙을 이용하여 회로의 시뮬레이션과 같이 PCB상에 배치되는 부품들간의 배선경로를 추적하여

해당 배선의 특성을 분석하고 여기에 흐르는 신호의 특성 및 해당 신호의 전기/전자적인 시뮬레이션을 수행할 수 있도록 하는 신호통합(Signal Integrity) 시뮬레이터를 구현하여 그 결과를 검증하였다. 이러한 시뮬레이터에 의하여 특정 신호 특히, 고속신호 및 병렬처리 신호들에 대하여 신호통합을 수행할 수 있으며 PCB의 설계 시 해당 배선의 수정을 요구하는 또는 회로의 변경을 요구하는 결과에 대해서 해결책을 제시해 줄 것이다.

2. 프로그램의 구성

시뮬레이션에 필요한 PCB 데이터는 특정 CAD 프로그램에 의해서 정의해야 된다. 본 논문에서는 CSI, Inc의 WinPCB를 이용하여 해당 데이터를 얻었으며 이러한 신호통합 해석 프로그램은 입력 파일의 형태가 ASCII형태를 취한다. 이러한 시뮬레이터는 물리적인 구조와 회로적인 구조를 해석해서 입력 파라미터를 추출하는데 전체적인 흐름도는 그림 1에 나타냈다.

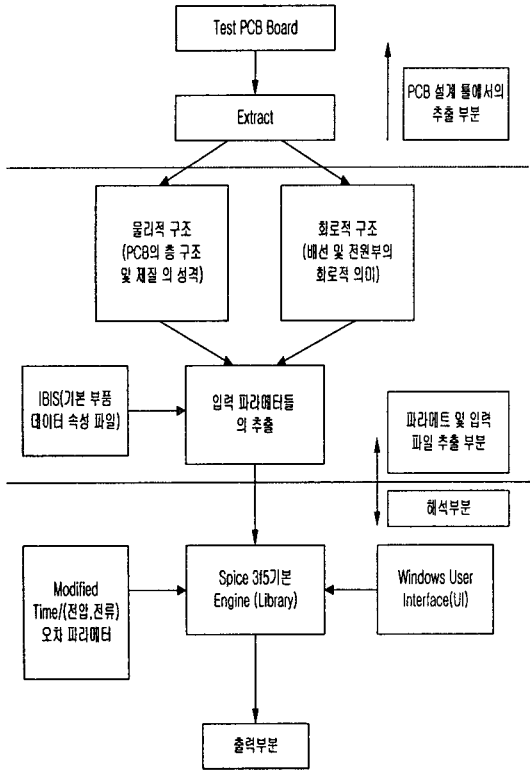


그림 1. 시뮬레이터 구성의 흐름도

2-1. PCB의 물리적 구조

PCB는 그 공정상의 형태와 제조 기술의 차이로 다양한 물리적 구조를 가지며 또한 배선에 사용되는 동판의 두께 및 PCB의 재질인 FR4 등의 다양한 유전율을 갖는 재질을 사용하며 층별 격리의 거리가 다르다[3]. 이러한 물리적인 구조는 보드의 시뮬레이션에 중요하게 사용되는 파라미터로 보드의 유전율과 보드의 각 층간의 두께 및 동판의 두께가 이러한 파라미터들이다.

2-2. PCB의 회로적 구조

PCB 시뮬레이션은 고속 신호에 대한 해석을 수행하게 된다. 고속 신호라 함은 흔히 클럭 신호와 같이 매우 빠르게 그 상태를 변화하는 디지털 신호임에는 맞으나 그 해석적인 면에서 볼 때는 매우 정밀한 아날로그 신호이며 그 신호의 전위 부분에서의 리턴전류에 의한 반사(Reflection)가 일어나는 현상을 해석함에 그 원칙을 둔다. 이러한 반사에 의한 영향은 PCB회로를 오 동작하게 하는 원인이 되며

링잉(Ringing)을 발생시켜 기본 주파수 보다 높은 다양한 노이즈가 발생하여 방출하게 된다. 이러한 문제를 처리하기 위하여 PCB의 노드간 배선을 회로적인 측면으로 분석하여 전류의 흐름에 대한 회로적인 해석이 필요하게 되며 이러한 회로적인 구조는 배선과 신호 원 그리고 전원 층에 의한 캐패시턴스의 크기 등이 그 구조의 근원을 이룬다. 또한 특정 소자의 패키지에 부가적으로 들어가는 R, L, C 회로 및 배선에 의하여 발생하는 전송선로의 해석이 필요하며 이를 회로적으로 추출하는 부분이다.

2-3. 입력 파라미터(해석 입력 파일)

기본적으로 ASCII 파일의 구조를 가지며 그 내용은 PCB의 stack up을 서술하여 이를 이용한 PCB 회로 해석에 필요한 파라미터의 추출(R, L, C 및 전송선로, 전원 등)하여 이를 Spice 3f5가 해석할 수 있도록 만들어 준다.

2-4. 전자 회로적 특성을 해석하기 위한 방법

PCB자체는 그 물리적 구조를 갖는 전자 회로의 한 부분이다. 이러한 전자의 흐름(전류) 해석은 일반적으로 전자 회로 시뮬레이터를 사용한다. 여기서 필요한 것은 PCB자체를 그 물리적 구조에서 회로 해석 모듈에 적용할 수 있는 회로적 등가 회로를 구현해야만 한다. 이러한 부분의 PCB의 물리적 구조에 입각하여 만들어지며 기본적으로 R, L, C 가 존재를 하게 된다. 또한 배선을 수행함에 있어서 그 배선 자체의 전송선로가 존재하게 된다. 즉 R, L, C 기본 전기/전자 소자와 전송선로는 전류 흐름 해석 소자로 만들어지며 이들을 이용하여 회로적 구조를 만들어 이를 전자 회로 해석 모듈에 투입하여 신호에 따르는 해석을 수행하게 된다.

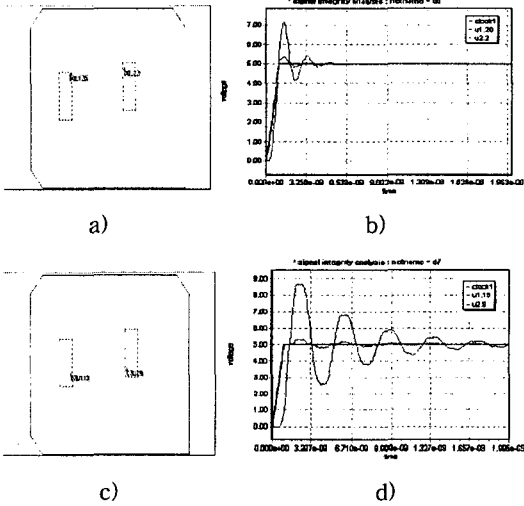
파라미터라는 R, L, C 및 전송선로의 특성 값이며 이는 배선의 길이 및 배선 폭, 그리고 전원층과의 거리등과 같이 그 물리적 특성을 다루며 또한 IBIS(Input-Output buffer Information Specification) [4, 5]에서 제공하는 각 소자의 I/O 특성을 이용하여 사용한다.

3. 실험결과

같은 PCB상에서 서로 다른 배선 길이에 의하여 배선 된 결과와 V 배선에 의한 결과 및 스템브에 의한 결과 그리고 테미네이터에 의한 결과 등을 살펴본다. 여기서 사용된 clock의 신호의 정의는 Clock

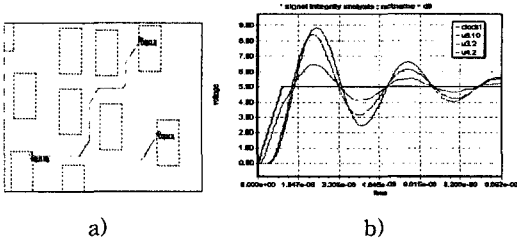
Name = Clock1, Low Level = 0V, High Level = 5V, Rise Time = 1nS, Fall Time = 1nS, Pulse Width = 5nS, Pulse Period = 12nS, 클럭 주파수 $1/12ns = 83.333\text{ MHz}$ 이다.

3-1. 배선 길이의 변화에 대한 고찰



a) 배선 길이가 짧은 예제 회로
 b) a)회로의 시뮬레이션 결과
 c) 배선 길이가 긴 예제 회로
 d) c)회로의 시뮬레이션 결과
 그림 2. 배선 길이에 의한 결과 파형

3-2. V 배선 변화에 대한 고찰

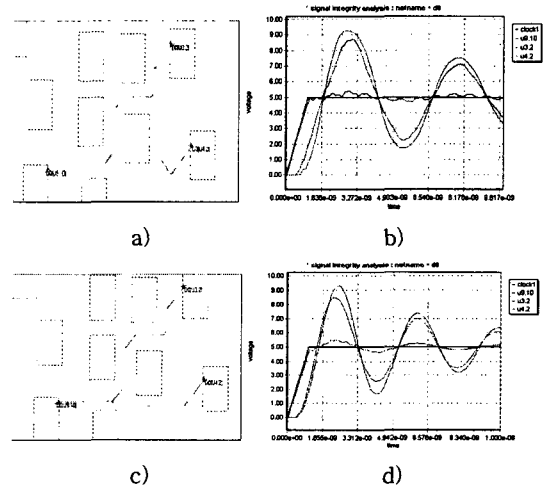


a) V 배선의 예제 회로
 b) a)회로의 시뮬레이션 결과
 그림 3. 스테브 없이 V 배선을 수행한 결과 파형

3-3. 스테브의 위치에 따른 실험 결과 고찰

스테브가 드라이버에서 리시버까지의 배선을 수행 하더라도 어느 쪽에 위치하느냐에 따라 결과가 다를

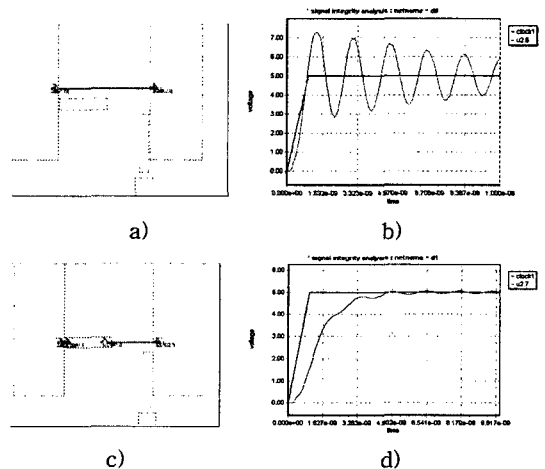
수 있으므로 위치에 따른 결과를 비교한다.

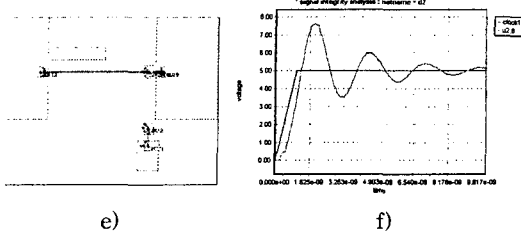


a) 스테브가 구동 위치에서 먼 경우의 예제 회로
 b) a)회로의 시뮬레이션 결과
 c) 스테브가 구동 위치에서 가까운 경우의 예제 회로
 d) c)회로의 시뮬레이션 결과
 그림 4. 스테브의 위치에 따른 수행 결과 파형

3-4. 터미네이터를 달은 실험 결과 고찰

같은 위치에서 배선을 하더라도 테미네이션을 어느 방식을 적용하는가에 따라 수행 결과가 다를 수 있으므로 테미네이션 방법에 의한 결과를 비교한다.





- a) 터미네이터가 없는 경우의 예제 회로
- b) a)회로의 시뮬레이션 결과
- c) 직렬 터미네이터를 연결한 경우의 예제 회로
($R = 91.24 \text{ ohm} = Z_0$)
- d) c)회로의 시뮬레이션 결과
- e) RC 터미네이터를 연결한 경우의 예제 회로
($R = 91.24 \text{ ohm}, C = 5 \text{ pF}$)
- f) e)회로의 시뮬레이션 결과

그림 5. 터미네이터에 의한 수행 결과 파형

그림 2의 배선 길이가 서로 다른 시뮬레이션 결과 파형에서 알 수 있듯이 배선 길이가 긴 결과 파형이 배선 길이가 짧은 결과 파형보다 신호의 왜곡이 더 심하게 나타남을 알 수 있다. 또한 그림 4의 스티브의 위치에 따른 결과 파형에서는 신호의 왜곡이 없는 결과 파형을 선택하여 배선을 해주어야한다. 그리고 그림 5의 터미네이터에 의한 결과 파형에서도 똑 같은 길이의 배선을 하더라도 터미네이터에 의한 결과가 현저히 다를 수 있으므로 디자이너가 신호의 왜곡이 없는 배선을 수행해 주어야한다.

4. 결론

본 논문에서 설계된 PCB의 보드 레벨 시뮬레이터는 시뮬레이션을 수행하기 위하여 회로 해석 알고리즘을 사용하였으며 이를 위하여 Spice 3f5 Simulation Engine을 보다 빠른 해석을 위하여 수정하여 사용하였다. 이러한 수정된 code는 표 1에서와 같이 시뮬레이션의 속도를 평균 40% 이상 증가된다는 것을 확인하였다. 또한 PCB의 물리적인 stack up을 수행하여 해석에 필요한 각종 파라미터를 추출하여 시뮬레이션에 적용하였다. 이러한 stack up에 의한 PCB의 전기적인 해석 파라미터는 이미 검증되어진 공식에 의하여 수행되며 Power / Ground 층이 있는 PCB의 모든 배선 층에 대하여 해석할 수 있다.

이러한 보드 레벨 시뮬레이션은 ① 고속 PCB 회

로의 신호선 최적화 ② 고속소자의 선택적 사용에 의한 회로의 안정성 ③ 반사효과에 의한 신호의 Over shoot/ Under shoot 현상의 시뮬레이션 ④ Series 또는 Parallel 형식의 terminator에 의한 noise 제거 시뮬레이션 ⑤ Parallel 배선에 있어서 각 신호의 전달 시간 결정 등의 해석을 하는데 적용이 될 것으로 사료된다.

추후 연구 과제는 지금까지의 Signal Integrity 해석에서의 수준에서 한 단계 올라간 Cross-Talk 해석 및 FFT 해석에 의한 Digital Signal Spectrum Analysis를 수행하여 주파수별 noise spectrum 해석을 수행하고 EMI 해석을 수행하는 연구가 진행되어야 할 것이다.

[표 1] 실행 결과

	Original Code	Modified Code
Case 1 (Small)	3.7 sec	2.0 sec
Case 2 (Medium 1)	6.1 sec	3.5 sec
Case 3 (Medium 2)	7.8 sec	5.1 sec
Case 4 (Large)	12 sec	7.5 sec

Tested on the Pentium III 450 MHz, 32 Mbyte Memory, Windows NT

참고문헌

- [1] H. Johnson and M. Graham, "Reprinted by permission from High Speed Digital Design", Englewood Cliffs, Prentice Hall, 1993.
- [2] R. du Cloux, G. P. J. F. M. Maas and A. J. H. Wachters, "Quasi-static Boundary Element Method for Electromagnetic Simulation of PCBs", Philips Journal of Research, 48: pp. 117-124, 1994.
- [3] L. W. Ritchey and J. C. Blankenhorn, "High Speed PCB Design", SMT PLUS, Inc., 1996.
- [4] Syed B. Huq, "Ease System Simulation with IBIS Device Models", Electronic Design Dec 2nd, 1996.
- [5] Syed B. Huq, Bob Ross and Jon Powell, "IBIS Models for Signal Integrity Applications", Electrical Engineering Times, A CMP Publication September 2, 1996.