

Simulink에서의 SDR을 위한 Digital IF 설계

우춘식, 김재윤, 이창수, 유경렬  
 한양대학교 전자전기제어계측공학과

Digital IF Designs for SDR in Simulink

Choon Sic Woo, Jae Yoon Kim, Chang Soo Lee, Kyung Yul Yoo  
 Dept.of Electrical, control and Instrumentation Engineering

**Abstract** - 송수신기의 방식에는 직접변환 방식과 기저대역 신호와 LO(Local Oscillator)를 혼합하여 interpolation 기법을 사용하여 중간 주파수 단계까지 up conversion을 하고, 두 번째 LO와 IF신호를 혼합하여 RF신호로 변환하여 송신하는 헤테로다인 방식이 존재한다. 본 논문에서는 이런 송수신기 방식 중에서 헤테로다인 방식을 적용하여 QPSK에서의 digital up/down converter를 Simulink 환경에서 설계 및 구현하였다. Up converter는 4배의 interpolation 필터와 4단짜리 cascaded integrate-comb(CIC)필터를 사용하여 입력 데이터의 샘플 레이트를 클럭 레이트까지 증가시켰으며, numerically controlled oscillator(NCO)와 mixer를 사용하여 신호를 변조하였다. Down converter의 구조는 up converter와 동일하며 단지 up converter의 반대순서로 구성되어있다. 이런 모든 과정을 Simulink를 이용한 시뮬레이션과 스펙트럼 분석기를 사용하여 검증해보았다.

1. 서 론

최근 다양한 주파수 대역과 통신 기술이 점점 발전되고 단일한 통신방식이 아닌 다중모드, 다중표준을 지원하는 차세대 이동통신 방식인 SDR 시스템이 요구되고 있다. SDR 기술은 무선 이동 통신 시스템에서 안테나 이후의 RF 영역을 포함한 대부분의 기능 블록이 프로그램이 가능한 고속의 연산 소자로 구현된 소프트웨어 모듈에 의해 수행됨으로써 하드웨어의 교체 없이 필요한 소프트웨어의 재구성만으로 다중 무선접속 규격 또는 서비스 기능 등을 지원한다.[1]

기존의 통신 시스템들은 기저대역 신호를 DSP에 의해 디지털 변조시키고 변조된 디지털 신호를 Digital-to-Analog Converter (DAC)에 의해 아날로그 형태로 변환한다. 기저대역 아날로그 신호는 아날로그 IF의 결합에 의해 최종 Radio Frequency(RF)까지 도달여진다.[2] 하지만 근래의 디지털 기술들은 IF/RF의 영역까지 접근하고 있다. 기존의 기저대역 부분의 통신 기술인 위와 같은 방식은 더 이상 필수 사항이 아니며 가장 효과적인 방법도 아니다.[3] 그리하여 아날로그 IF를 digital up/down converter로 대체하는 새로운 방식인 digital IF up/down conversion 방식이 대두되었다. 아날로그 IF를 디지털로 변환했기 때문에 디자인에 있어 유연성과 제작에 있어 신뢰성을 가질 수 있다.

본 논문에서는 SDR을 위한 digital up/down converter를 Simulink 환경에서 설계하였다. Simulink로 시스템을 구현함으로써 직접 하드웨어의 구성전의 효율성과 타당성을 검증해 보았으며 하드웨어로 구성할 때보다 비용이 적게 들고 개발, 보완이 용이하다는 장점이 있다. 본 논문의 구성은 다음과 같다. 2절에서는 본 논문에서 고려하는 digital up/down converter의 시스템에 대해서 기술하고, 3절에서는 성능을 모의실험을 통하여 분석하였다. 마지막으로 4절에서는 결론을 맺는다.

2. Up/Down-Converters

2.1 Up/Down-Converters Structures

Digital up/down converter는 4배의 interpolation 필터와 4단의 CIC 필터 그리고 NCO와 Mixer로 구성되어진다. Digital up conversion의 과정을 살펴보면 입력은 기준 주파수 270.833KHz를 가지며 이 입력샘플들은 첫 번째 단계로 33배의 계수를 갖는 프로그램 가능한 FIR(PFIR) 필터를 통과하여 4배로 interpolation된다. PFIR필터를 통과한 샘플들은 다음 단계로 CIC 필터에 의해 interpolation된다. 이렇게 interpolation된 신호들은 NCO에 의해 생긴 sin/cosine 시퀀스에 의해 변조된다. Down conversion과정은 그림1의 (b)와 같이 up conversion의 반대순서로 이루어진다. 이런 일반적인 up/down conversion 과정을 그림1에 블록도로 도시하였다

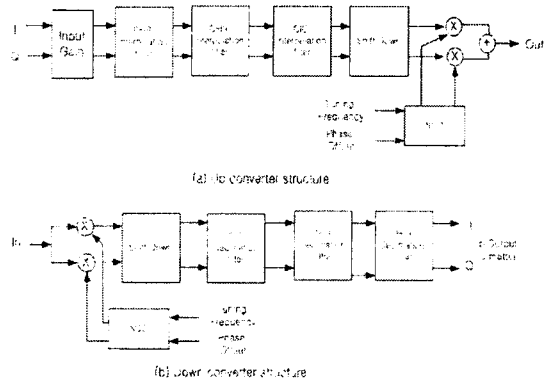


그림 1. Digital Up/Down Converter Structure

2.2 PFIR

PFIR필터는 일반적으로 pulse shaping filter로 사용되어지며 디지털 데이터를 up/down conversion하는 역할을 한다. Up converter에서 입력값들은 처음 단계로 프로그램 가능한(PFIR)필터를 통과하게되고 down converter에서는 마지막 단계로 PFIR필터를 통과하게 된다. PFIR필터는 1~8의 interpolation/decimation을 가지며, 본 논문에서 PFIR필터는 33배의 계수로 구성되어 있으며 17탭의 대칭적인 구조를 갖는다. [5] Up conversion시에는 CIC 필터를 통과하기 전에 입력을 pulse shaping 하고 4배의 interpolation 비율을 가지고 샘플링 레이트를 증가시킨다. Down conversion시에는 CIC필터에 의해 decimation된 신호를 다시 4배 비율로 decimation시킨다.

### 2.3 CIC

Cascaded integrator-comb(CIC) 필터(6)는 디지털 시스템에서 큰 샘플링의 변화를 실행할 때 사용되는 다속 필터이다. CIC 필터는 곱셈기가 필요하지 않고 단지 가산기만이 사용되는 구조를 가진다. 또한 규칙적인 구조를 가지며, 처리 속도의 변화가 용이하며 고속처리와 저전력을 필요로 하는 interpolation 및 decimation 필터의 구현시 많이 사용되어진다. CIC 필터의 구성은 integrator부와 comb부가 있으며 integrator부는 높은 샘플링 레이트로 comb부는 낮은 샘플링 레이트로 동작한다. 따라서 interpolation시에는 comb부 integrator부 순서로 작동을 하며 decimation 시에는 반대의 순서로 작동하여 각각 원하는 샘플링 레이트로 조절을 하게 된다. 그림 3은 CIC 필터에서의 interpolation 및 decimation에서의 기본적인 구조를 나타낸다.

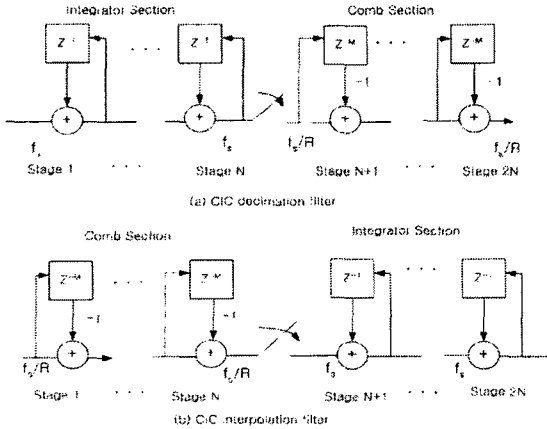


그림 2. CIC interpolation & decimation filter

Integrator부는 N개의 이상적인 적분기로 구성되며 각각의 단계는 하나의 극점을 갖는 퍼드백구조이다. 단일 integrator의 전달함수를 보면 식(1)과 같다.

$$H_I(z) = \frac{1}{1-z^{-1}} \quad (1)$$

Comb부는 단계 당 K개의 샘플 지연을 갖는 N개의 단계로 구성되어있다. 여기에서 K는 필터의 주파수 응답을 제어하기 위해 사용되어지며 1 또는 2의 값을 갖는다. 단일 comb부의 전달함수를 보면 식(2)와 같다.

$$H_C(z) = 1 - z^{-RK} \quad (2)$$

본 논문에서는 4단계의 interpolation/decimation 비율 48인 interpolator부와 comb부로 구성된 CIC 필터를 구성하였다. CIC 필터의 합성 전달함수는 식(3)과 같다.

$$H(z) = H_I^N(z) H_C^N(z) = \frac{(1-z^{-RK})^N}{(1-z^{-1})^N} = \left( \sum_{k=0}^{\infty} z^{-k} \right)^N \quad (3)$$

### 2.4 NCO

셀룰러나 PCS 기지국, SDR 시스템과 같은 많은 통신시스템에서 NCO는 중요한 역할을 차지한다. NCO의 구성은 그림4와 같이 되어있다.

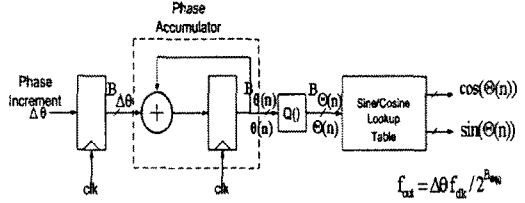


그림 3. Numerically Controlled Oscillators(NCO)

NCO는 주파수를 합성하는 기능을 하는데 발전기보다 한 단계 발전하여 정해진 범위 내에서 원하는 주파수의 신호를 만들어서 내보내는 주파수 합성기라고 말할 수 있다. 그러나 NCO는 아날로그 방식이 아닌 디지털 적용의 방식이다. NCO의 구성을 보면 32비트 위상 적용기, 10비트 위상 오프셋 가산기, Sine/Cosine Rom으로 구성되어 있다.(5) NCO의 주파수는 중심 주파수와 오프셋 주파수의 합으로 표현되며 본 논문에서는 오프셋 주파수는  $\pi/4$ 로 설정하였다. NCO의 출력주파수  $F_{out}$ 은 시스템출력 주파수  $f_{clk}$ 의 함수로 정의되어진다.

$$F_{out} = f f_{clk}, B_{\theta}(n), \Delta\theta \quad (4)$$

여기에서  $B_{\theta}(n)$ 은 룩업테이블의 어드레스로 사용되어지며 위상 증가치는  $\Delta\theta$ 이다. 이리하여 출력 주파수는 식(5)와 같이 정의된다.

$$F_{out} = \frac{f_{clk} \Delta\theta}{2^{B_{\theta}}} \text{ Hz} \quad (5)$$

### 3. 모의실험 및 결과

Simulink를 통하여 구현된 digital IF의 up/down converter 모델을 스펙트럼 분석기를 이용하여 성능을 검증하였다. 모의실험을 위하여 사용한 파라미터들을 살펴보면 입력신호는 데이터 레이트 270.833KHz를 갖는 QPSK신호를 사용하였으며 PFIR은 4배의 interpolation/decimation 비율을 갖는 33tap으로 구성되어 있으며 pulse shaping filter 역할을 한다. 다음으로 CIC는 48배의 interpolation/decimation 비율을 가지게 되며 결국 up conversion 시에는

$$f_{clk} = 270.833\text{KHz} \times 4(\text{PFIR rate}) \times 48(\text{CIC rate}) = 52\text{MHz}$$

까지 클럭 레이트가 올라가게 된다. 이렇게 up rate 되어진 신호를 NCO를 사용하여 변, 복조를 수행한다. 모의실험에서는 IF대역을 6MHz로 설정하였으며 식(5)에 의해 출력 주파수에 영향을 미치는 위상 가중치  $\Delta\theta = 118.538_{10}$  로 구성하여 6MHz까지 변조하였다. 복조 시에도 NCO의 구성은 변조시와 동일하다. 그림 4,5,6,7은 노이즈가 없을 때의 up/down converter의 과정을 나타낸다. 그림4는 PFIR 즉 pulse shaping filter를 통과한 신호를 나타내며 그림 5는 NCO에 의해 6MHz까지 변조된 신호를 나타낸다. 그림 6은 수신된 신호를 NCO에 의해 복조 시키는 과정을 나타내며 마지막으로 그림 7은 decimation CIC를 통과한 신호를 나타낸다. 그림 4와 7에서와 같이 변조하기전의 신호와 복조를 한 후의 신호가 똑같음을 알 수 있다.

모의 실험을 통하여 Simulink로 구성된 모델이 digital IF의 up/down converter의 모든 조건에 만족하게 설계되었음을 알 수 있었고 직접 하드웨어 구성전의 효율성과 타당성을 검증 할 수 있었다.

#### 4. 결 론

본 논문에서는 Simulink를 통하여 하드웨어 구성진의 digital IF up/down converter의 효율성과 타당성을 검증하였다. Simulink를 사용하여 구성된 모델이 모의실험을 통하여 digital IF up/down converter의 조건을 만족함을 알 수 있었다. 이렇게 Simulink를 통하여 설계함으로써 바로 하드웨어로 구성할 때 보다 비용이 적게 들고 개발, 보완이 용이하다는 장점이 있었다.

본 논문을 통하여 앞으로의 하드웨어 설계에 있어 효율성과 융통성을 가질 수 있게 되었으며 FPGA를 이용한 하드웨어 설계를 하기 전에 타당성을 알아볼 수 있었다. 향후 연구 방향으로서는 단일 채널이 아닌 멀티 채널에서의 digital IF up/down converter의 구성을 시뮬레이션 뿐 만 아니라 하드웨어에서도 적용할 수 있을 것이며 채널에 여러 가지의 노이즈가 발생하였을 경우의 신호복원 방법에 대해서도 연구가 이루어져야 할 것이다.

#### (참 고 문 헌)

- [1] J. Mitola III "Software Radio Architecture", Wiley-Interscience publication, 2000
- [2] D. B. Chester "Digital IF Up Conversion for Economical Wireless implementations", *IEEE Conference Record*, Page(s): 86-91, 1996
- [3] Pasko, R. Rijnders, L. Schaumont, P. Vernalde, S. Durackova, D. "High-performance flexible all-digital quadrature up and down converter chip", Custom Integrated Circuits Conference, *IEEE Proc.*, Page(s):43-46, 2000
- [4] www.mathworks.com
- [5] www.xilinx.com/ipcenter
- [6] E. B. Hogenauer, "An Economical Class of Digital Filters for Decimation and Interpolation", *IEEE Trans. Acoust., Speech Signal Processing* Vol.29(2), Page(s): 155-162, 1981

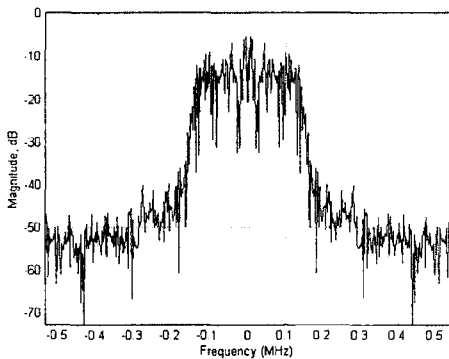


그림 4. PFIR에 의해 pulse shaping 된 디지털 신호의 스펙트럼

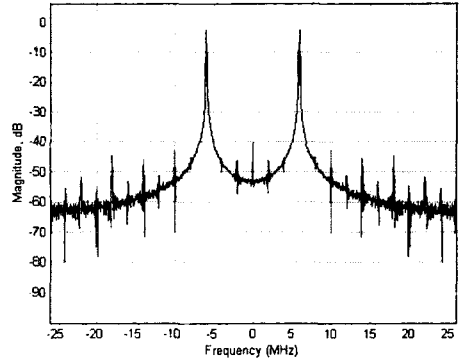


그림 5. CIC interpolation filter와 NCO에 의해 up conversion된 디지털 신호의 스펙트럼

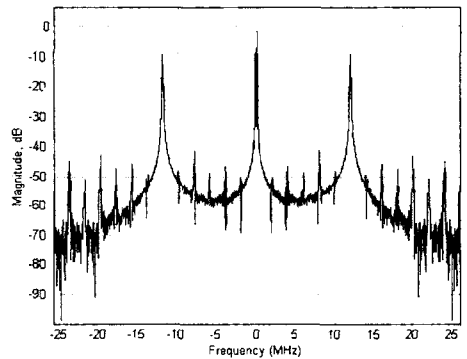


그림 6. 수신단의 NCO와 합성된 디지털 신호의 스펙트럼

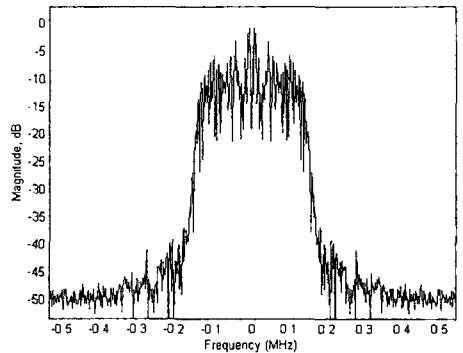


그림 7. CIC decimation filter에 의해 복원된 디지털 신호의 스펙트럼