

초저저항 MOS 스위치의 최적 배치설계

김준엽
세종대학교 전자공학과

Optimal Layout Methods for MOSFETs of Ultra Low Resistance

Joon-Yub Kim
Department of Electronics Engineering, Sejong University

Abstract - 집적회로에서 MOSFET이 낮은 Turn-on 저항이 요구되는 스위치 등으로 사용되는 경우 단일 MOSFET이 그 주변의 복잡한 기능의 회로보다 오히려 반도체 위에서 차지하는 면적이 막대하여 IC의 소형화 및 가격 경쟁력을 높이는데 있어서 중요한 문제로 대두되고 있다. Turn-on 시 극히 낮은 저항을 갖는 넓은 채널 폭(W)의 MOSFET을 submicron 공정에서 면적 면에서 효율적으로 설계하는 다양한 새로운 배치설계법을 소개하고, 이를 이용할 경우 기존의 구조에 비하여 약 40%까지 면적을 절약할 수 있음을 보인다.

1. 서론

근래 전자제품의 동향은 다기능화 되면서도 여기에 소형화와 아울러 시장 경쟁력에 부합되는 낮은 가격을 요구하고 있다. 특히 제품의 가격 경쟁과 소형화 저항은 휴대형 전자제품에서 두드러지며, 휴대형 전자제품은 앞으로 통신산업의 발전과 함께 그 비중이 더욱 증대될 전망이다. 이러한 전자제품의 다기능화와 경박단소화는 핵심부품인 반도체 IC를 더욱 작게 만들 것을 요구하고 있으며, IC의 고집적화를 요구하고 있다. 이러한 요구에 부응하고자 필요한 성능의 회로를 보다 간단히 실현하기 위한 노력이 꾸준히 기울여 지고 있으나 이는 요구되는 사양은 계속 까다로워지고 있는 실정을 고려할 때 그 한계성을 갖고 있음을 쉽게 알 수 있으며 이러한 방법으로는 지대한 면적 면에서의 개선을 기대하기는 어렵다고 하겠다. 이에 반하여 집적회로에서 MOSFET이 극히 낮은 Turn-on 저항의 스위치 등으로 사용되는 경우 그 주변의 수 백 개 또는 수 만 개의 소자로 이루어진 복잡한 기능의 회로보다도 오히려 단일 MOSFET이 반도체 위에서 차지하는 면적이 큰 경우가 흔히 발견된다. 이러한 예는 PCMCIA Card 및 Universal Serial Bus용 Power Interface Switch, Regulator 및 High Output Power Amplifier의 Output Stage 등에서 흔히 볼 수 있다. 이렇게 큰 면적을 소모하는 초대형 MOSFET이 차지하는 면적을 개선하는 것은 IC의 소형화를 위하여 가장 효율적인 부분이라고 하겠다.

현재 큰 채널 폭(W)의 MOSFET은 여러 개의 Finger를 가진 Alternating Bar 구조나 이를 변형한 구조로 구현되고 있다.[1-3] 본 논문에서는 IC의 고집적화에 대한 요구가 증대되고 있는 시점에서 절실히 요구되는 큰 채널 폭(W)의 MOSFET을 최소의 면적으로 구현할 수 있는 배치설계방법을 제시하고 기존의 배치설계와 면적 면에서의 효율을 비교한다.

2. 본론

2.1 MOSFET 스위치의 저항 성분 분석

MOSFET 스위치의 양단간 저항은 세 가지 저항 성분의 합으로 표현할 수 있다. 첫째 성분은 Transistor 자체의 채널의 on 저항을 나타내는 R_{FET} 이고 실질적인 W/L 비율과 Excess Bias($V_{GS}-V_T$) 전압에 의해 결정된

다. 두 번째 성분은 스위치의 Drain과 Source Diffusion에의 Contact 저항 R_{VIA} 이다. 그리고 세 번째 성분은 Diffusion 영역에서의 채널의 끝과 Contact 사이의 직렬 저항 R_{DIFF} 이다. Metal Interconnect와 관련된 저항은 일반적으로 이 세 가지 저항에 비하면 무시할 수 있을 만큼 작다. 따라서 MOS 스위치의 저항 R_{SW} 는 다음과 같이 정의 할 수 있다.

$$R_{SW} = R_{FET} + R_{VIA} + R_{DIFF} \quad (1)$$

그림 1에 보인 배치구조를 가진 단순한 MOS 스위치에서, Gate와 Source 사이의 전압이 V_{GS} 이고, R_{CON} 는 Contact 저항, K' 는 MOSFET의 Transconductance, V_T 는 Threshold 전압이라 할 때,

$$R_{FET} = (L/W) \times [1 / (K' \times (V_{GS} - V_T))] \quad (2)$$

$$R_{VIA} = 2 \times R_{CON} \quad (3)$$

$$R_{DIFF} = R_{sq} \times (l_1 + l_2) / W \quad (4)$$

로 주어진다. 일반적인 레이아웃 방식에서는 다수의 Contact를 사용하여 R_{VIA} 와 R_{DIFF} 를 최소화한다. 이 두 저항은 R_{FET} 에 거의 선형적으로 비례하며 submicron 공정에서도 이 두 저항의 값은 R_{FET} 의 값에 비하여 1%를 넘지 않는 것을 쉽게 보일 수 있다.

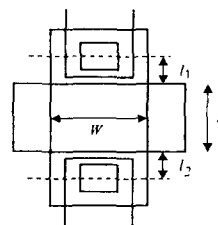


그림 1. MOSFET Dimensions

2.2 배치설계의 효율성 비교 방법

일반적으로 W/L 값이 큰 MOSFET은 작은 단위 구조(Reference Cell)를 반복적으로 합성하여 만들 수 있다. 만일, R_{des} 가 설계하고자 하는 스위치의 on 저항이고 R_{VIA} 와 R_{DIFF} 은 무시한다면, 이 스위치를 만들기 위해 필요한 Area는 다음과 같다.

$$A = (R_{ref} \times A_r) / R_{des} \quad (5)$$

R_{ref} 는 Reference Cell의 저항이고 A_r 은 Reference Cell의 면적이다. Reference Cell의 저항 R_{ref} 는 다음과 같이 표현된다.

$$R_{ref} = 1 / [(K' \times (V_{GS} - V_T)) \times \{W/L_{eff}\}] \quad (6)$$

W/L_{eff} 는 Reference Cell의 유효한 W/L 비율이다. Reference Cell의 Normalized Cell Area, A_m 을 (7)과 같이 정의할 수 있는데, 이 값을 비교하면 각 구조가 단위 W/L_{eff} 를 구현하는 데에 필요로 하는 면적을 명료하게 비교할 수 있다.

$$A_m = A_r / (W/L_{eff}) \quad (7)$$

2.3 효율적인 배치설계 방법

2.3.1 Alternating Bar 구조

그림 2는 기존의 Alternating Bar 구조에서 Metal과 Contact을 생략한 것이다. 이 구조는 그림 2에 보인 Reference Cell의 반복적 조합으로 볼 수 있다. 이 Reference Cell의 Area, W/L_{eff} 와 A_m 은 표 1의 파라미터들로 표현하면 각각 다음과 같다.

$$A_r = (d_3 + d_6) \times (d_1 + d_3 + 2 \times d_4) \quad (8)$$

$$W/L_{eff} = (d_3 + d_6) / d_1 \quad (9)$$

$$A_m = d_1 \times (d_1 + d_3 + 2 \times d_4) \quad (10)$$

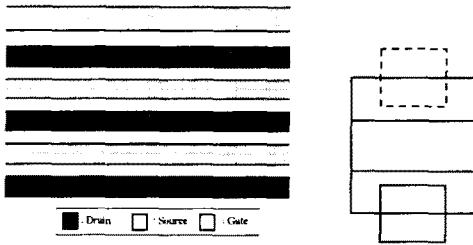


그림 2. Alternating Bar 구조 및 Reference Cell

표 1. MOS Switch 배치설계와 관련된 Design Rules

Poly Width	d_1
Diffusion Width	d_2
Contact Opening	$d_3 \times d_3$
Contact to Poly	d_4
Diffusion Overlap of Contact	d_5
Contact-Contact Spacing	d_6
Poly-Poly Spacing	d_7

2.3.2 Waffle 구조

그림 3은 Waffle 구조이다. 이 구조는 그림 3의 Reference Cell의 2차원적인 반복 조합으로 볼 수 있다.

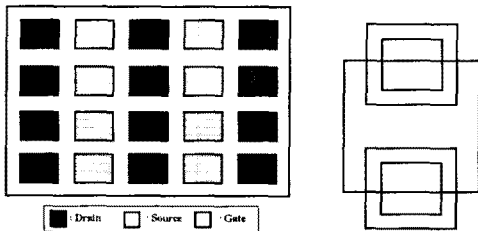


그림 3. Waffle 구조 및 Reference Cell

그림 3의 Reference Cell의 면적, W/L_{eff} 및 A_m 는 다음과 같다.

$$A_r = (d_3 + 2 \times d_4 + d_1)^2 \quad (11)$$

$$W/L_{eff} = 2 \times (d_3 + 2 \times d_4) / d_1 \quad (12)$$

$$A_m = d_1 \times (d_3 + 2 \times d_4 + d_1)^2 / (2 \times (d_3 + 2 \times d_4)) \quad (13)$$

2.3.3 Zipper 구조

Zipper 구조는 그림 4에 보인 바와 같은 구조이다. 이 구조는 그림 4의 Reference Cell의 상호연결로 볼 수 있다.

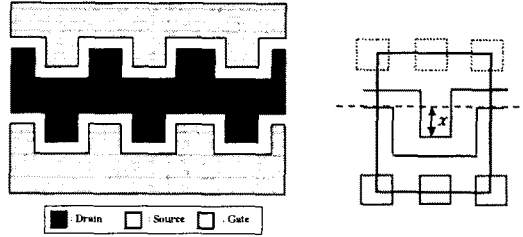


그림 4. Zipper 구조 및 Reference Cell

이 Reference Cell의 W/L_{eff} 를 직접 구하기는 어려우나, [1]에 소개된 방법으로 역트랜지스터의 등가 W/L 을 구할 수 있으며 이 값의 역수로부터 W/L_{eff} 얻을 수 있다. 그림 4에서 Zipper의 깊이가 $x = d_1$ 일 때 A_r , W/L_{eff} 및 A_m 은 다음과 같다.

$$A_r = 2 \times (d_1 + d_2) \times (3 \times d_1 + d_3 + 2 \times d_4) \quad (14)$$

$$W/L_{eff} = 6.2/1 \quad (15)$$

$$A_m = 0.323 \times (d_1 + d_2) \times (3 \times d_1 + d_3 + 2 \times d_4) \quad (16)$$

Deep Zipper 구조로 $x = 3 \times d_1$ 일 때는 다음과 같다.

$$A_r = 2 \times (d_1 + d_2) \times (5 \times d_1 + d_3 + 2 \times d_4) \quad (17)$$

$$W/L_{eff} = 10.2/1 \quad (18)$$

$$A_m = 0.196 \times (d_1 + d_2) \times (5 \times d_1 + d_3 + 2 \times d_4) \quad (19)$$

또, 무한 Deep Zipper $x = \infty$ 일 때는 다음과 같다.

$$A_m = d_1 \times (d_1 + d_2) \quad (20)$$

2.3.4 Star Zag 구조

그림 5는 Star Zag 구조이다. 이 구조에서 $d_1 = d_2 = d_4$, $(d_3 + 2 \times d_4) < (3 \times d_1)$ 이라 가정하면

$$A_r = 36 \times d_1^2 \quad (21)$$

$$W/L_{eff} = 13.3 \quad (22)$$

$$A_m = 2.71 \times d_1^2 \quad (23)$$

을 얻을 수 있다.

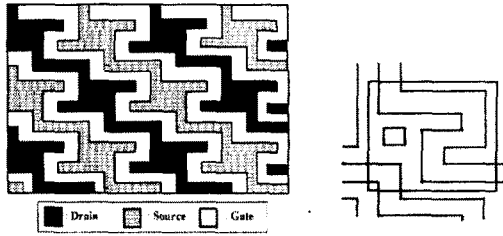


그림 5. Star Zag 구조 및 Reference Cell

2.3.5 Fingered Waffle 구조

그림 6은 Fingered Waffle 구조를 나타내고 있다. 이 구조에서도 $d_1=d_2=d_4$ 와 $(d_3+2 \times d_1) < (3 \times d_1)$ 을 가정하고 W/L_{eff} 를 구해보면 그 결과는 다음과 같다.

$$A_r = 8 \times (10 + 2 \times x) \times d_1^2 \quad (24)$$

$$W/L_{eff} = 24 \times 8 \times x + 8 \times 0.55 = 28.4 + 8 \times x \quad (25)$$

$$A_m = (8 \times (10 + 2 \times x) / (28.4 + 8 \times x)) \times d_1^2 \quad (26)$$

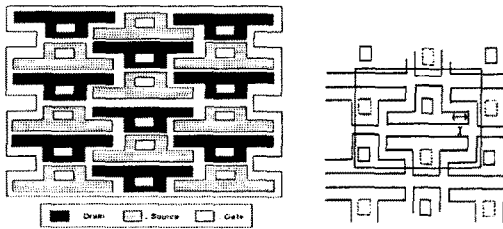


그림 6. Fingered Waffle 구조 및 Reference Cell

2.4 고안된 구조의 효율성 비교

앞에서 소개한 구조들을 정량적으로 비교하기 위하여 2.3 절에서 구한 각 구조의 Normalized Area A_m 을 계산하고 Alternating Bar 구조의 Normalized Area에 대한 다른 구조의 상대적인 면적을 표 2에 정리하였다. Normalized Area 및 이의 상대적인 증감은 공정의 Design Rule에 따라 달라지게 된다. 표 2의 계산을 위하여 표 3에 보인 바와 같은 네 가지의 Design Rule을 상정하고 각각의 경우에 각 구조의 Normalized Area를 계산하여 비교하였다.

Waffle 구조의 경우 Design Rule 1, 3, 4가 적용될 경우 Alternating Bar 구조에 비하여 30~33.1%의 면적을 절약할 수 있음을 알 수 있다. Zipper 구조의 경우 Design Rule 3 또는 4의 경우 22%의 면적을 쉽게 얻을 수 있으며 이상적으로 50%까지 면적을 절약할 수 있다. Star Zag 구조의 경우 32.5%의 면적을 절약할 수 있으며, Fingered Waffle 구조의 경우 29.4%에서 40% 이상의 절약까지 기대할 수 있다.

3. 결 론

Turn-on 시 양단간에 극히 적은 저항을 갖는 MOS 스위치를 면적 면에서 효율적으로 설계할 수 있는 구조로 기존의 Alternating Bar 구조 외에 Waffle 구조, Zipper 구조, Star Zag 구조, Fingered Waffle 구조를 제

표 2. Normalized Area를 통한 각 구조의 비교

구 조	Normalized Area				
	DR1	DR2	DR3	DR4	
Alternating Bar	14.0	11.0	16.0	4.0	
Waffle	9.8 (-30.0%)	8.6 (-21.8%)	10.7 (-33.1%)	2.7 (-33.1%)	
Zipper	$x=d_1$	14.2 (1.4%)	12.3 (8.1%)	15.5 (-3.1%)	3.9 (-3.1%)
	$x=3 \times d_1$	11.8 (-15.7%)	10.6 (-3.6%)	12.5 (-2.2%)	3.1 (-2.2%)
	$x=\infty$	8.0 (-42.9%)	8.0 (-27.3%)	8.0 (-50.0%)	2.0 (-50.0%)
Star Zag			10.8 (-32.5%)	2.7 (-32.5%)	
Fingered Waffle	$x=0$		11.3 (-29.4%)	2.8 (-29.4%)	
	$x=2 \times d_1$		10.1 (-36.9%)	2.5 (-36.9%)	
	$x=4 \times d_1$		9.5 (-40.6%)	2.4 (-40.6%)	
	$x=10 \times d_1$		8.9 (-44.4%)	2.2 (-44.4%)	

표 3. Design Rules

Parameter	DR1	DR2	DR3	DR4
d_1	2	2	2	1
d_2	2	2	2	1
d_3	2	1.5	2	1
d_4	1.5	1	2	1
d_5	1	1	2	1
d_6	2	1	2	1

안하였다. 각 구조에서 단위 W/L_{eff} 를 구현하는데 필요한 면적을 구하여 이 둘을 비교함으로써 제안된 각 구조가 Alternating Bar 구조에 비하여 면적 면에서 얼마나 효율적인가를 정량적으로 비교하였다.

제안된 구조를 이용함으로써 표준적인 Design Rule이 적용되는 공정에서 30% 정도의 면적을 쉽게 절약할 수 있으며, 공정의 Design Rule에 따라 40% 이상의 절감도 가능한 것을 보였다.

큰 채널 폭(W)의 MOSFET을 보다 적은 면적으로 구현할 수 있는 새로운 MOSFET 배치설계 기법은 이를 활용하는 IC의 소형화, 고집적화 및 가격 경쟁력에 기여할 수 있을 것이다.

[참 고 문 헌]

- [1] Grignoux, P. and Geiger, R.L., "Modeling of MOS Transistors with Nonrectangular-Gate Geometries", IEEE Trans. on Electron Devices, Vol.29, pp.1261-1269, August 1982.
- [2] Laker, K. and Sansen, W., "Design of Analog Integrated Circuits and Systems", McGraw Hill, New York, 1994.
- [3] Grant, D.A. and Gowar, J.G., "Power MOSFET Theory and Applications", Wiley, New York, 1989.