

## 멀티레벨 인버터의 기술동향 및 제어특성 연구

서광덕, 김종규, 박영민, 조성준  
현대중공업 기계전기연구소

### The Study on Technical Trend and Control Characteristics of Multi-Level Inverter

Kwang-Duk Seo, Jong-Kyu Kim, Young-Min Park, Sung-Joon Cho  
Hyundai Heavy Industries Co.,LTD Electro-Mechanical Research Institute

#### ABSTRACT

최근 전력변환장치에서 전압형 인버터를 사용함에 따라 과도한  $dv/dt$ 로 인한 전동기의 절연 파괴, EMI 발생 및 Common mode 노이즈 등으로 인한 문제가 발생되고 있다. 이러한 문제는 별도의 필터를 추가하거나 인버터의 출력 전압을 많은 수의 멀티레벨로 구성할수록 줄어드는 것으로 알려져 있다. 따라서 본 연구는 이와 같은 문제점을 고려하여 전력변환장치에 대한 기술조사결과 입출력 고조파 특성이 개선되고 별도의 필터가 필요 없는 H-Bridge Inverter의 Proto Type을 통해 제어특성에 관한 것을 고찰하였다.

#### 1. 서 론

대용량 전력변환장치에서 발생하는 고조파에 의한 영향 및 문제점에 관한 연구가 최근 활발히 이루어지고 있다. 전력변환장치의 스위칭 소자의 동작에 따라 발생하는 큰  $dv/dt$ 에 의한 고조파와 common mode 전압에 의한 누설전류는 시스템 전체의 신뢰성을 떨어뜨린다. 또한 스위칭 주파수에 따른 고차 고조파는 발열 및 신호선 간섭 측면에서 문제를 발생시킨다. 이에 대한 해결방안으로 인버터 출력단에 L-C filter를 설치하는 방법이 있으나 이는 출력 전압의 제어 응답특성을 떨어뜨리고 대용량 시스템에서는 크기 및 비용 증가 등의 단점이 있다. 이에 따라 인버터 출력단에 필터를 설치하지 않고 고조파 문제를 해결하는 방안으로 SCR을 이용한 Cycloconverter 또는 멀티레벨 인버터 topology를 이용하는 방법이 연구되어 왔다. 본 논문에서는 최근의 대용량 인버터에 사용되는 멀티레벨 인버터의 동향과 그에 따른 제어특성을 살펴보고 멀티레벨 인버터의 한 종류인 H-bridge 인버터 회로를 이용하여 Proto-type을 제작하여 출력전압 고조파 특성 및 제어 특성을 고찰하였다.<sup>[1]</sup>

#### 2. 전압형 대용량 인버터

대용량 인버터 구성에 사용되는 topology로써 기존에 쓰이던 전류형 인버터나 cycloconverter에 비해서 전압형 PWM 인버터는 우수한 동적 특성을 갖고 전속도 영역에 대해서 원활한 토크, 속도 제어가 가능하며 입력 역률 측면에서도 유리하다. 고압 대용량 전압형 인버터를 실현하려면 스위칭 소자의 제한으로 인해 인버터의 한 arm에 여러 개의 전력소자를 사용해야 한다. 회로 구성의 비교를 위해서 DC Link 전압 6kV, 출력전압 4.2kV를 기준으로 3300V, 1200A급 IGBT를 사용하는 가정하에 각 topology의 특성에 대해서 기술하고자 한다.

##### 2.1 2레벨 인버터

2레벨 인버터는 가장 널리 사용되는 회로 구성방법 중의 하나이다. 2레벨 인버터를 고압 대용량 전력변환장치에서 사용하려면 스위칭 소자의 제한으로 인해 그림 1과 같이 스위칭 소자를 직렬로 연결해야만 한다. 따라서 직렬로 연결된 소자를 동시에 균등하게 구동하는 기술이 필요하다. 2레벨 인버터는 간단한 구성과 이미 검증된 제어 및 PWM 기법을 사용하여 구성 가능하다. 하지만 직렬 연결된 소자의 균등한 전압 분배가 어렵고 소자의 동시 스위칭에 의해 큰  $dv/dt$ 가 발생하는 단점이 있다. 그림 1에 2레벨 인버터 한 arm의 구성과 출력 전압을 나타내었다.

##### 2.2 3레벨 인버터

3레벨 인버터로 대용량 전력변환장치를 구성하려면 그림 2와 같이 stage마다 2개의 스위칭 소자를 직렬 연결한다. 3레벨 인버터는 2레벨 인버터에 비해 낮은  $dv/dt$ 를 가지며 실용화된 기술을 이용할 수 있다. 하지만 2레벨 인버터에 비해서 복잡한 PWM제어를 필요로 하며 dc-link의 중성점이 존재하고 중성점 전압 변동제어가 필요하다.<sup>[2]</sup>

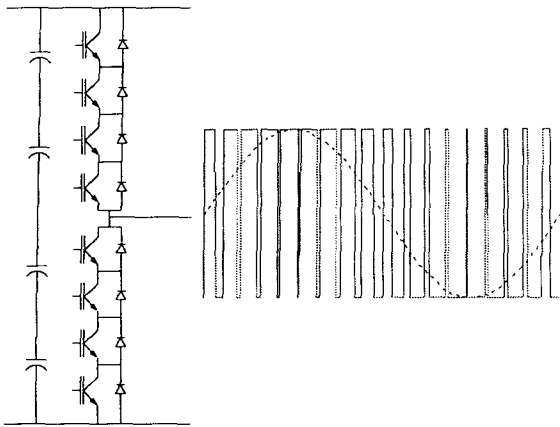


그림 1 2레벨 인버터 구성, 출력 전압  
Fig. 1 2-level inverter configuration, output voltage

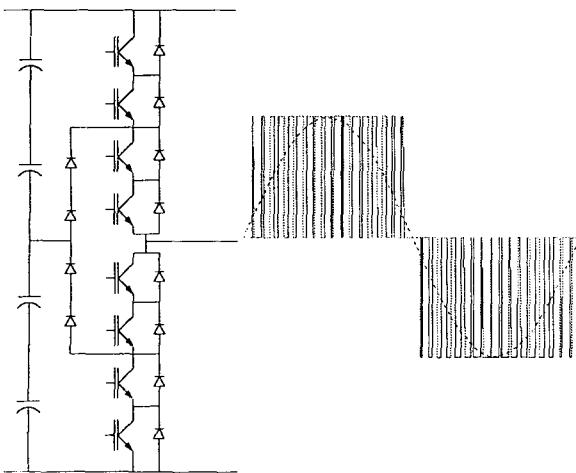


그림 2 3레벨 인버터 구성, 출력 전압  
Fig. 2 3-level inverter configuration, output voltage

## 2.3 멀티레벨 인버터

### 2.3.1 Diode Clamped Multi-Level(DCML) Inverter

그림 3은 5레벨로 이루어진 DCML 인버터의 구성으로 4개의 스위칭 소자와 커패시터로 이루어져 있다. 각 커패시터의 전압은 전체 dc link 전압의 1/4이다. 5레벨 DCML 인버터는 작은 고조파와  $dv/dt$ 를 갖지만 복잡한 PWM 제어가 필요하고 다이오드의 수가 증가하며 dc-link 커패시터의 전압 균형 제어가 필수적이다.

### 2.3.2 Capacitor Clamped Multi-Level(CCML) Inverter

그림 4는 5레벨로 이루어진 CCML 인버터의 구성으로 전력 소자가 commutation cell이라 불리는 짝으로 이루어져 있다. 각 cell은 항상 동시에 스위칭 동작이 일어난다. CCML 인버터는 멀티레벨 인버터가 공통적으로 가지는 장점외에 적은 소자수로 구성가능하며 3레벨 인버터에 비해 쉬운 커패시터 전압 균형 제어, 간결한 구조 등의 장점을 가진다.

단점으로 de-coupling 커패시터사이의 공진이 발생할 수 있으며 복잡한 제어, 많은 수의 커패시터로 인해 스택의 크기 증가 등의 문제점이 있다.<sup>[3]</sup>

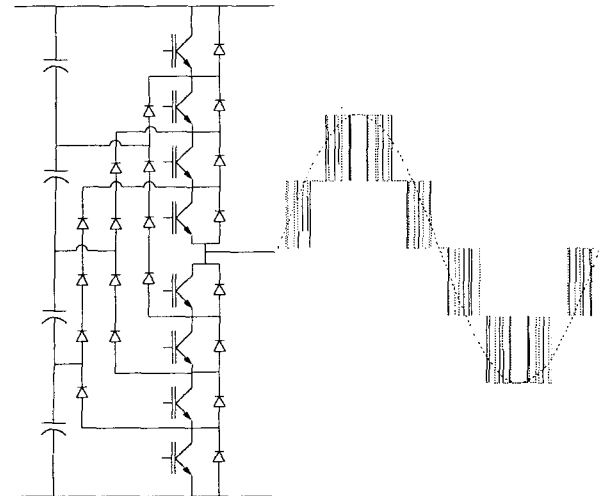


그림 3 5레벨 DCML 인버터 구성, 출력 전압  
Fig. 3 5-level DCML inverter configuration, output voltage

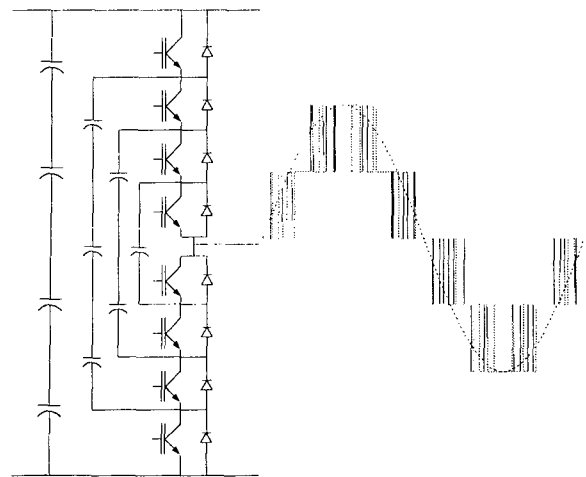


그림 4 5레벨 CCML 인버터 구성, 출력 전압  
Fig. 4 5-level CCML inverter configuration, output voltage

### 2.3.3 H-Bridge Type Multi-Level(HBML) Inverter

HBML 인버터는 저압 H-bridge를 직렬로 연결하여 독립된 dc-link를 갖는 단위 cell로 구성된다. 최종 출력 상전압은 직렬로 연결된 각 H-bridge 인버터의 출력전압의 합과 같으며 cell은 3개의 레벨을 갖는 출력전압을 생성할 수 있다. HBML의 최대 단점은 독립된 dc link 전원을 공급해야만 하는 것이다. 분리된 전원은 통상적으로 다권선 변압기를 통해 공급된다. 변압기는 입력측 전원의 고조파 함유율을 낮추기 위해 2차측 권선간에 위상차를 가진다. HBML은 모듈화 설계가 가능하고 다이오

드 정류기와 결합하여 회로 구성시 cell을 추가함에 따라 입력 전원측 고조파를 줄이는 것이 가능하다. 또한 낮은 스위칭 주파수에서도 매우 작은 고조파와 dv/dt를 가지는 출력전압을 생성한다. 따라서 입,출력 필터 없이 시스템을 구성할 수 있다. 단점으로는 위에서 언급한 바와 같이 2차측 권선이 많은 특수한 변압기가 필요하고 역률이 나쁜 부하에 대해서 전력 맥동이 발생할 수 있다.<sup>[4]</sup>

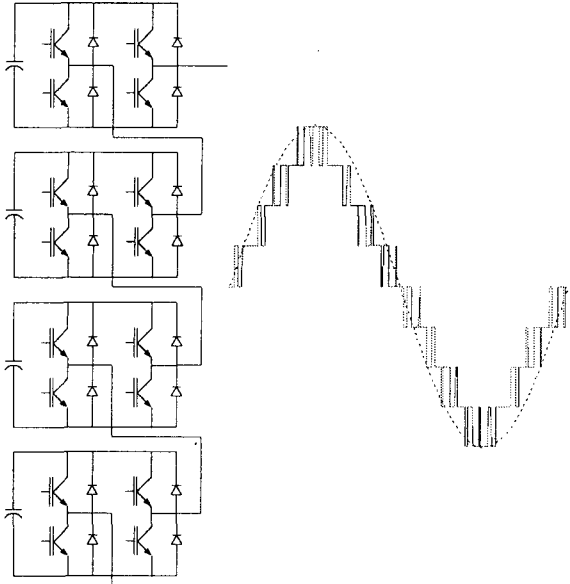


그림 5 9레벨 HBML 인버터 구성, 출력 전압  
Fig. 5 3-level HBML inverter configuration, output voltage

## 2.2.4 Topology 비교

대용량 2레벨 인버터는 직렬 연결된 소자의 전압 분배를 균등하게 하기 위해서 스너버 회로를 구성한다. 또한 3레벨 인버터와 DCML 인버터는 IGBT와 link 커패시터 사이에 최소한의 stray 인덕턴스를 실현하기 위해 스너버를 이용한다. CCML 인버터와 HBML 인버터는 분리된 dc link 커패시터에 의해 소자 양단에 인가되는 전압이 제한된다. 출력 고조파 측면을 살펴보면 출력 전압의 레벨 수를 증가시킬수록 고조파는 급격히 줄어든다. 누설전류는 큰 dv/dt에 의해 발생하는 common mode 전압에 의해 생성되므로 출력 전압의 레벨이 많아질수록 dv/dt가 줄어 누설전류의 크기 또한 작아진다. 위에서 살펴본 회로의 구성방법에 따른 특징을 요약하면 표 1과 같다. 각 topology에 따른 가격 비교를 위해 5레벨 IGBT 인버터를 구성할 때, IGBT의 가격을 1pu라 하고 스너버의 가격을 0.1pu, 커패시터의 가격을 0.5pu, HBML 인버터의 경우 낮은 정격의 소자를 사용하므로 0.6pu라 가정하면 표 2와 같은 결과를 얻을 수 있다. 표 2의 결과를 보면

HBML 인버터의 구성 가격은 2레벨 인버터에 비해서는 다소 높지만 다른 멀티레벨 인버터와는 거의 비슷한 비용으로 구현할 수 있다.

표 1 주요 특성 비교  
Table 1 Characteristics Comparison

	2레벨	DCML	CCML	HBML
전압 Step	1	N-1=4	N-1=4	2N-1=9
출력 THD	크다	작다	작다	매우 작다
제어	간단	복잡	복잡	복잡
Voltage balance of dc link	Good	DC link capacitor voltage balancing	Clamp capacitors voltage balance	불필요
Redundancy	보통	복잡	복잡	용이
Filtering	Increased	Low	Low	Very low
최대 모터 전압	3.3kV (Filter-less) 6.6kV (Filter)	3.3kV (Filter-less) 4.2kV (Filter)	3.3kV (Filter-less) 4.2kV (Filter)	6.6kV (Filter-less) 7.2kV (Filter-less)

표 2 가격 비교  
Table 2 Cost Comparison

	2레벨	DCML	CCML	HBML
소자	6(N-1)=24	6(N-1)=24	6(N-1)=24	0.6×2×6×(N-1)=28.8
d.c link	(N-1) <sup>2</sup> /2=8	(N-1) <sup>2</sup> /2=8	(N-1) <sup>2</sup> /2=8	(N-1) <sup>2</sup> /2×0.6=4.8
추가비용	N/A	0.3×3×(N-1)×(N-2)=10.8	3×0.5/2×(N-1)×(N-2)=9	3(N-1)=12
스너버	0.1×6×(N-1)=2.4	0.1×6×(N-1)=2.4		
총비용	34.4	45.2	41	44.8

## 3. Proto-type HBML 인버터 제작 및 시험

### 3.1 Proto-type HBML 인버터 구성

Proto-type HBML 인버터는 그림 6과 같이 총 6개의 power cell로 구성되어 있으며 3상 2layer로 이루어져 있다. 입력 변압기는 입력측 고조파 저감을 위해서 layer별로 30°의 위상지연을 주어 입력측이 12 pulse 다이오드 정류기로 동작하도록 한다. 상마다 2개의 H-bridge를 직렬 연결하여 출력 전압이 5레벨이 되도록 하였다. 각 power cell의 PWM 발생을 위해 간략화된 펄스 폭 인식 기법을 이용하여 주제어기에서 인버터 주파수, Start/Stop, 위상각, 출력전압 기준치 등을 power cell 내부의 제어기로 광출력을 통해 전송한다. 동일한 상에 위치한 power cell마다 layer에 따라 출력전압의 위상차를 주기 위해 두 번째 layer에 위치한 power cell은 샘플링 주파수의 절반을 지연시켜서 PWM을 발생한다. 시험 장치의 실제 모습은 그림 7과 같다.

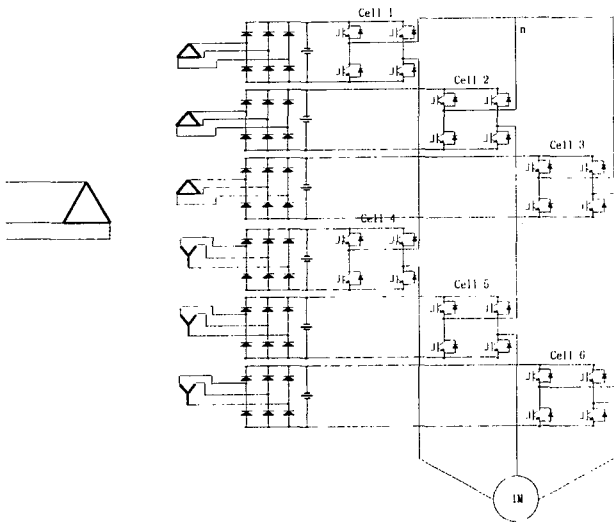


그림 6 Porto-type HBML 인버터 구성  
Fig. 6 Proto-type HBML inverter block diagram

### 3.2 Proto-type HBML 인버터 시험

위에서 기술한 바와 같이 구성된 proto-type H-bridge 인버터를 이용하여 출력 전압을 발생시켜 측정된 선간 전압 파형은 그림 8과 같다. 총 6개의 power cell을 3상 2layer로 구성하지 않고 2상 3layer로 구성하여 7레벨 인버터로 측정된 파형은 그림 9와 같다. 스위칭 주파수는 약 1kHz이며 출력전압의 FFT 결과는 그림 하단에 표시된 바와 같다. 시험결과에서 알 수 있듯이 멀티레벨 출력 전압을 생성함으로써 인해 출력 전압의 고조파 성분을 현저히 감소함을 알 수 있다.



그림 7 Proto-type HBML 인버터 시험장치  
Fig. 7 Proto-type HBML inverter

## 4. 결 론

위에서 살펴본 바와 같이 멀티 레벨 인버터를 구성하면 낮은 dv/dt로 인해 노이즈 저감, common mode 전압 감소 등으로 시스템 신뢰성 향상에 기여할 수 있다. 특히 H-bridge를 직렬 연결하여 구성한 HBML 인버터는 입,출력 필터없이 시스템을 구현할 수 있으므로 기존의 모터 부하를 부가적인 장치 추가없이 구동할 수 있다.

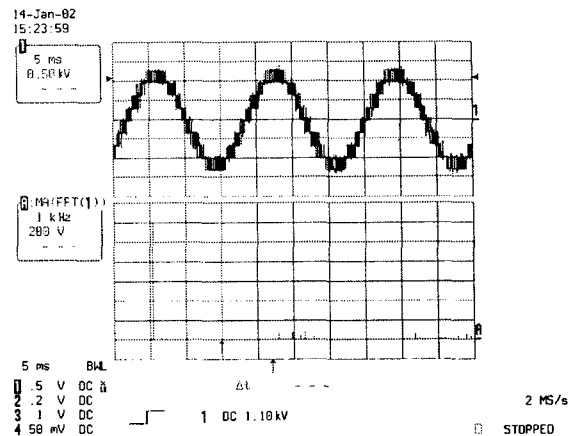


그림 8 Porto-type HBML 인버터 2layer 출력파형  
Fig. 8 Proto-type HBML inverter 2layer output voltage

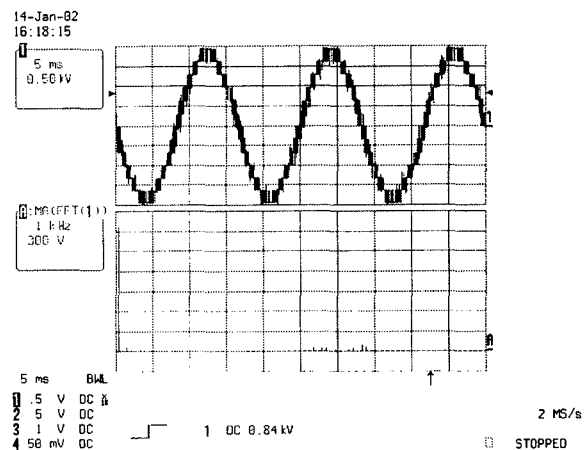


그림 9 Porto-type HBML 인버터 3layer 출력파형  
Fig. 9 Proto-type HBML inverter 3layer output voltage

## 참 고 문 헌

- [1] Y. Shakweh, "New breed of medium voltage converters", *Power Engineering Journal*, pp. 12-20, 2000, Feb.
- [2] R. Sommer, A. Mertens, M. Griggs, "New Medium Voltage Drive Systems using Three-Level Neutral Point Clamped Inverter with High Voltage IGBT", *IEEE*, pp. 1513-1519, 1999.
- [3] Y. Shakweh, Eric A Lewis, "Assessment of Medium Voltage PWM VSI Topologies for Multi-Megawatt Variable Speed Drive Applications", *IEEE*, pp. 965-971, 1999.
- [4] Richard H. Osman, "A Medium-Voltage Drive Utilizing Series-Cell Multilevel Topology for Outstanding Power Quality", *IEEE*, pp. 2662-2669, 1999.