

직렬입력-병렬출력 연결된 2-스위치 포워드 컨버터에 대한 이산 시간 영역 고속 시뮬레이션

김만고
부경대학교

A Fast Discrete-Time-Domain Simulation for the Input-Series-Output-Parallel Connected 2-Switch Forward Converter

Marn-Go Kim
Pukyong National University

ABSTRACT

A fast time domain modeling and simulation is performed for the input-series-output-parallel connected 2-switch forward converter. Steady-state and large-signal transient responses due to a step load change are simulated. The simulation results are verified through experiments.

느린 상태와 빠른 상태로 나누어 적용하면 스위칭 조건을 유도할 수 있다. 또한 각 모드와 모드 사이의 구조 변화를 결정하는 경계 조건(Boundary conditions)은 전력단의 상태와 오차 증폭기의 조건으로 부터 구할 수 있다.

1. 서 론

대부분의 전력변환회로는 각 스위치의 ON/OFF 상태에 따라 여러가지의 동작 모드로 구분할 수 있고, 각 모드는 부분구간 선형 시스템(Piece-wise linear system)으로 볼 수 있다. 부분구간 선형 시스템이 서로 연결되어 완전한 하나의 동작 주기가 완성되며, 한주기에 대한 시스템의 특성은 비선형을 나타내게 된다.

본 논문에서는 병렬입력-직렬출력 연결된 2-스위치 포워드 컨버터에 대한 이산시간 모델링 및 시뮬레이션 기법에 대하여 제안한다. 제안된 방법은 컨버터의 전력단(Power stage) 상태변수를 동적 특성에 따라 느린 상태 Xs(Slow state)와 빠른 상태 Xf(Fast state)로 나누고, 시뮬레이션 스텝 동안 느린 상태를 상수(Constant)로 간주하고 빠른 상태에 대해 시뮬레이션 스텝 동안의 이산시간 방정식을 세운다. 빠른 상태에 대한 이산시간 상태 방정식을 세운 후 빠른 상태에 대한 시뮬레이션 스텝 동안의 평균값을 입력으로 하는 느린상태에 대한 이산 시간 상태방정식을 세운다. 각 모드에 대해 같은 방법으로 적용하면 전력단에 대한 이산시간 상태 방정식이 완성된다. 오차 증폭기(Error amplifier)에 대해서는 전력단에 대한 부하 영향>Loading effect)를 무시하고, 전력단과 마찬가지로

2. 이산 시간 영역 상태 방정식

그림 1은 본 논문에서 시뮬레이션하고자하는 직렬입력 병렬출력 연결된 2-스위치 포워드 컨버터를 나타낸다. 전력단의 인덕터 및 커패시터 상태 수가 8개, 오차 증폭기의 커패시터 상태 수가 2개 이므로 전체 시스템 차수는 10차이다.

그림으로 부터, 스위치 S1, S2가 동시에 도통 상태인 등가 회로는 모드 1으로 그림 2에 나타내었다. 이 등가회로에서 커패시터 전압이 느리므로 시뮬레이션 스텝동안 상수로 간주하면, 그림 3과 같은 등가회로가 된다. 그림 3으로부터 각각의 인덕터 전류에 대한 이산시간 상태 방정식을 세우면 다음과 같이 유도된다.

$$i_L(t_k+h) \approx i_L(t_k) + (V_{in} - v_{C1}(t_k) - v_{C2}(t_k)) \cdot h/L - i_L(t_k) \cdot R_s \cdot h/L \quad (1)$$

$$i_{L1}(t_k+h) \approx i_{L1}(t_k) + (v_{C1}(t_k)/n - v_{Cf}(t_k)) \cdot h/L_1 - i_{L1}(t_k) \cdot R_{n1} \cdot h/L_1 \quad (2)$$

$$i_{L2}(t_k+h) \approx i_{L2}(t_k) - v_{Cf}(t_k) \cdot h/L_2 - i_{L2}(t_k) \cdot R_{L2} \cdot h/L_2 \quad (3)$$

$$i_{L1}(t_k+h) \approx i_{L1}(t_k) + [v_{Cf}(t_k) - i_{L1}(t_k) \cdot R_{L1}] \cdot h/L_1 \quad (4)$$

$$i_{L2}(t_k+h) \approx i_{L2}(t_k) + [S \cdot v_{Cf}(t_k) - i_{L2}(t_k) \cdot R_{L2}] \cdot h/L_2 \quad (5)$$

단, $R_{din} \gg R_s$, $S = 1$ (ON) 또는 0 (OFF).

계산된 위의 전류 값을 사용하여 각각의 인덕터를 시뮬레이션 스텝 h동안의 평균 전류원으로 나타내면 그림 4와 같은 등가회로가 된다. 이 등가회

로에서 전압 방정식을 유도하면 다음과 같다.

$$v_{C1}(t_k+h) \approx v_{C1}(t_k) + [(i_L(t_k) + i_L(t_k+h))/2 - (i_{L1}(t_k) + i_{L1}(t_k+h))/(2n) - v_{C1}(t_k)/R_{din} - (v_{C1}(t_k) + v_{C2}(t_k) - Vin)/R_{din}] \cdot h/C_1 \quad (6)$$

$$v_{C2}(t_k+h) \approx v_{C2}(t_k) + [(i_L(t_k) + i_L(t_k+h))/2 - (v_{C1}(t_k) + v_{C2}(t_k) - Vin)/R_{din} - v_{C2}(t_k)/R_{d2}] \cdot h/C_2 \quad (7)$$

$$v_C(t_k+h) \approx v_C(t_k) + [(i_{L1}(t_k) + i_{L1}(t_k+h))/2 + (i_{L2}(t_k) + i_{L2}(t_k+h))/2 - (i_{L1}(t_k) + i_{L1}(t_k+h))/2 - S \cdot (i_{L2}(t_k) + i_{L2}(t_k+h))/2] \cdot h/C_f \quad (8)$$

$$v_o(t_k+h) = v_C(t_k+h) + R_c \cdot [(i_{L1}(t_k) + i_{L1}(t_k+h))/2 + (i_{L2}(t_k) + i_{L2}(t_k+h))/2 - (i_{L1}(t_k) + i_{L1}(t_k+h))/2 - S \cdot (i_{L2}(t_k) + i_{L2}(t_k+h))/2] \quad (9)$$

전체 주 스위치 S1~S4가 OFF상태의 등가회로를 모드 2로 나타내면, 그림 5와 같이 표현된다. 또한 주 스위치 S3, S4가 도통상태일때 모드 3으로 나타내면 그림 6과 같은 등가회로로 표현된다. 모드 2, 모드 3에 대해서 모드 1과 같은 과정을 수행하면 커패시터 전압 및 인덕터 전류에 대한 이산

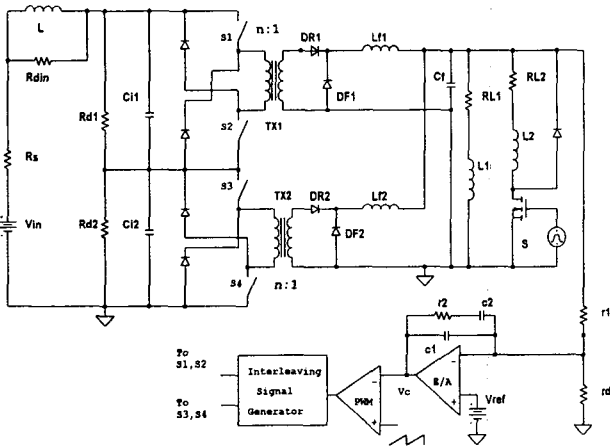


그림 1 2-스위치 파워드 컨버터.

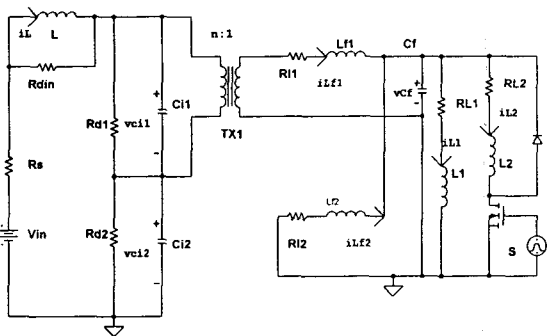


그림 2 모드 1의 등가회로.

시간 영역 상태 방정식을 구할 수 있다. 각 모드에서 출력필터 인덕터 전류 i_{L1}, i_{L2} 가 불연속일때도 같은 과정을 통해 상태방정식이 유도된다.

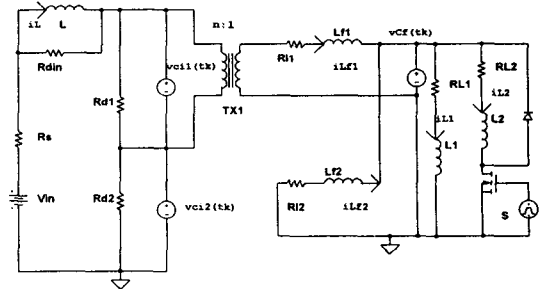


그림 3 모드 1에 대한 전류 방정식을 유도하기 위한 등가회로.

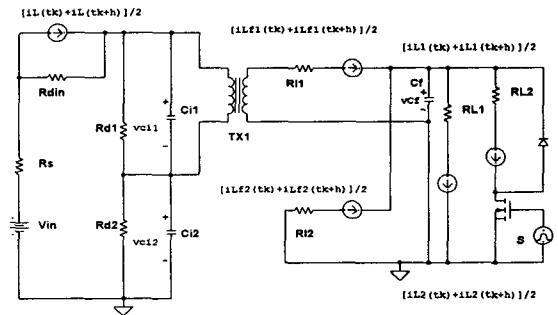


그림 4 모드 1에 대한 전압 방정식을 유도하기 위한 등가회로.

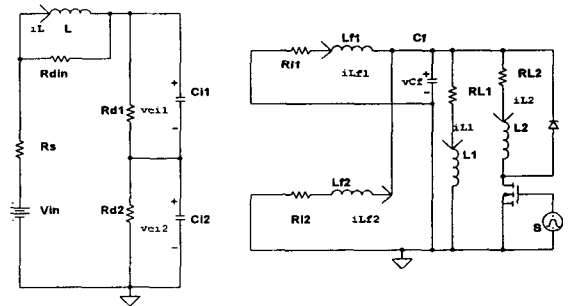


그림 5 모드 2의 등가회로.

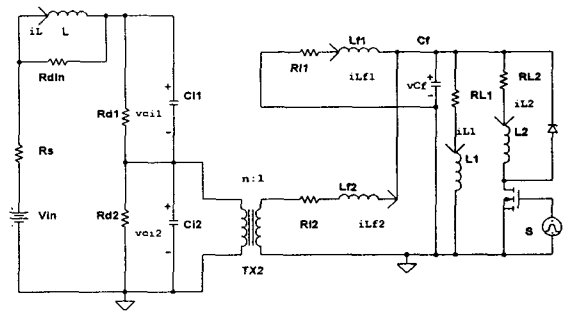


그림 6 모드 3의 등가회로.

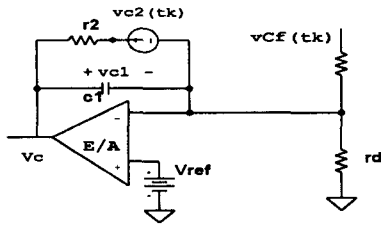


그림 7 v_{c1} 에 대한 식을 유도하기 위한 등가회로.

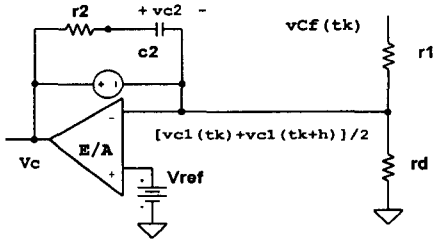


그림 8 v_{c2} 에 대한 식을 유도하기 위한 등가회로.

오차 증폭기 회로의 전력단에 대한 부하 영향을 무시할 수 있으면, 오차 증폭기는 전력단과 분리하여 시뮬레이션을 수행할 수 있다. 오차 증폭기 회로의 상태에 대해서도 느린 상태와 빠른 상태로 분리할 수 있고, 전력단과 같이 빠른 상태에 대한 방정식을 세운 후 빠른 상태의 평균치를 입력으로 하여 느린 상태에 대한 방정식을 세우면 된다. 정상적인 오차 증폭기 회로에서 $r_2 - c_2$ 는 큰 시정수를 가지므로 c_2 는 느린 상태를 나타내게 된다. c_2 의 전압을 시뮬레이션 스텝 h 동안 상수로 간주하고 c_1 에 대한 상태 방정식을 그림 7로부터 다음과 같이 유도할 수 있다.

$$v_{c1}(t_k + h) \approx v_{c1}(t_k) + [(V_{ref} - v_{cf}(t_k))/r_1 + V_{ref}/r_d + (v_{c2}(t_k) - v_{c1}(t_k))/r_2] \cdot h/c_1 \quad (10)$$

c_1 의 평균전압을 입력으로 하는 등가회로 그림 8로부터 c_2 에 대한 전압 상태 방정식은 다음과 같이 유도된다.

$$v_{c2}(t_k + h) \approx v_{c2}(t_k) + [(v_{c1}(t_k + h) + v_{c1}(t_k))/2 - v_{c2}(t_k)]/r_2 \cdot h/c_2 \quad (11)$$

$$v_c(t_k + h) = V_{ref} + v_{c1}(t_k + h)$$

스위칭 경계 조건은 v_c 전압이 삼각파형과 같아지는 순간이 되며, 주어진 회로의 스위칭 순간의 경계 조건은 다음과 같다.

$$v_c(t_k + t_{on}) = V_{min} + (V_p - V_{min}) \cdot t_{on}/(0.5 \cdot T)$$

여기서, $t_{on} = h + h + \dots + h_f$.

시뮬레이션 스텝 h 는 상태방정식을 유도하기 위한 등가회로에서 최소 시정수의 0.1배 그리고 파형의 최소 관심 주기의 0.01배보다 적게 선정하면 적절한 결과를 얻을 수 있다.

3. 시뮬레이션 및 실험 결과

그림 1의 컨버터 시스템에 대하여 다음의 파라메타 값을 사용하여 시뮬레이션 및 실험을 수행하였다.

$$T = 9 \mu s \quad V_{in} = 280 V \quad R_s = 0.4 \Omega$$

$$R_{din} = 33 \Omega \quad L = 20 mH \quad R_{d1} = 10 k\Omega$$

$$R_{d2} = 10 k\Omega \quad C_{i1} = 1000 \mu F \quad C_{i2} = 1000 \mu F$$

$$n = 1.7143 \quad R_{l1} = 0.3 \Omega \quad R_{l2} = 0.3 \Omega$$

$$L_{l1} = 50 \mu H \quad L_{l2} = 50 \mu H \quad C_f = 1000 \mu F$$

$$R_c = 0.04 \Omega \quad R_{L1} = 3.6 \Omega \quad R_{L2} = 5.0 \Omega$$

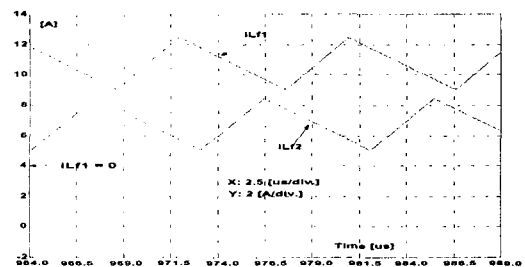
$$L_1 = 52 \mu H \quad L_2 = 65 \mu H \quad r_1 = 15 k\Omega$$

$$r_2 = 22 k\Omega \quad r_d = 3.3 k\Omega \quad c_1 = 62 pF$$

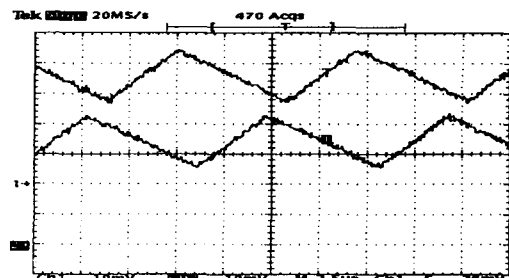
$$c_2 = 0.1 \mu F \quad V_{ref} = 5.1 V \quad V_{min} = 2.25 V$$

$$V_p = 4.25 V \quad h = 0.1 \mu s.$$

그림 9는 정상상태에서 두 출력필터 전류의 파형에 대한 시뮬레이션 결과 및 실험 결과를 나타낸다. 그림 10은 S의 턴-온에 의해 부하의 스텝 변화에 대한 각 부의 시뮬레이션 및 실험 파형을 나타낸다. 그림 11은 S의 턴-오프에 의해 부하의 스텝 변화에 의한 주요부의 파형을 나타낸다. 부하의 스텝 변화에 대한 v_{c2} , i_{L2} 의 과도상태 동특성은 v_{c1} , i_{L1} 과 같았다.

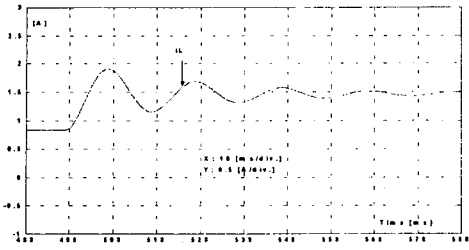


(a)

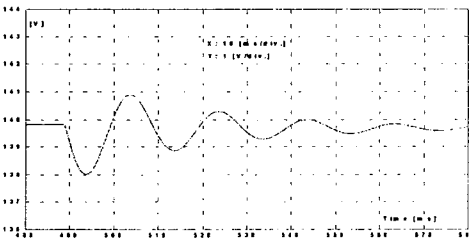


(b)

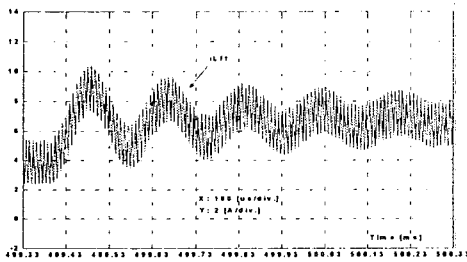
그림 9 정상상태에서 i_{L1} (위) 및 i_{L2} (아래)의 시뮬레이션 및 실험파형(X: 2.5us/div., Y: 2 A/div.).



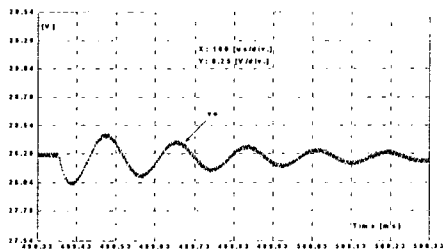
(a) i_L



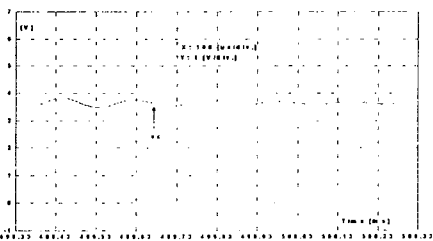
(b) v_{C1}



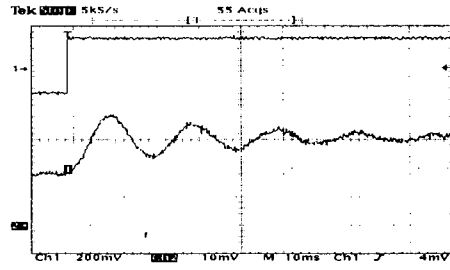
(c) i_{L1}



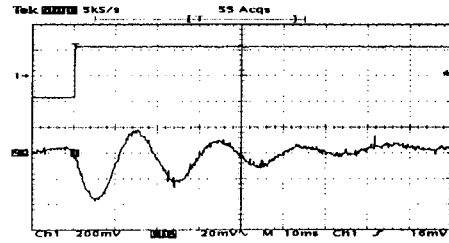
(d) v_o



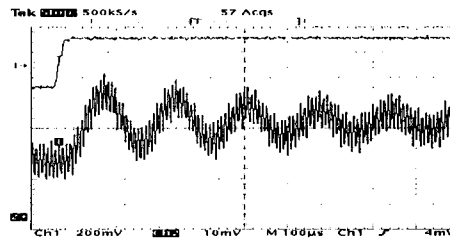
(e) v_c



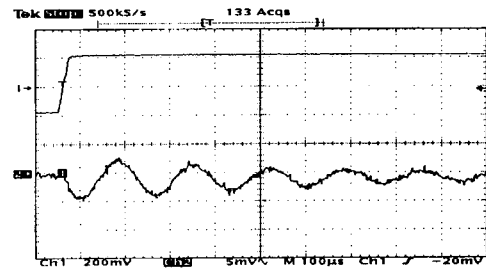
(f) 위: S, 아래: i_L (X: 10 ms/div., Y: 0.5 A/div.)



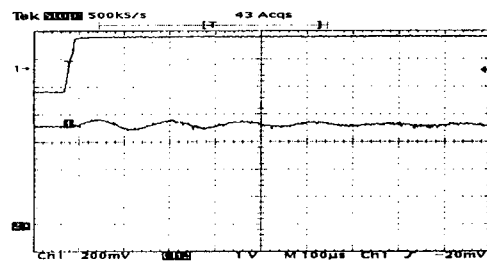
(g) v_{C1} (X: 10 ms/div., Y: 1 V/div.)



(h) i_{L1} (X: 100 us/div., Y: 2 A/div.)

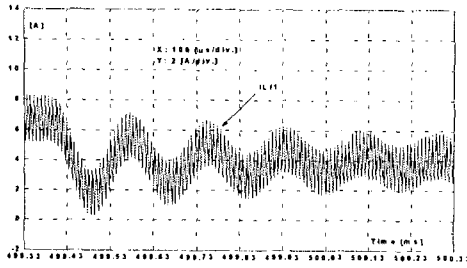


(i) v_o (X: 100 us/div., Y: 0.25 V/div.)

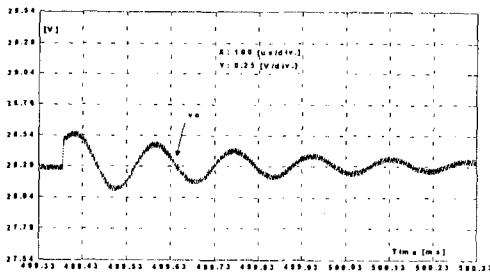


(j) v_c (X: 100 us/div., Y: 1 V/div.)

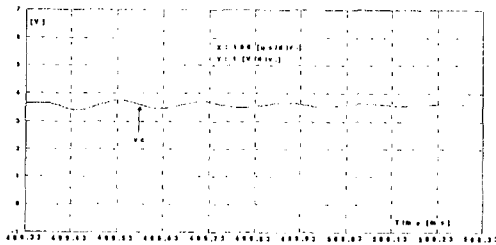
그림 10 S가 턴-온시의 시뮬레이션 파형: (a)~(e) 및 실험 파형(S: 10 V/div.): (f)~(j).



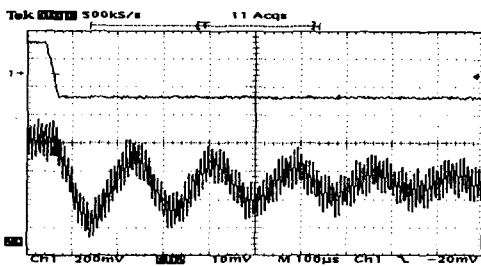
(a) i_{LA}



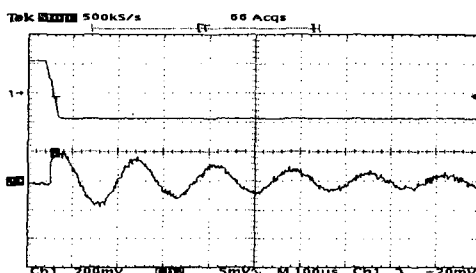
(b) v_o



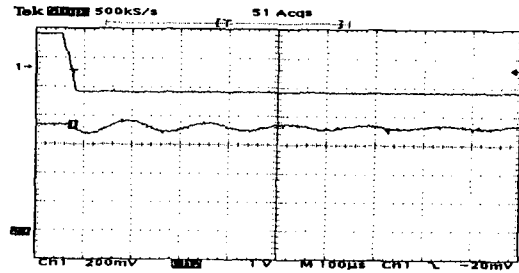
(c) v_c



(d) 위: S, 아래: i_{LA} (X: 100 us/div., Y: 2 A/div.)



(e) v_o (X: 100 us/div., Y: 0.25 V/div.)



(f) v_c (X: 100 us/div., Y: 1 V/div.)

그림 11 S가 턴-오프시의 출력전압에 대한 주요부의 시뮬레이션 파형 (a)~(c) 및 실험 파형(S: 10 V/div.) (d)~(f).

4. 결 론

병렬입력-직렬출력 연결된 2-스위치 포워드 컨버터에 대한 이산 시간 영역 모델링 및 시뮬레이션 기법에 대하여 기술하였다. 정상상태 및 스텝 부하 변화에 대한 과도상태의 시뮬레이션 결과는 실험 결과를 통해 타당성을 확인할 수 있었다.

참 고 문 헌

- [1] F.C. Lee, Y. Yu, " Computer-Aided Analysis and Simulation of Switched DC-DC Converters" IEEE Trans. on Industry Applications, vol. IA-15, pp. 511-520, Sept. 1979.
- [2] S.S. Kelkar and F.C. Lee, " A Fast Time Domain Digital Simulation Technique for Power Converters: Application to a Buck Converter with Feedforward Compensation", IEEE Trans. on Power Electronics, vol. 1, no. 1, pp. 21-31, Jan. 1986.
- [3] R.W. Erickson, S. Cuk, and R.D. Middlebrook, " Large-scale modeling and analysis of switching regulators, " in IEEE PESC Record., pp. 240-250, 1982.
- [4] R. Ridley, " New Simulation Techniques for PWM Converters, " in IEEE APEC Record., pp. 517-523, 1993.
- [5] F. Guinjoan, J. Calvente, A. Poveda, and L. Martinez, " Large-Signal Modeling and Simulation of Switching DC-DC Converters, " IEEE Trans. on Power Electronics, vol. 12, no. 3, pp. 485-494, May 1997.
- [6] K.J. Astrom and B. Wittenmark, Computer Controlled Systems, Prentice-Hall, Inc., chap. 2 - chap. 3, 1984.