

고효율 AC-PDP 구동 장치의 전력 회수 회로에 관한 연구

박유환, 강필순, 김철우
부산대학교 전기공학과

A Study on High Efficient AC-PDP Energy Recovery Circuit

Yu-Hwan Park, Feel-Soon Kang, Cheul-U Kim
Pusan National University

ABSTRACT

Plasma Display Panel의 기술은 급격하게 발전하고 있지만, 여전히 몇 가지 문제를 해결하기 위해 다각적인 접근이 이루어지고 있다. 동화상의 윤곽제거, 광(光) 대비 향상을 통한 화질의 개선, 신뢰도 및 전력 효율을 개선하는 등의 문제가 여기에 해당되며 그 중에서도 특히, 전력 효율을 향상시키기 위해서는 PDP의 발광효율을 높이는 것과 함께 기체방전과는 직접적인 관련이 없이 구동과정에서 발생하게 되는 불필요한 전력 소모를 최소화 하여야 한다. 본 논문에서는 이러한 전력소모를 최소화하기 위한 새로운 형태의 고효율 에너지 회수 회로를 제안하고 시뮬레이션을 통해 그 동작을 확인하였다. 그리고 제안하는 회로를 실제 7.5 인치 패널에 연결하고, 200 [kHz]에서 실험하여 제안한 에너지 회수 회로의 타당성을 검증하였다.

1. 서 론

오늘날 AC-PDP는 고화질 TV와 대형 화면으로 관심을 받고 있다. 그러나 높은 전력소모와 고가 등의 문제가 여전히 주된 문제로 자리 잡고 있다. 패널의 반복적인 충·방전에 의해 발생하는 전력소모를 줄이기 위해 최근 에너지 회수 회로에 대한 연구가 활발히 진행되고 있다^{[1]-[11]}.

또한 AC-PDP 구동에 있어 일반적으로 적용되는 ADS (Address Display period Separated) 구동 방법을 사용하기 위해서는 유지(sustain)전압 상승 시간이 제한되는 문제점이 발생하게 된다. PDP 구동에 있어 False 윤곽선을 줄이기 위한 한 방법으로 scan lines와 Sub-fields를 증대시키는 것이 해결 방법으로 제안되었지만 유지 구간의 감소로 충분한 밝기를 얻을 수 없는 문제점이 발생하게 된다. 이러한 문제를 해결하기 위해 유지 구간을 감소 시켜

유지 방전 횟수를 증가시키는 방법이 제안되었다^[5]. 그러나, 유지 펄스 폭이 전압 상승시간에 제약을 받게 되면 동작 마진이 감소되는 경향이 있다^{[6]-[8]}.

기존의 회로와 같이 외부의 인덕터와 패널의 커패시터의 단순 공진에 의존하는 형태에서는 패널 전압의 상승시간에 의해 유지 (sustain) 펄스 폭이 제한 받게 된다. 상승시간을 빠르게 하기 위해서 인덕터의 값을 줄이는 방법이 적용될 수 있지만 순수 공진에 의존하는 에너지 회수회로에 있어서는 인덕터 값이 증가할수록 에너지 회수효율이 증가하므로 적합하지가 않다.

본 논문에서는 에너지 회수 회로 동작에 있어 기존 동작에 승압 (step-up) 구간을 추가하여 패널 전압을 빠르게 상승시킬 수 있는 새로운 회로를 제안한다. 제안된 회로는 현재 일반적으로 사용되는 ADS 방식에 대단히 유용하다. 또한 능동 스위치 소자들의 소프트 스위칭이 가능하여 상당한 스위칭 손실을 저감시킬 수가 있어 전체 시스템의 효율을 증가시킬 수 있다.

제안한 회로의 동작 원리와 설계 방법을 제시하고, 시뮬레이션과 200 [kHz]에서 7.5 인치 패널에 기초한 실험을 통해 기존의 회로와의 비교하여 제안한 회로의 타당성 및 우수성을 입증하고자 한다.

2. 제안한 전력 회수 회로

2.1 기본 동작

그림 1은 본 논문에서 제안한 에너지 회수 회로의 구성을 나타낸다. 패널을 구동시키는 회로는 Y축과 Z축으로 구분되며, 각 부분은 내부 다이오드를 가진 세 개의 Power MOSFET와 내부 다이오드가 없는 하나의 MOSFET로 각각 대칭적으로 구성되어진다. 인덕터 (L_x , L_y)는 패널로부터 에너지를 회수하여 외부 커패시터 C_x 에서 저장시키고, 이 저장된 에너지를 승압 시키기 위해 사용된다. S_x2

의 내부 다이오드는 $Sx1$ 이 턴-오프 하자마자 인덕터에 저장된 에너지를 패널로 이동시키는데 사용되고, 입력으로부터의 전류 유입을 막는데 이용된다. 회로의 동작 해석을 간단히 하기 위해서, 방전전류의 효과를 무시하고, 패널의 등가 커패시턴스 C_p 의 값이 일정하다고 가정한다. 외부 콘덴서 C_x 와 C_y 의 양단 전압은 V_c 로 일정하다고 가정한다. 모든 구성 소자들은 이상적이고, 전극의 저항은 무시하였다. 모드 설명에 있어서 Y축과 Z축은 동일한 동작을 하기 때문에 반주기의 해석만을 하기로 한다. 그림 2는 제안한 회로에 대한 각각의 스위칭 신호에 따른 패널의 양단 전압과 전류를 나타낸다.

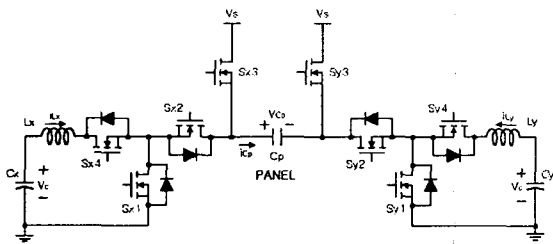


그림 1. 제안한 고효율 에너지 회수 회로
Fig. 1 Proposed Energy Recovery Circuit

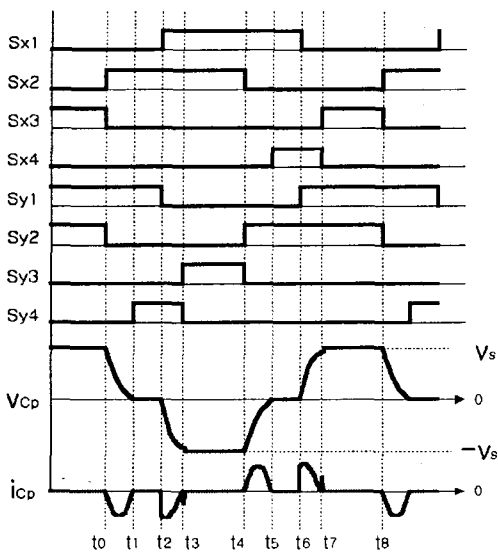
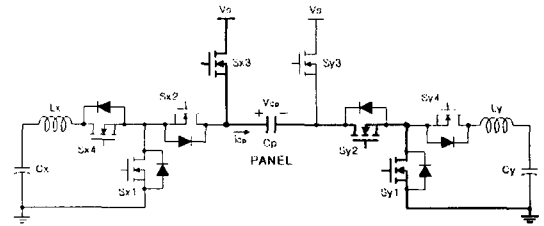


그림 2 게이트 신호와 패널의 전압과 전류 파형
Fig 2. Operational waveform

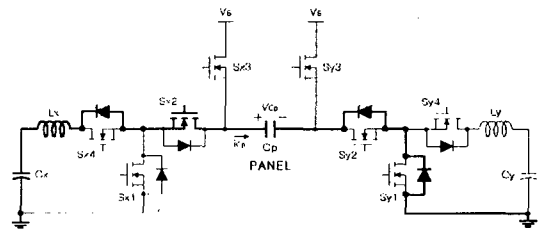
2.2 모드별 분석

모드 0 : t_0 이전

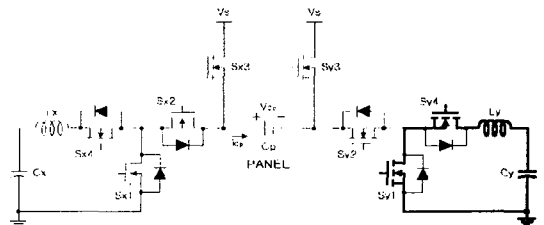
t_0 이전에 $Sx3$ 와 $Sy1$ 은 턴-온 상태이다. 따라서 그림 3(a)와 같이 패널 양단 전압은 V_s 로 유지되고 있고 이 구간동안 패널로 유입되는 전류는 없다.



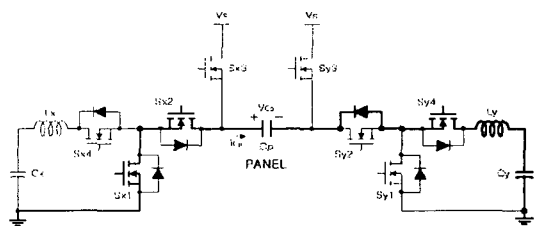
(a)



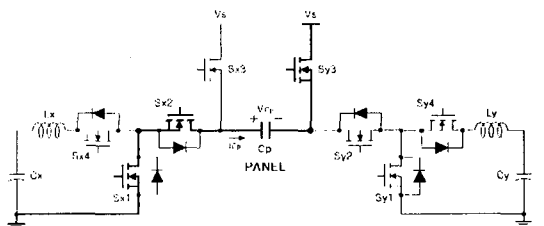
(b)



(c)



(d)



(e)

그림 3. 동작 모드

(a)모드0, (b)모드1, (c)모드2, (d)모드3, (e)모드4.
Fig. 3. Operational modes.

(a)Mode0, (b)Mode1, (c)Mode2, (d)Mode3, (e)Mode 4.

모드 1 : ($t_0 - t_1$)

t_0 에서, Sx3와 Sy2는 턴-오프 되는 동시에, 패널로부터 에너지를 회수하기 위하여 Sx2가 턴-온이 된다. 그림 3(b)와 같이 패널 전류는 인덕터 L_x 와 패널 C_p 와 공진 하면서 흐르기 시작하고, 에너지는 외부 커패시터 C_x 에 저장되기 시작한다. 패널과 인덕터와의 공진이 끝나면, 패널 양단 전압은 제로가 된다.

모드 2 : ($t_1 - t_2$)

t_1 일 때, Sy1은 여전히 도통된 상태이고, Sy4가 턴-온 될 때, 그림 3(c)에서 나타낸 것과 같이 인덕터에 흐르는 전류가 상승하기 시작하고, L_y 에 에너지가 저장되기 시작한다.

모드 3 : ($t_2 - t_3$)

Sx1이 턴-온 되고, 동시에 Sy1은 턴-오프가 된다. Sy1이 턴-오프 되는 순간, 인덕터 L_y 에 저장된 에너지는 순간적으로 빠른 상승 시간을 가지고 Sy2의 바디 다이오드를 통하여 패널로 공급된다.

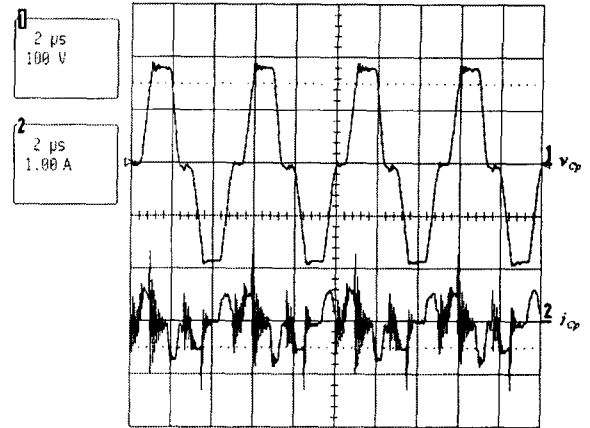
t_2 에서의 전류 초기치는 제로가 아닌 모드 2구간에서의 최종치가 되고, 인덕터의 극성이 바뀌어 부하가 아닌 소스로 동작하게 되므로 외부 커패시터와 인덕터의 합 전압이 인가되므로 패널 전압을 빠르게 상승시키게 된다. 이 구간에서 전압의 크기는 Sy1과 Sy4의 시비율을 조절하여 가변시킬 수 있다.

모드 4 : ($t_3 - t_4$)

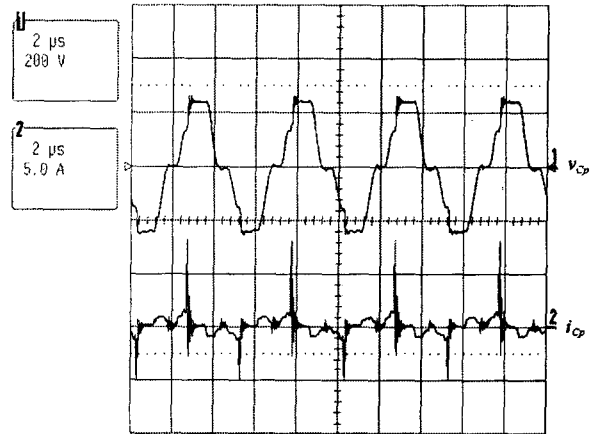
인덕터에 저장된 에너지를 패널로 전달 후, Sy3를 턴-온 시켜 입력 전압 V_S 를 인가하여 패널 전압을 V_S 로 유지시키는 모드이다. 이상적인 경우 모드 3의 구간동안 유지 전압과 동일한 전압까지 패널 양단 전압을 상승시킨 후 Sy3가 턴-온 되면 입력측에서 유입되는 전류는 제로이다.

3. 실험 결과

표 1은 제안한 회로의 소자 목록이다. 그림 4(a)와 (b)는 각각 방전 전과 방전 후의 제안한 회로의 실험 파형이다. 그림 4(a)는 방전 전의 패널 양단 전압과 패널 전류 파형을 보여준다. 이 경우 단지 패널의 충·방전을 위한 변위 전류만이 패널을 통해 흐름을 확인할 수 있다. 패널 전압이 방전 개시 전압까지 상승하여 패널이 방전하기 시작하면, 그림 4(b)에서 보여 지는 것처럼, 변위 전류 성분이 외의 방전 전류가 패널로 흐름을 확인할 수 있다.



(a)



(b)

그림 4. 방전 전과 방전 후의 패널 전압과 전류
Fig.4. Experimental waveform of voltage across and current flowing through the panel. (a) Before igniting. (b) After igniting with visible light.

표 1. 회로 정수

Table 1. Components list

Items	Symbol	Value or Type
Panel	Cp	AC PDP 7.5 [inch], Xe-6 [%], 500 [Torr]
Power MOSFET	Sx1-Sx4 Sy1-Sy4	IRFP460
Inductor	Lx, Ly	20 μH / Aircore
External capacitor	Cx, Cy	5 μF / Metallized Polyester Film
Gate Amp	-	TLP250 / Photocoupler
Signal Generation	-	EPM7064LC84 using VHDL

제안한 회로와 기존의 Weber 회로의 평균 입력 전류를 비교하였다. 동일한 실험 조건 아래에서 각 회로를 비교하기 위해서 그림 5(a)와 같이 펄스 폭의 유지(sustain), 상승(rise), 하강(fall) 구간을 각

각 $1[\mu\text{s}]$, $0.5[\mu\text{s}]$, $0.7[\mu\text{s}]$ 로 제한하였으며, Pspice를 사용하여 비교하였다. 비교에 있어 인덕터의 값을 가변하여 각각의 평균 입력 전류를 비교하였다. 그림5(b)에서 제안한 회로의 경우 방전전의 평균입력 전류는 인덕터의 값의 변화에도 불구하고 $87[\text{mA}]$ 에서 $146[\text{mA}]$ 범위 안에서 흐르고 있다. 패널이 방전하는 동안은 인덕터의 값이 $40[\mu\text{H}]$ 때, 평균 입력 전류는 $270[\text{mA}]$ 로 상승한다. 반면에 기존의 Weber 회로는 제안한 회로보다도 더 높은 입력전류를 필요로 하고, 패널이 방전되었을 때, 약 $350[\text{mA}]$ 가 필요하다. 전압 상승 구간의 제한이 없다면, Weber 회로 역시 많은 양의 에너지 소모를 줄일 수 있으나, ADS 방법에 적용시키기 위해서 전압 상승 및 유지 시간을 제한한다면, Weber 회로의 평균 입력 전류는 증가하게 된다. 이 문제를 해결하기 위해서는 낮은 인덕터 값이 사용되어야 하지만, 순수 공진 타입에 의존하는 회로의 경우 더 큰 인덕터 값이 더 좋은 효율을 보증하게 된다. 제안한 회로는 인덕터 값의 변화와 무관하게 상승 시간은 $43[\text{ns}]$ 에서 $63[\text{ns}]$ 범위에 나타난다. 결과적으로 약 $430[\text{ns}]$ 의 유지 구간을 증가시킬 수 있는 동작 여유 마진을 확보하게 된다.

4. 결 론

본 논문에서 제안한 AC-PDP 에너지 회수 회로는 전압 상승 시간을 증가시킬 수 있어 패널 양단 전압을 빠르게 상승시킬 수 있어 현재 일반적으로 이용되는 ADS 구동방식에 적합하다. 제안한 회로는 패널의 ON·OFF 상태와 무관하게 회수 효율이 향상되었고, 약 $430[\text{ns}]$ 의 여유 동작구간이 증가하였음을 확인하였다.

참 고 문 헌

- [1] M. Seki et al, "Improved 40-inch Plasma Display for Wall-hanging HDTV Receiver," *IEEE Trans. on Broadcasting*, vol. 42, No. 3, pp. 208-214, Sept. 1996.
- [2] A. Sobel, "Plasma Displays," *IEEE Trans. on Plasma Science*, vol. 19, No. 6, pp. 1032-1047, Dec. 1991.
- [3] D. W. Parker et al, "The TV on the Wall-has its time come?" *proc. of International Broadcasting Convention*, pp. 575-580, 1997.
- [4] T. F. Wu et al, "PDP sustainer with reduced current stress and sensitivity to parasitic and distributed components," *IEEE/PESC'01*, pp. 1779-1784.
- [5] K.Yoshikawa et al, "A full Color AC Plasma Display with 256 Gray Scale," *Proc. of International Display Research*, pp. 605-608, 1992.
- [6] J. D. Ryeom et al, "A Study of the high speed driving scheme for HDTV grade AC PDP," *ASID99*, pp.305-308, 1999.
- [7] Hirakawa et al, "Cell Structure and driving Method of a 25-in. (64-cm) diagonal High resolution Color Plasma Display," *SID98 Digest*, pp. 279-282, 1998.
- [8] L. F. Weber, "The Performance and Promise of Color Plasma Display," *Proc. of Asia Display*, pp. 373-376, 1995.
- [9] John G. Webster et al, *The Measurement, Instrumentation, and Sensors Handbook*, CRC & IEEE Press, Vol. 2, pp. 93/1-30, 1999.
- [10] F. S. Kang et al, "A novel AC-PDP sustaining drive based on dual resonance in sustaining mode operation," *IEEE/IECON'01*, pp. 954-959.
- [11] L. F. Weber et al, "Power efficient sustain drivers and address drivers for plasma panel," *U.S. Patent 4 866 349*, Sept. 1989.

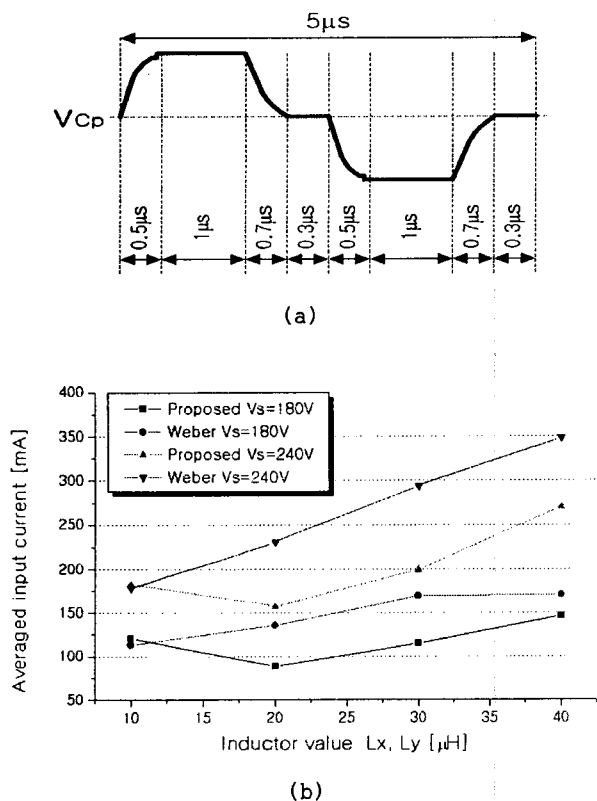


그림 5. 각 회로의 평균 입력 전류와 비교 조건
(a) 비교를 위한 구간 제약. (b) 시뮬레이션 결과.
Fig. 5. Comparison of averaged input current of each sustain driver, and its test condition.
(a)Period limitation.(b)Simulated result.