

## 웨이퍼 연삭 가공 기술의 동향 및 가공 정밀도 향상에 관한 연구

안대균\*, 황징연, 이재석, 이용찬, 하상백, 이상직(한국공작기계 기술연구소)

### The Trend of Wafer Grinding Technology and Improvement of Machining Accuracy

D. K. Ahn\*, Z. Y. Hwang, J. S. Lee, Y. C. Lee, S. B. Ha, S. J. Lee(Hankook Machine Tools, R&D Center)

#### ABSTRACT

In silicon wafer manufacturing process, the grinding process has been adopted to improve the quality of wafer such as flatness, roughness and so on. This paper describes the effect of grinding process on the surface quality of wafer. The experiments are carried out by high precision in feed grinder with air bearing spindle. The relationship between the inclination of chuck table and the flatness of wafer is investigated, and the effect of grinding conditions including wheel speed, table speed, and feed rate on damage depth and roughness of wafer is also investigated. The experimental results show that there is close relationship between the inclination of the chuck table and the flatness of wafer, and the grinding conditions within this paper little affect the flatness of wafer and relatively high affect the damage depth of wafer.

**Key Words :** In-Feed Grinding(인피드 연삭 가공), Inclination of Chuck Table(테이블 기울기), Flatness(평탄도), Form Accuracy(형상 정밀도), Damage Depth(변질층 깊이)

#### 1. Introduction

21 세기 정보화 시대를 앞두고 반도체 산업은 끊임없는 발전을 거듭하고 있다. 마이크로 프로세서(Micro Processor)와 메모리(DRAM)를 비롯한 각종 반도체 디바이스는 점차 고집적화, 고기능화 되어 가고 있으며, 패턴의 미세화만으로는 완전히 대처하기 곤란하므로 칩의 크기도 증가하고 있는 추세이다. 이러한 경향에 발맞추어 기판 재료로 사용되고 있는 웨이퍼 또한 보다 고정밀, 고품질화 되어 지지 않으면 안되게 되었고, 칩 크기의 변화에 따른 제조 비용과 제조 수율(Yield) 등이 중요한 문제로 부각되면서 웨이퍼의 크기도 점차 대직경화 되어가고 있다. 그러나 기판 재료로 사용되고 있는 실리콘(Silicon)은 경도에 비해 취성이 매우 강하여 가공상에 많은 문제점을 내재하고 있다.<sup>[1]</sup>

반도체 디바이스 생산을 위한 실리콘 웨이퍼 프로세스는 크게 웨이퍼 제조 공정과 디바이스 제조 공정으로 나누어지며, 특히 웨이퍼 제조 공정에 해당하는 기계 가공은 디바이스 제작에 결정적인 영향을 미친다. 최근 웨이퍼의 대직경화, 고정밀화에 따라 기계 가공에 대한 중요도가 날로 더해가고 있

으며, 복잡한 제조 공정을 간소화 시키면서 단위 시간당 처리량(Throughput)을 향상시킬 수 있는 가공 기술에 대한 요구가 심화되고 있는 실정이다.

따라서 최근에 웨이퍼 가공기술로는 슷돌을 이용한 연삭 가공 기술을 도입하려는 노력이 이루어지고 있다. 반도체 공정에 있어서의 연삭 가공 기술은 성장시킨 실리콘 단결정 잉곳(Ingots)의 외경연삭이나 OF(Oriental Flat) 연삭, 슬라이싱한 웨이퍼의 에지 그라인딩(Edge Grinding) 등과 같이 제한된 부분에 적용되어 왔다. 그러나 반도체 디바이스의 발전으로 인해 웨이퍼의 사양 또한 보다 엄격하게 되었고 웨이퍼의 크기도 점차 대직경화 되어 감에 따라<sup>[2]</sup>, 기존의 래핑(Lapping)에 비해 형상 정밀도와 표면 품질이 우수할 뿐만 아니라, 가공 효율이 뛰어나며 대직경 웨이퍼 생산에 대한 적응성이 뛰어난 고정도, 고품위 연삭 가공기술이 주목받고 있다. 연삭 가공기술은 기존의 공정을 단축시킬 수 있으며, 8 인치 이상의 대직경 웨이퍼를 고정밀하게 가공할 수 있으므로 형상 정밀도(Form Accuracy)와 표면 상태(Surface Topography)를 동시에 구현할 수 있다는 이점이 있어 그 활용가치 측면에서 많은 연구가 진행되고 있다.

본 논문에서는 이러한 고정도, 고품위 연삭 가공 기술이 실제 웨이퍼 제조 공정에 미치는 영향을 고찰하고, 스톨 회전축과 공작물 회전축과의 기구학적 배치에 따른 형상 정밀도 변화와 가공 조건에 따른 가공 변질층 변화에 대한 기초적인 연구를 수행하였다.

## 2. Wafer In-Feed Grinding Technology

### 2.1 In-feed Grinding 의 도입

웨이퍼를 제조하는 공정에서 평탄화 및 경면을 창성하기 위한 공정으로 래핑과 폴리싱이 있다. 래핑 공정에서 발생한 기계적인 변질층을 제거하기 위하여 중간에 화학액을 이용한 에칭(Etching) 공정이 들어가게 된다. 하지만, 반도체 디바이스의 고집적화로 인해 1G DRAM 이상에서는 기존의 공정에서 만들어지는 웨이퍼의 평탄도로는 기판 형성 기초 공정인 STI(Shallow Trench Isolation)에서 문제점이 발생하게 된다.<sup>[3]</sup> 이러한 미소 영역에서의 문제점을 Nanotopography 라고 부르며 이것을 해결하기 위한 방안으로 연삭 가공을 통해 Etching 이 끝난 웨이퍼를 가공하여 높은 평탄도를 얻을 수 있고, 형상 제어가 용이하여 폴리싱 공정에서의 시간 단축을 이룰 수 있다. Fig.1 은 차세대 웨이퍼 가공 공정 흐름을 나타내고 있다. 웨이퍼 연삭 가공은 자동화가 가능하고 형상 제어가 쉽고, 높은 생산성을 가지는 이점이 있어 12 인치 이상의 대구경 웨이퍼에서는 Lapping 공정을 대신하려는 경향이 나타나고 있다.

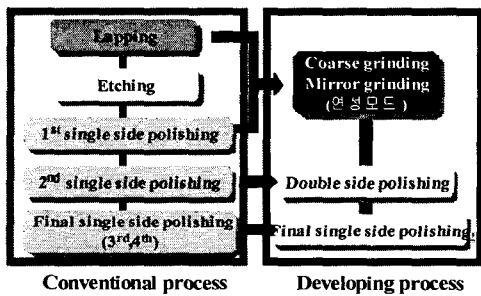


Fig. 1 Next generation wafer manufacturing process<sup>[4]</sup>

### 2.2 Etching, Grinding, Polishing 의 평탄도 비교

웨이퍼는 에칭을 하고 열처리(Heat Treatment)를 수행하고 최종 폴리싱을 하여 만들어지게 된다. 하지만 에칭이 끝난 웨이퍼는 에칭액에 의한 화학적인 영향을 받아 표면의 평탄도가 나빠지게 된다. 이러한 평탄도 악화는 폴리싱 공정에 전사되어 폴리싱 공정의 많은 시간 소모 및 평탄도 악화를 유발한다. 이에 연삭 공정을 추가로 하여 에칭 공정

에 의해 발생한 평탄도 악화를 보상하여 주는 역할을 하게 된다.

연삭 공정을 통하여 평탄도 향상을 살펴보기 위하여 에칭 후와 연삭 후의 평탄도를 측정하여 비교해 보았다. DISCO 사의 연삭기로 테스트를 수행하였고 가공 조건은 Table 1 과 같으며 20 장의 8 인치 웨이퍼를 연속적으로 투입하여 실험하였다. 평탄도는 TTV(Total Thickness Variation)와 STIR(Site Total Indicator Reading)을 측정하였고, 측정 장비로는 ADE-9500 을 사용하였다. Fig.2 는 에칭이 끝난 웨이퍼와 연삭이 끝난 웨이퍼의 평탄도를 비교한 그래프이다. 그래프를 살펴보면 초기에 Dummy Wafer 를 넣지 않아 처음 2 장의 평탄도는 평균에 비해 높은 값을 나타내는 것으로 생각되어진다. 에칭이 끝난 웨이퍼의 TTV 평균값이 2.365 $\mu$ m, STIR 평균값이 1.03 $\mu$ m 으로 나타났으며, 이에 비해 연삭이 끝난 웨이퍼의 TTV 평균값이 0.665 $\mu$ m, STIR 의 평균값이 0.298 $\mu$ m 로 뛰어난 평탄도 값을 나타냄을 알 수 있다.

Table 1 Experimental conditions

Wheel	Cup Type Diamond Wheel (#2000, Resin Bond)
Spindle Speed	4800 rpm
Table Speed	40 rpm
Feed Rate	0.3 $\mu$ m/sec
Wafer	8" Si Wafer

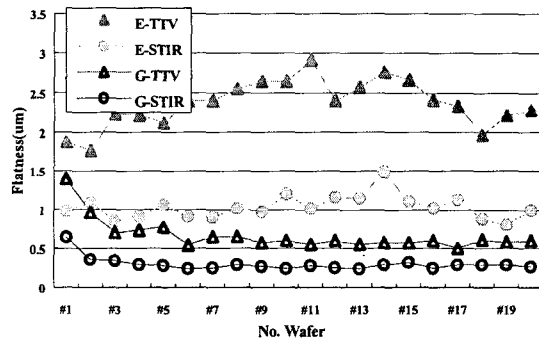


Fig. 2 Comparison of flatness in etching and grinding

연삭이 끝난 웨이퍼를 다음 공정인 폴리싱 공정으로 진행되었을 때의 평탄도를 비교하기 위하여 폴리싱 가공을 수행하였다. 폴리싱은 Fujikoshi 사의 폴리셔로 실험하였다. 연삭 가공 후와 폴리싱 가공 후의 평탄도 변화가 Fig. 3 에 나타나 있다. 폴리싱

이 연삭에 비해 평탄도가 나빠지는 것은 연삭 가공은 고정 지립에 의한 매엽식 가공에 비해 폴리싱은 배치(Batch) 타입으로 많은 수의 웨이퍼를 한 번에 가공하여 평탄도 제어가 용이하지 않고, 연마제인 슬러리와 웨이퍼 표면과의 화학반응에 의해 평탄도 악화를 유발하기 때문이다.

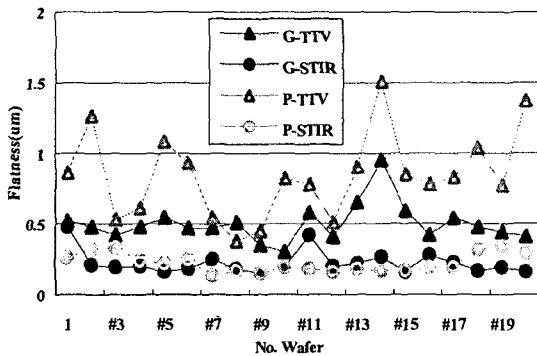


Fig. 3 Comparison of flatness in grinding and polishing

폴리싱이 끝난 후의 TTV 평균값은  $0.84\mu\text{m}$  이고 STIR은  $0.22\mu\text{m}$  으로 나타났다. 하지만 기존의 Etching 공정 후 폴리싱(TTV:  $1.5\mu\text{m}$ , STIR:  $0.45\mu\text{m}$ )에 비해 아주 우수한 특성을 나타낸다. 이러한 평탄도 결과는 1G DRAM 이상의 반도체를 집적할 수 있는 웨이퍼로 적용이 가능하다.

### 3. 가공 정밀도 향상

#### 3.1 테이블 기울기에 따른 평탄도의 변화

연삭 가공에서 웨이퍼의 평탄도의 특성은 스톨 및 테이블 회전 속도, 이송 속도보다는 스펀들과 테이블과의 기하학적인 특성에 좌우되게 된다.<sup>[5]</sup> Fig.4는 테이블 기울기 설정을 나타낸 그림이다.

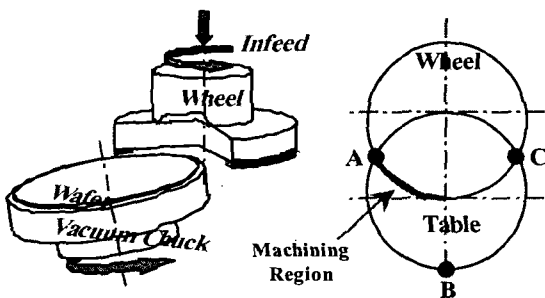


Fig. 4 View of table tilting in wafer grinding

테이블은 A 점, B 점, C 점의 3 곳에서 지지하도록 되어 있다. 기울기의 원점 셋팅(Zero Setting)은 A

점을  $0\mu\text{m}$ , B 점을  $-11\mu\text{m}$ , C 점을  $-20\mu\text{m}$ 로 설치하여 테이블을 셋팅하고 #600 스톨로 테이블을 연삭 가공한 후 그 위에 웨이퍼를 설치하여 가공이 이루어지게 하였다. 웨이퍼의 가공 영역은 굽은 선으로 표시된 부분이다. 따라서 가공에 가장 큰 영향을 주는 지지점은 A 점으로, A 점에서의 위치 변화를 주어 테스트를 수행하였다. 가공 조건은 Table 1 과 동일하다.

Fig.5는 A 점을  $-14\mu\text{m}$ ,  $-7\mu\text{m}$ ,  $7\mu\text{m}$ ,  $14\mu\text{m}$  움직였을 때의 TTV, STIR, Roll-off의 변화량을 나타낸다. 마이너스 값은 하강 했을 때를 나타낸다. Roll-off 값은 기준면에 대해 웨이퍼의 중앙부가 들어간 양을 나타낸다. 하강에서 상승했을 때 TTV, STIR, Roll-off 값들이 작아짐을 나타내고 있다. 이러한 이유는 기하학적인 원인에 의해서 웨이퍼의 형상이 점차 수평면을 이루어지기 때문이다. 하지만 웨이퍼 연삭 가공은 그 자체 뿐만이 아니라 뒷 공정인 폴리싱 공정에서 시간 단축 및 평탄도 확보를 위해 웨이퍼 형상 제어가 중요한 역할을 하기 때문에 폴리싱 평탄도에 최대한 플러스 요인을 주는 Roll-off 및 TTV 값 선정이 중요하게 된다.

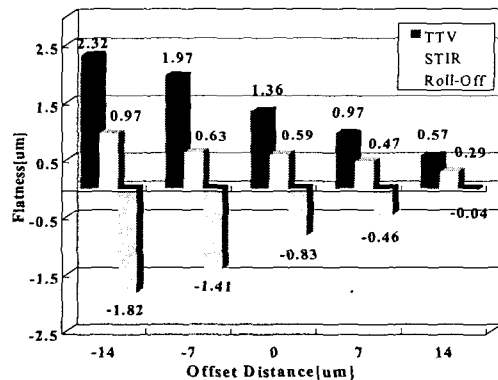


Fig. 5 Change of TTV, STIR and Roll-off as table tilting

#### 3.2 가공 조건에 따른 Damage Depth의 변화

웨이퍼 표면의 표면 조도(Roughness)와 가공 변질층(Damage Depth)은 스톨/테이블 회전속도, 이송 속도에 많은 영향을 받게 된다. 특히, 가공 변질층은 연삭 가공 후 반드시 측정해야 할 중요한 항목이다. 변질층 깊이 측정은 가공이 끝난 웨이퍼를 절단하여 Angle 폴리싱을 하고, 그 후 에칭을 하여 현미경(Microscope)으로 측정하였다. 가공 조건은 Table 1 과 동일하며 스톨 회전 속도와 이송 속도를 변화시켜 변질층 깊이 변화를 측정하였다. 스톨 회전 속도는  $3200 \sim 6400\text{rpm}$ , 이송 속도는  $0.1 \sim 0.9\mu\text{m}/\text{sec}$ 의 범위에서 실험하였다. Fig.6 과 Fig.7은 가공 조건

변화에 따른 가공 변질층 깊이 변화를 나타내는 그래프이다. 스톨 회전 속도가 증가할수록 이송 속도가 감소할수록 가공 변질층이 감소하는 일반적인 경향을 나타내었다. 그래프를 살펴보면 4800rpm 이상에서는 가공 변질층의 변화가 완만하다는 것을 알 수 있다. 따라서 스톨 회전 속도는 4800 rpm 부근이 적합하다는 것을 알 수 있다. 이송속도도 0.3 $\mu\text{m}/\text{sec}$  부근에서는 거의 차이가 없으나 0.7 $\mu\text{m}/\text{sec}$  이상에서는 차이가 많이 난다는 것을 알 수 있다. 따라서 폴리싱에 영향을 주지 않는다면

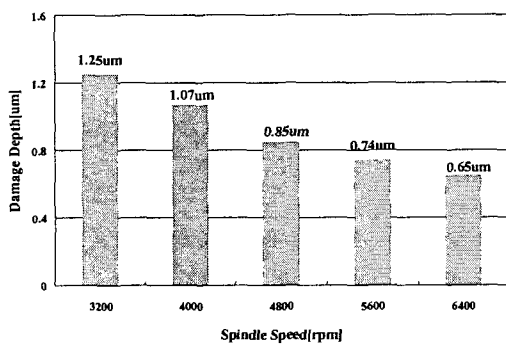


Fig. 6 Change of damage depth as wheel speed variation

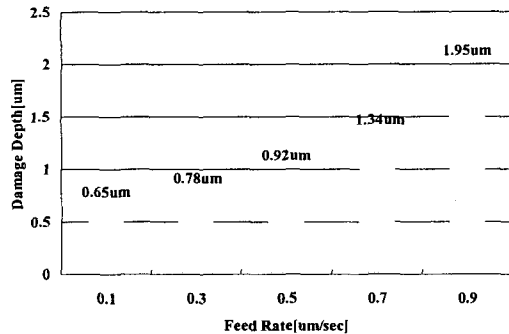


Fig. 7 Change of damage depth as feed rate variation

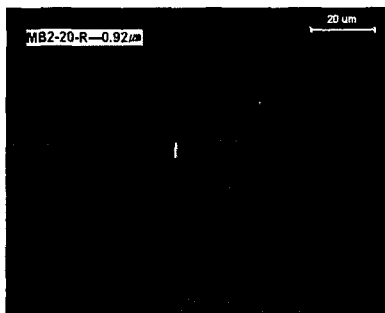


Fig. 8 View of damage depth : 0.92 $\mu\text{m}$

이송 속도가 0.3 $\mu\text{m}/\text{sec}$  부근이 적합하다고 생각되어진다. Fig.8 은 가공 변질층을 측정된 사진이다.

#### 4. 결론

본 연구는 웨이퍼 연삭 가공의 필요성 및 동향에 대해서 알아 보았고, 몇 가지 기초적인 실험을 통해 평탄도 및 가공 변질층 깊이를 측정하여 고찰하였다. 차세대 웨이퍼 제조 공정에서 연삭 가공은 필수적으로 인식되고 있다. 결론은 다음과 같다.

1. 웨이퍼 가공 공정에서 예칭에서 발생한 평탄도(TTV, STIR) 악화를 연삭 공정을 도입하여 향상 시킬 수 있다.
2. 연삭 가공은 웨이퍼 형상 제어가 용이하여 폴리싱 공정의 시간 단축을 유도하여 생산성을 높일 수 있다.
3. 평탄도(TTV, STIR)는 주축/테이블 회전 속도, 이송 속도보다는 스톨과 테이블 회전 축의 기울기 변화 등의 기하학적인 요소에 큰 영향을 받는다. 그리고, 그 형상은 후공정인 폴리싱 공정과의 관계를 고려하여 최적의 값을 설정해야 한다.
4. 주축/테이블 속도, 이송속도는 웨이퍼 표면의 Roughness, Damage Depth 에 영향을 준다.

#### 후 기

본 연구는 산업 자원부 중기 거점 과제인 "고기능성 부품 가공용 지능형 연삭 시스템"의 연구 결과의 일부이며, 이에 관계자 여러분께 감사드립니다.

#### 참고문헌

1. H. K. Tonshoff, W. V. Schmieden, I. Inasaki, W. Konig, G. Spur, "Abrasive Machining of Silicon," Annals of the CIRP, Vol. 39(2), pp. 621 - 630, 1990.
2. ITRS : International Technology Roadmap for Semiconductors, 1999 Edition, Front End Processes, Table 32a, pp.109 - 112
3. JEITA Nanotopography Experiments.
4. K. Abe, Y. Tomita, S. Isobe, "Ductile Mode Double Disc Grinding Machine for Super-Large Silicon Wafer," Advances of Abrasive Technology, pp. 45 - 52, 2000.
5. Z. J. Pei, A. Strasbaugh, "Fine Grinding of Silicon Wafers," Int. J. of Machine Tools & Manufacture, Vol. 41, pp. 659 - 672, 2001