

## 메모리 반도체 회로 손상의 예방을 위한 패키지 구조 개선에 관한 연구

### Appropriate Package Structure to Improve Reliability of IC Pattern in Memory Devices

이성민  
(Lee, Seong-Min)

#### Abstract

The work focuses on the development of a Cu lead-frame with a single-sided adhesive tape for cost reduction and reliability improvement of LOC (lead on chip) package products, which are widely used for the plastic-encapsulation of memory chips. Most of memory chips are assembled by the LOC packaging process where the top surface of the chip is directly attached to the area of the lead-frame with a double-sided adhesive tape. However, since the lower adhesive layer of the double-sided adhesive tape reveals the disparity in the coefficient of thermal expansion from the silicon chip by more than 20 times, it often causes thermal displacement-induced damage of the IC pattern on the active chip surface during the reliability test. So, in order to solve these problems, in the present work, the double-sided adhesive tape is replaced by a single-sided adhesive tape. The single-sided adhesive tape does not include the lower adhesive layer but instead, uses adhesive materials, which are filled in clear holes of the base film, just for the attachment of the lead-frame to the top surface of the memory chip. Since thermal expansion of the adhesive materials can be accommodated by the base film, memory product packaged using the lead-frame with the single-sided adhesive tape is shown to have much improved reliability. Author applied this invention to the Korea Patent Office for a patent (4-2000-00097-9).

**Key Words** : Memory device, Package, Lead-on-chip, IC pattern, Damage

#### 1. 서 론

현재 대부분의 반도체 회사에서는 memory chip의 포장기술로 LOC (lead on chip) 형태의 packaging 기술을 채용하고 있다 [1-4]. LOC package 구조는 double-sided adhesive tape (DSAT)을 이용하여 active chip 표면에 lead-frame을 직접 장착하도록 구성되어 있다. LOC package의 가장 큰 신뢰성 문제는

double-sided adhesive tape이 silicon chip에 비해 20배 정도 더 큰 열팽창계수 (C.T.E.) 값을 갖기 때문에 T/C (thermal cycling) 등 신뢰성 test 과정에서 active chip 표면에 대단히 큰 thermal stress를 유발 할 수 있다는 점이다 [5-6]. 이러한 thermal stress는 active chip 표면의 미세한 IC (integrated circuit) pattern에 치명적인 손상을 가져올 수 있다. 많은 반도체 회사에서 이러한 문제점을 극복하기 위해 thermal stress에 취약한 IC chip 표면을 가급적 피해 lead frame을 design하거나, IC pattern의 layout 자체를 변경하여 문제를 해결하는 임시 방편책에 의존하여 왔다. 그 결과 memory 용량의 증가에 따라 IC pattern의 design

---

인천대학교 재료공학과  
(인천시 도화동 177번지)  
Fax : 032-761-6658  
E-mail : smlee@incheon.ac.kr

이 변화될 때마다 lead frame design을 바꾸어야 하는 문제가 발생하였고, 그에 따른 개발기간의 지연이나, 인적, 물적 손실이 엄청난 것이 그동안의 현실이었다. 더욱 심각한 문제는 정보전달속도의 개선을 위해 기존의 alloy 42 대신 Cu를 이용한 lead-frame 재질로 전환하고 있는 반도체 회사들의 경우, Cu lead frame과 wire 접합 부위에서 hill crack 발생 (double-sided adhesive tape이 원인)으로 인한 심각한 신뢰성 문제에 직면해 있는 것이 또한 현실이다 [7]. 따라서 본 연구에서는 double-sided adhesive tape의 기본적인 기능에는 영향을 주지 않으면서, IC chip 표면에 유발되는 thermal stress를 최소화하여 IC pattern을 보호하고, Cu lead-frame 적용에 따른 hill crack 발생을 예방하면서, LOC 조립제품의 원가절감도 함께 도모할 수 있는 single-sided adhesive tape (본 연구 책임자 발명특허 출원번호 4-2000-000971-9)을 개발하여 보다 저렴하고, 품질이 향상된 LOC 제품의 생산을 유도하고자 한다.

## 2. 실험

본 연구에서는 silicon wafer에 1 $\mu$ m 두께의 SiO<sub>2</sub>를 deposit한 후 Al을 이용한 금속배선을 0.8 $\mu$ m 두께로 sputtering에 의해 coating하였고, Al metal을 보호하는 역할을 수행하는 passivation (불활성 막질)은 CVD (chemical vapor deposition) 기술을 이용하여 deposit된 SiN 막질을 이용하였다. 이때 SiN passivation 막질은 CVD에 의해 deposit될 경우 900 $^{\circ}$ C 정도까지 재결정 없이 안정한 amorphous 상태로 남아 plastic을 이용한 반도체 조립제품의 경우 수분흡수에 의한 metal line의 corrosion damage를 효과적으로 차단할 수 있기 때문에 가장 널리 쓰이는 보호막질이다. Single-sided adhesive tape (SSAT)의 적용에 따른 wafer level 공정단순화에 대한 검증을 위해 stress buffering 등의 역할을 수행하는 SiO<sub>2</sub> 층이 제거된 상태에서 specimen들이 준비되었다. 또한 metal conductor와 SiN 막질의 최종 보호막 역할을 수행하는 polyimide를 10 $\mu$ m의 두께로 spin coating하였다. 이때 polyimide는 tape의 base film과 유사한 물성을 지닌다. Si chip의 두께를 300 $\mu$ m, chip 면적은 1.0 $\times$ 2.0cm<sup>2</sup>의 dimension을 갖도록 dicing하였다. Sawing 공정은 30 $\mu$ m 두께의 diamond blade를 50,000 rpm으로 회전시켜 수행하였다. 이와같이 준비된 die들은 epoxy molding compound를 이용하여 LOC 형태로 조립되었다.

Table 1. Specimen split 조건.

Lead frame	Tape design	No. of specimen
Alloy 42	D.S.A.T.	20
	S.S.A.D.	20
Copper	D.S.A.T.	20
	S.S.A.T.	20

Table 2. Thermal cycling test 조건.

Temperature range ( $^{\circ}$ C)	Frequency (min.)	Hold time (min.)	Ramp time (min.)
-65 ~ 150	1/30	17	13

Table 3. Packaging materials의 물리적 특성.

Silicon chip	Materials	silicon
	C.T.E. (ppm/ $^{\circ}$ C)	2.6
Modulus (N/m <sup>2</sup> )	1.88 $\times$ 10 <sup>11</sup>	
Thickness ( $\mu$ m)	~ 300	
Package Body	Materials	epoxy
	C.T.E. (ppm/ $^{\circ}$ C)	11
	Modulus (N/m <sup>2</sup> )	2.3 $\times$ 10 <sup>10</sup>
Thickness ( $\mu$ m)	1000	
Lead frame	Materials	alloy 42/copper
	C.T.E. (ppm/ $^{\circ}$ C)	4.5/17
	Modulus (N/m <sup>2</sup> )	1.45 $\times$ 10 <sup>11</sup> /1.32 $\times$ 10 <sup>10</sup>
Thickness ( $\mu$ m)	120/120	
Adhesive layer	C.T.E. (ppm/ $^{\circ}$ C)	50
	Modulus (N/m <sup>2</sup> )	2 $\times$ 10 <sup>9</sup>
	Thickness ( $\mu$ m)	17
Base layer	Materials	polyimide
	C.T.E. (ppm/ $^{\circ}$ C)	25
	Modulus (N/m <sup>2</sup> )	2 $\times$ 10 <sup>9</sup>
Thickness ( $\mu$ m)	25	

LOC 구조는 150 $\mu$ m 두께의 lead frame 재질을 alloy 42와 Cu 두가지로 분류하여 packaging하였으며, 이들의 mounting에 필요한 tape은 기존의 double-sided adhesive tape (lower adhesive/base/upper adhesive)와 새로이 design된 single-sided adhesive tape (base/upper adhesive)으로 각각 차별화하여 조립되었다. (Table 1 참조)

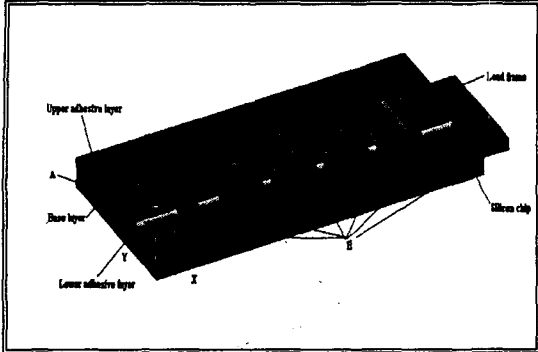


Fig. 1. 응력해석을 위한 LOC 구조.

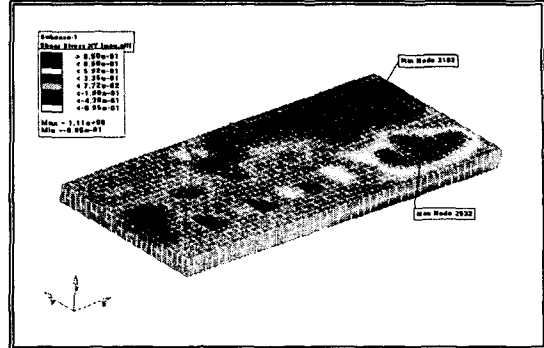


Fig. 3. 칩 표면에서의 전단응력분포.

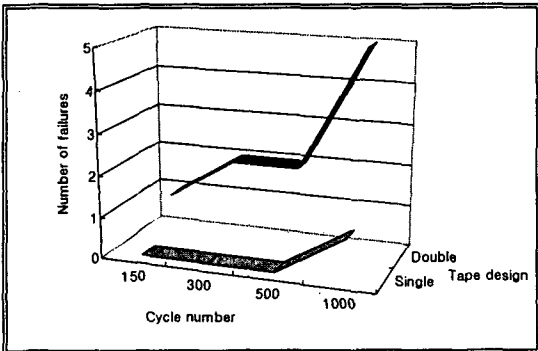


Fig. 2. Tape design 변화에 따른 T/C 신뢰성.

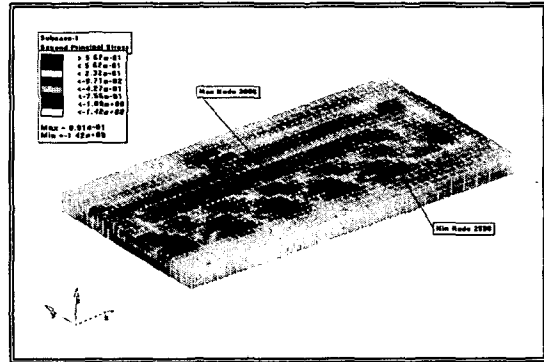


Fig. 4. 칩 표면에서의 인장응력분포.

신뢰성 test는 adhesive tape에 가장 민감한 반응을 나타내는 thermal cycling test에 국한되어 실시되었다. Thermal cycling test는 1000 cycle까지 수행되었으며 test 조건은 Table 2에 정리하였다. Thermal cycling test를 마친 시편들은 plastic resin (즉, package body)과 tape을 KOH를 이용하여 제거한 후 불량발생 여부를 microscope를 이용하여 조사하였다. 일차적으로 active chip 표면의 metal line의 damage 발생 여부를 optical microscope를 이용하여 조사한 후 defect가 발견될 경우 SEM을 이용하여 정밀 조사하였다.

실험결과와 타당성에 대한 고찰을 위해 위의 여러 조건별로 LOC 구조변화에 대한 FEM model이 구성되어 온도변화에 의해 칩 표면에 가해질 수 있는 응력변화를 계산하였다. Table 3은 계산에 입력된 패키징 재료의 물성을 열거한 것이고, Fig. 1은 LOC의 FEM model을 나타낸 것이다.

### 3. 시험결과 및 고찰

Fig. 2는 양면테이프를 사용하여 조립된 LOC 시료와 단면테이프를 사용하여 조립된 LOC 시료들의 온도변화에 따른 칩 표면의 손상 정도를 비교한 그래프이다. 단면테이프를 가진 LOC 시료들의 경우 양면테이프를 가진 시료들에 비해 불량률이 현저히 낮다는 것을 확인할 수 있으며, 이는 온도변화 실험 동안 양면테이프의 아래 접착재에 의해 발생하는 과도한 열팽창이 단면테이프의 경우 기지층에 의해 효과적으로 흡수되어 칩 표면의 손상을 최소화 시킨 결과라는 것을 알 수 있다. 또한 단면테이프의 경우 기지층내 홀의 크기가  $100\mu\text{m}$  정도일 경우 그 밀도변화에 관계없이 칩 표면의 회로손상을 효과적으로 차단하는 역할을 수행한다는 것은  $100\mu\text{m}$  크기의 홀 내부에 채워진 상부접착재가 온도변화 실험 동안 과도한 열팽창을 하더라도 기지층에 의해 효과적으로 차단된다는 것을 반증하는 것이다.

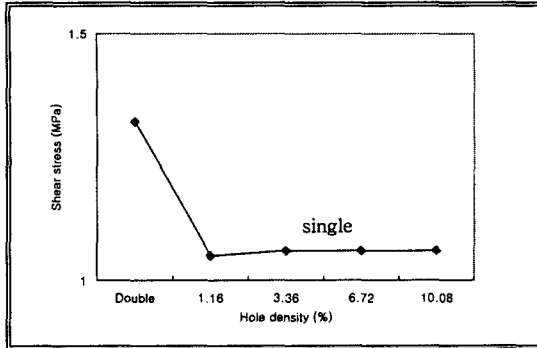


Fig. 5. Tape design 변화에 따른 전단응력.

실험적 결과치에 대한 이론적 검증을 위해 실시된 조건별 LOC model에서의 칩 표면에 대한 응력 해석결과는 실험적 결과에 대한 타당성을 잘 설명해 주고 있다. Fig. 3과 Fig. 4는 칩 표면에서의 전단응력(칩 길이방향)과 인장응력(칩에 수직인 방향) 분포를 나타내는 것이다. 각 조건별 응력변화에 대한 결과치를 Fig. 5에서 볼 수 있다. 칩 표면의 회로손상에 가장 직접적인 영향을 미치는 것으로 알려진 전단응력의 경우 단면테이프의 경우 양면테이프에 비해 응력치가 20% 이상 감소한다는 것을 계산 결과를 통해 확인할 수 있었다. 실험적 결과와 이론적 검증을 통해 양면테이프의 아래 접착재의 과도한 열팽창은 아래 접착재가 적절하게 제거된 단면테이프를 사용하여 칩 표면에 미치는 손상을 대단히 효과적으로 줄일 수 있다는 것을 알 수 있었다.

#### 4. 결론

본 연구에서는 리드 온 칩 패키징 기술로 만들어진 반도체 제품의 신뢰성에 가장 치명적인 요인인 양면접착테이프를 기지층에 흡을 갖는 단면테이프로 구조변경하여 리드 프레임과 칩 표면과의 접착력에는 큰 영향을 주지 않으면서 칩 표면의 손상을 최소화할 수 있다는 것을 보여 주었다. 실험결과는 단면테이프의 경우 기지층내 상부 접착재에 의해 리드 프레임과 칩 표면사이의 접착력을 그대로 유지하면서 칩 표면의 손상에 결정적인 영향을 미치는 아래 접착재를 효과적으로 제거하여 칩 표면의 신뢰성을 보장할 수 있다는 것을 보여주었다.

컴퓨터를 이용한 이론적 응력해석에서도 양면테이프를 특수한 구조의 단면테이프로 구조변경하였을 때 칩 표면에 가해질 수 있는 전단응력이 20% 이상 감소한다는 것을 보였다. 따라서 실험적 분석 및 이론적 해석결과를 종합해 볼때 단면 접착테이프를 이용하여 조립된 리드 온 칩 반도체 제품이 기존의 반도체 제품들에 비해 더 우수한 신뢰성을 갖게 될 수 있다는 사실이 증명되었다.

#### 감사의 글

본 연구는 한국과학재단 목적기초연구사업 연구비지원(2000-1-301-018-3)에 의해 수행되었으므로 이에 감사 드립니다.

#### 참고 문헌

- [1] E. Suhir, 37th Electronics Component Conference, IEEE/(EIA), p.508, 1987.
- [2] D. Hagen, et al., Proceedings of the IEEE CHMT International Electronics Manufacturing Technology Symposium, p.39-47, 1992.
- [3] M. Lamson, et al., Proceedings of the IEEE ECTC, p.1045, 1993.
- [4] B. Natarajan, et al., Proc.36th Electronic Component conference, IEEE, p.226, 1986.
- [5] M. Lamson, et al., Proc. of the IEEE ECTC, p.1045, 1993.
- [6] S.M. Lee, et al, Proceedings of the 45th IEEE ECTC, p. 455, 1995.
- [7] T. Suzumura, et al, Hitachi Cable Review, Vol. 9, August 1990, p.63, 1990.
- [8] Michael G. Pecht, "Plastic-Encapsulated Microelectronics" John Wiley & Sons, Inc., p.304, 1995.
- [9] W.T. Chen, et al. IBM J. RES. DEV., Vol. 23(2), p. 179, 1979.
- [10] Shyam P. Murarka, "Metallization-Theory and Practice for VLSI and ULSI" by Reed Publishing Inc., p.71, 1993.