

## 1×10<sup>6</sup>회 이상의 프로그램/소거 반복을 보장하는 Scaled SONOS 플래시메모리의 새로운 프로그래밍 방법

### A New Programming Method of Scaled SONOS Flash Memory Ensuring 1×10<sup>6</sup> Program/Erase Cycles and Beyond

김병철\*, 안호명\*\*, 이상배\*\*, 한태현\*\*, 서광열\*\*

(Byungcheul Kim\*, Ho-Myoung An\*\*, Sang-Bae Yi\*\*, Tae-Hyeon Han\*\*, Kwang-Yell Seo\*\*)

#### Abstract

In this study, a new programming method, to minimize the generation of Si-SiO<sub>2</sub> interface traps of scaled SONOS flash memory as a function of number of program/erase cycles has been proposed. In the proposed programming method, power supply voltage is applied to the gate, forward biased program voltage is applied to the source and the drain, while the substrate is left open, so that the program is achieved by Modified Fowler-Nordheim (MFN) tunneling of electron through the tunnel oxide over source and drain region. For the channel erase, erase voltage is applied to the gate, power supply voltage is applied to the substrate, and the source and drain are open. A single power supply operation of 3 V and a high endurance of 1×10<sup>6</sup> program/erase cycles can be realized by the proposed programming method. The asymmetric mode in which the program voltage is higher than the erase voltage, is more efficient than symmetric mode in order to minimize the degradation characteristics of scaled SONOS devices because electrical stress applied to the Si-SiO<sub>2</sub> interface is reduced by short programming time.

**Key Words** : Scaled SONOS, Flash Memory, Asymmetric Programming, 3 V Single Power Supply, 1×10<sup>6</sup> Program/Erase Cycles.

#### 1. 서 론<sup>1)</sup>

장래의 플래시메모리는 고집적, 단일 저 전원 동작, 고신뢰성을 동시에 만족하는 소자구조를 필요로 하고 있다. 플래시메모리에서 현재 주류를 이루고 있는 적층형 부유게이트 구조는[1] 프로그램을 위해 CHE (channel hot electron) 주입방식을 이용하기 때문에 프로그램전압이 높고, 주입효율이

낮으며, 3 V 단일 전원 동작을 고려할 경우, hot carrier 주입으로는 산화막이 갖고있는 3.2 eV의 에너지 장벽 높이를 넘을 수 없기 때문에 단일 전원화가 어렵다. 이에 비해 SONOS(polysilicon-oxide-nitride-oxide-semiconductor) 구조는[2] 프로그램/소거를 위해 MFN(modified Fowler-Nordheim) 터널링 방식을 사용하기 때문에 낮은 프로그래밍 전압을 실현 할 수 있으며, 프로그램/소거전류가 작기 때문에 별도의 외부전원 없이 칩 내부에 있는 승압회로에 의해 프로그램/소거 전압을 생성할 수 있으므로 단일 전원화가 용이하다. 소자의 게이트와 기판 사이의 전압 차이만을 이용하여 프로그래밍을 하기 때문에 소스와 드레인 사이에는 전압 차이가 발생하지 않는다. 따라서 적층

---

\* 진주산업대학교 전자공학과  
경남 진주시 칠암동 150번지  
Fax: 055-751-3339  
E-mail: bckim@jinju.ac.kr  
\*\* 광운대학교 전자재료공학과  
서울 노원구 월계동 447-1

형 부유게이트 구조보다 채널길이를 더 짧게 하는 것이 가능하기 때문에 고집적화에 유리하며, 최근 0.1  $\mu\text{m}$  이하의 스케일링이 검증되었기 때문에[3] 장래의 플래시메모리를 위하여 가장 적합한 구조로 주목받고있다.

SONOS 구조는 일반적으로 채널 전체를 이용하는 프로그램/소거 방법을 사용하기 때문에 프로그램/소거 반복에 따라 채널전면에서 Si-SiO<sub>2</sub> 계면트랩이 증가하게 되어 프로그램과 소거상태에서 소자의 문턱전압이 모두 증가하는 경향을 나타낸다. 이러한 특성은 프로그램과 소거상태에서 초기의 문턱전압이 프로그램/소거 반복에 따라 변하기 때문에 소자가 열화된 후에는 프로그램과 소거상태를 정확히 판독할 수 없게 된다. 따라서 본 연구에서는 프로그램/소거 반복에 따라 Si-SiO<sub>2</sub> 계면트랩의 생성이 최소화 될 수 있는 프로그램/소거 방법을 제안한다.

## 2. Scaled SONOS 트랜지스터의 제작

0.35  $\mu\text{m}$  CMOS 공정기술을 사용하여 터널링산화막, 질화막, 그리고 블로킹산화막의 두께가 각각 2.4 nm, 4.0 nm, 그리고 2.5 nm인 SONOS 트랜지스터를 제작하였으며, 단면구조를 그림 1에 나타내었다.

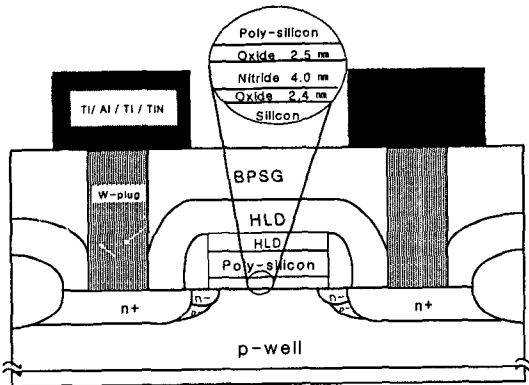


그림 1. SONOS 소자의 단면구조.

Fig. 1. Cross-sectional view of a SONOS device.

터널링산화막은 900°C에서 질소로 희석시킨 산소(O<sub>2</sub> 5%)를 사용하여 상압에서 건식 산화하였으며, 770°C에서 SiH<sub>2</sub>Cl<sub>2</sub>와 NH<sub>3</sub>의 혼합 가스(SiH<sub>2</sub>Cl<sub>2</sub>:NH<sub>3</sub>=30 sccm:330 sccm)를 반응시켜 55 Pa의 감압로에서 11.6 A/min.의 증착율로 터널링산화막 위에 질화막을 증착하였다. 블로킹 산화막

은 950°C, 상압에서 H<sub>2</sub>:O<sub>2</sub>=5 L/min.:10 L/min.인 혼합가스를 사용해서 습식 산화방법으로 질화막 위에 성장시켰다.

## 3. 결과 및 고찰

3가지의 서로 다른 프로그램/소거 방법을 적용하여 열화가 최소화 될 수 있는 프로그램/소거 방법을 조사하였으며 그 결과를 그림 2에 나타내었다. 그림 2에서 3가지의 프로그래밍 방법은 모두 프로그램 전압(V<sub>P</sub>)과 프로그램시간(T<sub>P</sub>)이 V<sub>P</sub>=+8.5 V, T<sub>P</sub>=50 ms이며, 소거전압(V<sub>E</sub>)과 소거시간(T<sub>E</sub>)은 V<sub>E</sub>=-8.5 V, T<sub>E</sub>=500 ms로서 프로그램과 소거전압의 크기가 같은 대칭프로그래밍(symmetric programming) 조건을 적용하였다.

프로그래밍 방법 1은 3 V를 게이트에 인가하고, 소스, 드레인, 그리고 기판에는 -5.5 V를 인가하여 프로그램하며, 게이트에 -5.5 V, 소스, 드레인, 그리고 기판에는 3 V를 인가하여 소거한다. 프로그래밍 방법 2에서 프로그램은 프로그래밍 방법 1과 동일하며, 소거는 소스, 드레인, 그리고 기판이 접지된 상태에서 게이트에 -8.5 V의 전압이 인가된다. 프로그래밍 방법 3은 기판을 플로팅한 상태에서 게이트에 3 V, 드레인과 소스에는 -5.5 V를 인가하여 프로그램하며, 드레인과 소스를 플로팅한 상태에서 게이트와 기판에 각각 -5.5 V와 3 V를 인가하여 소거한다.

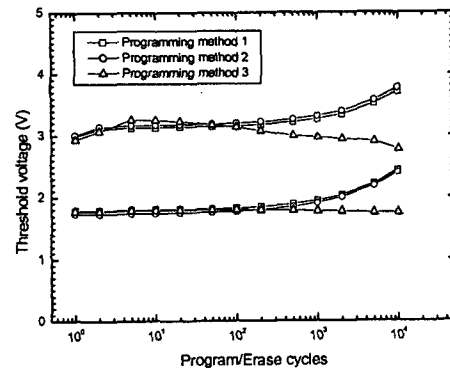


그림 2. SONOS 소자의 프로그램/소거 반복특성.

Fig. 2. The program/erase characteristics of SONOS device.

그림 2에서 알 수 있는바와 같이 프로그래밍 방법 1과 2에서는 1×10<sup>3</sup> 프로그램/소거 반복 후부터 프로그램과 소거상태에서 소자의 문턱전압이 모두 증가하는 경향을 나타내고 있다. 그러나 프로그래밍

방법 3에서는  $1 \times 10^4$  프로그램/소거 반복 전과 후의 프로그램과 소거상태에서의 문턱전압은 차이가 없음을 알 수 있다. 이것은 프로그래밍 방법 1과 2에서는 프로그램과 소거동작이 모두 채널영역을 통하여 이루어지는 반면, 프로그래밍 방법 3에서는 소스와 드레인 영역만을 이용하여 프로그램하고, 소거 할 때는 채널영역만을 이용하기 때문에 열화현상이 감소되기 때문으로 해석할 수 있다.

그림 3은 프로그램/소거 반복에 따른 열화 현상을 정량적으로 조사하기 위하여 프로그램/소거 반복 전과 3가지의 서로 다른 프로그래밍 방법을 사용하여  $1 \times 10^4$  프로그램/소거 반복 후의 계면트랩 밀도를 비교한 결과이다.

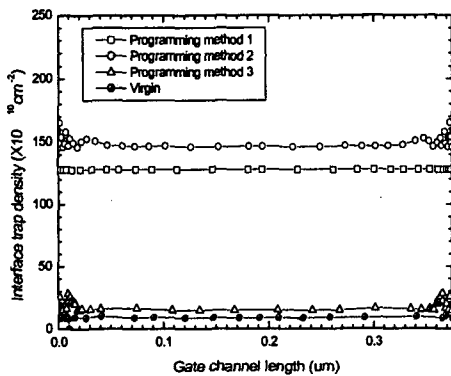


그림 3. 프로그램/소거 반복 전과 3가지의 서로 다른 프로그래밍 방법에 의한  $1 \times 10^4$  프로그램/소거 반복후의 실리콘-터널링산화막 계면트랩밀도.

Fig. 3. The interface trap density in the silicon-tunnel oxide before program/erase cycle and after  $1 \times 10^4$  program/erase cycles by the three programming methods.

SONOS 트랜지스터의 채널길이에 따른 실리콘-터널링산화막 계면트랩밀도의 공간적인 분포는 드레인과 소스에서 각각 측정된 단일 접합 전하 펄핑 전류의 기울기와 문턱전압 분포의 기울기로부터 직접 계산할 수 있다[4]. 그림 3에서 나타낸바와 같이 질화막을 스케일링한 SONOS 소자의 프로그램/소거 반복 전의 초기계면트랩은 채널 전체에 걸쳐 균일하게 분포하고 있으며, 계면트랩 밀도는  $8.73 \times 10^{10} / \text{cm}^2$ 이었다.  $1 \times 10^4$  프로그램/소거 반복 후, 프로그래밍 방법 1의 경우에는 채널영역의 계면트랩밀도가  $1.28 \times 10^{12} / \text{cm}^2$ , 프로그래밍 방법 2의 경우에는  $1.46 \times 10^{12} / \text{cm}^2$ , 프로그래밍 방법 3의 경우에는  $1.51 \times 10^{11} / \text{cm}^2$ 으로 가장 낮게 나타남으로써 그림 2의  $1 \times 10^4$  프로그램/소거 반복 후

문턱전압의 측정결과와 일치하였다. 프로그래밍 방법 2를 적용한 경우, 채널영역의 계면트랩밀도가 가장 높게 나타났는데, 이것은 MFN 터널링이 되도록 기판에 대하여 소자의 게이트에만 높은 프로그램/소거 전압이 인가되기 때문으로 해석할 수 있다. 프로그래밍 방법 3의 경우에 소스와 드레인 영역의 계면트랩밀도는  $2.21 \times 10^{11} / \text{cm}^2$ 이었으며, 채널영역보다 소스와 드레인 영역에서 계면트랩밀도가 조금 더 높은 것은 소자제작공정에서 소스/드레인 이온주입과 게이트 스택식각 공정 때문에 소스/드레인 부근의 실리콘-터널링산화막 계면이 손상되었기 때문으로 해석할 수 있다.

프로그램과 소거전압의 크기가 같은 대칭프로그래밍(symmetric programming) 조건과 소거전압의 크기보다 프로그램전압의 크기가 큰 비대칭프로그래밍(asymmetric programming) 조건을 프로그래밍 방법 3에 적용하여 각각  $1 \times 10^5$  프로그램/소거 반복 후와 전의 실리콘-터널링산화막 계면트랩밀도를 비교한 결과를 그림 4에 나타내었다.

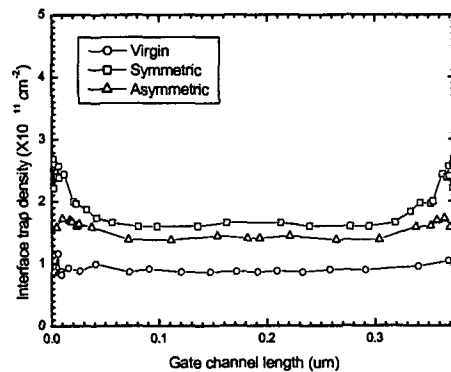


그림 4. 프로그램/소거 반복 전, 프로그래밍방법3을 적용한 대칭프로그래밍 조건, 그리고 비대칭프로그래밍 조건에 의한  $1 \times 10^5$  프로그램/소거 반복 후의 실리콘-터널링산화막 계면트랩밀도.

Fig. 4. The Si-SiO<sub>2</sub> interface trap density in the virgin state and after the symmetric and asymmetric  $1 \times 10^5$  program/erase cycles of programming method 3.

제작된 SONOS 소자는  $V_P=+8.5 \text{ V}$ ,  $t_P=10 \text{ ms}$ 의 프로그램 조건과  $V_E=-8.5 \text{ V}$ ,  $t_E=300 \text{ ms}$ 의 소거조건으로 프로그램과 소거상태를 스위칭할 수 있었다. 그러나 대칭프로그래밍 조건은 프로그램 속도가 10 ms로 느리기 때문에 비대칭프로그래밍 조건을 사용하면 프로그램 속도를 크게 향상시킬 수 있다. 따라서 비대칭프로그래밍 조건은 프로그램

전압( $V_P$ )과 프로그램시간( $T_P$ )이  $V_P=+10.0$  V,  $T_P=500$   $\mu$ s이며, 소거전압( $V_E$ )과 소거시간( $T_E$ )은  $V_E=-8.0$  V,  $T_E=500$  ms를 적용하였다.

그림 4에서  $1 \times 10^5$  프로그램/소거 반복 후, 대칭 프로그래밍 조건을 적용한 경우에는 채널영역의 계면트랩밀도가  $1.61 \times 10^{11}$  /cm<sup>2</sup>이며, 비대칭프로그래밍 조건을 적용한 경우에는  $1.40 \times 10^{11}$  /cm<sup>2</sup>이었다. 이것은 비대칭프로그램 조건이 대칭프로그램 조건보다 프로그램 전압은 더 높지만 프로그램 시간이 훨씬 짧으며, 소거전압이 더 낮기 때문에 소자의 실리콘-터널링산화막 계면에 주어지는 스트레스가 완화되기 때문으로 해석할 수 있다. 따라서 SONOS 소자의 열화특성을 최소화하기 위해서 프로그래밍 방법 3을 적용하더라도 소거전압보다 프로그램전압이 더 큰 비대칭프로그래밍 조건을 적용하는 것이 더 효과적임을 알 수 있다.

비대칭프로그래밍 조건을 적용한 프로그래밍 방법 3에 의한 SONOS 소자의  $1 \times 10^6$  프로그램/소거 반복특성을 그림 5에 나타내었다.

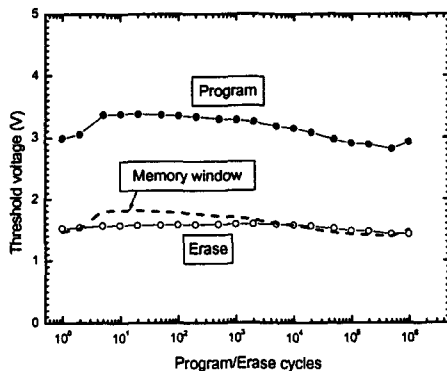


그림 5. 프로그래밍 방법 3에 의한 SONOS 소자의  $1 \times 10^6$  비대칭 프로그램/소거 반복특성.

Fig. 5. The asymmetric  $1 \times 10^6$  program/erase characteristics of SONOS device by the programming method 3.

그림 5에 나타낸바와 같이 비대칭프로그래밍 조건을 적용한 프로그래밍 방법 3에서는  $1 \times 10^6$  프로그램/소거 반복 후에도 SONOS 트랜지스터의 문턱전압 변화가 거의 없음을 알 수 있다. 프로그램 동작에서 게이트에 +3 V, 드레인과 소스에는 -7 V를 인가함으로써 게이트와 드레인, 게이트와 소스 사이에는 결과적으로 +10 V의 전압이 인가된다. 반대로 소거 동작에서는 게이트에 -5 V, 기판은 +3 V가 인가된다. 프로그래밍 방법 3은 기판에 대하여 소자의 게이트에 높은 프로그램/소거 전압

이 인가되지 않도록 게이트에 인가되는 프로그램 전압을 감소시킴으로써 3 V 저전압 단일전원에 의한 프로그래밍이 가능하도록 하며, 프로그램 동작에서 드레인과 소스에 동일한 크기의 순방향 전압이 인가되기 때문에 소스와 드레인 사이에는 전압 차이가 발생하지 않으므로 적층형 부유게이트 구조보다 채널길이를 더 짧게 하는 것이 가능하다. 그리고, 기판을 플로팅하기 때문에 드레인과 소스에 순방향 전압이 인가되더라도 기판전류를 생성시키지 않는다.

#### 4. 결론

Scaled SONOS 플래시메모리를 위하여 새롭게 제안된 프로그래밍 방법은 소스와 드레인 영역만을 이용하여 프로그래밍하고, 소거 할 때는 채널영역만을 이용하기 때문에 실리콘-터널링산화막 계면트랩의 생성을 최소화할 수 있으며, 기판에 대하여 소자의 게이트에 높은 프로그램/소거 전압이 인가되지 않도록 게이트에 인가되는 프로그래밍 전압을 감소시킴으로써 3 V 단일 전원에 의한 프로그래밍과  $1 \times 10^6$  이상의 프로그램/소거가 가능한 고신뢰성 SONOS 플래시메모리를 실현 할 수 있다.

#### 참고 문헌

- [1] V. N. Kynett, A. Baker, M. Fandrich, G. Hoekstra, O. Jungroth, J. Kreifels, S. Wells, and M. Winston, "An in-system reprogrammable 32K $\times$ 8 CMOS Flash memory", IEEE J. Solid-State Circuits, Vol. SC-23, No. 10, p. 1157, 1988.
- [2] P. C. Chen, "Threshold-alterable Si-gate MOS devices", IEEE Trans. Electron Devices, Vol. ED-24, p. 584, 1977.
- [3] Ichiro Fujiwara, Hiroshi Aozasa, Akihiro Nakamura, Yutaka Hayashi, and Toshio Koayashi, "MONOS memory cell scalable to 0.1  $\mu$ m and beyond", Non-volatile semiconductor memory workshop 13th-16th, p. 117, 2000.
- [4] 양전우, 홍순혁, 서광열, "Single junction charge pumping 방법을 이용한 전하 트랩형 SONOSFET NVSM 셀의 기억 트랩분포 결정", 전기전자재료학회논문지, 13권, 10호, p. 822, 2000.