

ONO 버퍼층을 이용한 Metal/Ferroelectrics/Insulator/Semiconductor 구조의 제작 및 특성

Fabrication and Properties of Metal/Ferroelectrics/Insulator/Semiconductor Structures with ONO buffer layer

이남열, 윤성민, 유인규, 류상욱, 조성목, 신웅철, 최규정, 유병곤, 구진근
(Nam-Yeal Lee, Sung-Min Yoon, In-Kyu You, Sang-Ouk Ryu, Seong-Mok Cho,
Woong-Chul Shin, Kyu-Jung Cho, Byoung-Gon Yu and Jin-Gun Koo)

Abstract

We have successfully fabricated a Metal-Ferroelectric-Insulator-Semiconductor (MFIS) structure using $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$ (BLT) ferroelectric thin film and $\text{SiO}_2/\text{Nitride}/\text{SiO}_2$ (ONO) stacked buffer layers for single transistor type ferroelectric nonvolatile memory applications. BLT films were deposited on 15 nm-thick ONO buffer layer by sol-gel spin-coating. The dielectric constant and the leakage current density of prepared ONO film were measured to be 5.6 and $1.0 \times 10^{-8} \text{ A/cm}^2$ at 2MV/cm, respectively. It was interesting to note that the crystallographic orientations of BLT thin films were strongly effected by pre-bake temperatures. X-ray diffraction patterns showed that (117) crystallites were mainly detected in the BLT film if pre-baked below 400°C. Whereas, for the films pre-baked above 500°C, the crystallites with preferred c-axis orientation were mainly detected. From the C-V measurement of the MFIS capacitor with c-axis oriented BLT films, the memory window of 0.6 V was obtained at a voltage sweep of $\pm 8 \text{ V}$, which evidently reflects the ferroelectric memory effect of a BLT/ONO/Si structure.

Key Words : BLT material, ONO thin films, MFIS structure, Nonvolatile memory

1. 서 론

강유전체 재료가 가지는 분극반전과 히스테리시스(메모리 윈도우) 특성을 이용하여 비휘발성 메모리를 구현하려는 시도가 각 연구기관을 중심으로 오래 전부터 활발히 진행중이다.⁽¹⁻²⁾ 특히 단일 트랜지스터 형태의 metal-ferroelectric-semiconductor field-effect transistor (MFSFET)는 random access operation과 비 파괴형 읽고 쓰기(NDRO) 동작이

가능하기 때문에 고속화, 저소비 전력화를 실현할 수 있는 큰 장점을 가진 메모리 구조이다. 이러한 메모리를 구현하기 위한 강유전체 물질로는 $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $\text{Pb}(\text{Zr},\text{Ti})\text{O}_3$, $\text{Bi}_{4-x}\text{La}_x\text{Ti}_3\text{O}_{12}$, LiNbO_3 , BaMgF_4 등과 같은 다양한 재료들이 사용되고 있다.⁽³⁻⁷⁾ 한편, MFS 구조는 실리콘 위에 강유전체 물질을 직접 형성해야 할 필요가 있기 때문에, 고온의 박막 결정화 열처리 과정에서 Si와 강유전체 박막의 계면에 각 구성 원소가 상호 확산하여 화학적 반응으로 인한 reactive layer나 품질이 좋지 않은 저유전율막 (SiO_x 등)을 생성하기 쉽다. 이러한 본질적인 문제 때문에, 양호한 성질을 가진 MFS 구조를 제작하기는 매우 곤란한 것으로 알려

한국전자통신연구원 집적회로연구부 다기능소자팀
(대전광역시 유성구 가정동 161번지)
Fax: 042-860-6836
E-mail : lny63420@etri.re.kr

져 있다.⁽⁸⁻⁹⁾ 그러므로, 이러한 현상들을 해결하기 위하여 새롭게 제안된 구조가 강유전체 박막과 Si 사이에 절연체 버퍼층을 삽입한 metal-ferroelectric-insulator-semiconductor field-effect transistor (MFIS FET)이다. 최근에는 Al_2O_3 , Ta_2O_5 , Y_2O_3 , ZrO_2 , Silicon Nitride 등과 같은 다양한 고유전율의 insulator층을 사용하여 고온에서 계면에 일어나는 반응과 charge injection과 같은 현상을 제어함으로써 비교적 양호한 특성을 보이는 MFIS 구조에 대한 보고가 활발히 이루어지고 있다.⁽¹⁰⁻¹⁴⁾

본 논문에서는 낮은 결정화 온도와 우수한 fatigue 특성으로 인하여 최근 많이 연구되고 있는 $Bi_{4-x}La_xTi_3O_{12}$ (BLT) 강유전체 재료를 이용하였다.⁽¹⁵⁾ BLT는 다양한 공정 조건의 변화에 따라 결정 성장 기구가 매우 민감하게 변화하는 물질로 알려져 있어, 결정 성장 방향에 따라 잔류분극 (2Pr), 항전계 (E_c), 비유전율 (ϵ) 등의 특성이 현저하게 변화한다. 따라서 본 연구에서는 BLT를 MFIS 구조에 적용하기 위한 조건을 찾고자 실험을 수행하였다. 또한 절연층으로는 SiO_2 와 nitride의 적층 구조인 ONO를 buffer로 채용하였다. ONO는 Si과의 우수한 계면 특성을 가지고 있을 뿐 아니라, 낮은 누설전류와 뛰어난 확산 barrier 특성을 가지고 있다. 박막 형성 조건 등을 최적화 함으로써 양호한 특성을 가진 BLT/ONO/Si 구조를 성공적으로 제작할 수 있었으며, 이렇게 제작된 구조의 재료적, 전기적 특성을 평가한 결과를 논의하고자 한다.

2. 실험방법

2.1 MFIS 구조의 제작

본 실험에서는 비저항이 $6\sim 9 \Omega \cdot cm$ 인 p-type Si(100) 기판을 사용하였다. 먼저 웨이퍼 표면을 세정한 후, ONO 적층 구조를 형성하였는데, 그 방법은 다음과 같다. 건식 열산화법에 의해 $850^\circ C$ 에서 약 50Å의 SiO_2 를 형성한 다음, LPCVD를 이용하여 50Å의 질화막을 증착하였다. 그리고 마지막으로 건식 열산화법에 의해 $900^\circ C$ 에서 50Å의 SiO_2 를 형성하여 ONO 적층 구조를 제작하였다. BLT 박막은 sol-gel spin-coating법을 이용하여 제작 조건을 변화시키면서 성막하였다. ONO/Si 구조의 기판 위에 스핀 코팅으로 증착한 BLT 박막을 $200^\circ C$ 에서 5분간 건조한 후, rapid thermal process (RTP) 장비를 이용하여 $300\sim 550^\circ C$ 까지 $50^\circ C$ 단위로 온도를 변화시키면서 중간 열처리 공정을 수행하였다. 이와 같은 과정을 원하는 박막

두께를 얻을 때까지 반복 진행하였다. BLT 박막의 결정화를 위한 최종 열처리 공정은, 산소 분위기 $600^\circ C\sim 800^\circ C$ 의 온도에서 30분간 furnace를 이용하여 수행하였다. 제작된 시료의 전기적 특성 평가를 위해서, Pt 박막을 DC 스퍼터링법으로 1000Å 증착한 후, lift-off법으로 전극 패터를 형성하였다. 이렇게 제작된 Pt/ONO/Si (MIS) 구조와 Pt/BLT/ONO/Si (MFIS) 구조를 가지고 전기적 특성과 구조적 특성 평가를 병행하였다. BLT 박막의 결정 구조와 미세 구조는 X-ray diffraction (XRD) 과 scanning electron microscopy (SEM)으로 분석하였다. 전기적 특성 평가에는 HP 4145B와 HP 4194A, HP 4156A를 이용하여 capacitance-voltage (C-V), leakage current density-voltage (J-V) 특성을 측정하였고, RT66A를 이용하여 P-E특성을 평가하였다.

3. 결과 및 고찰

3.1 BLT/ONO/Si 구조의 재료적 특성

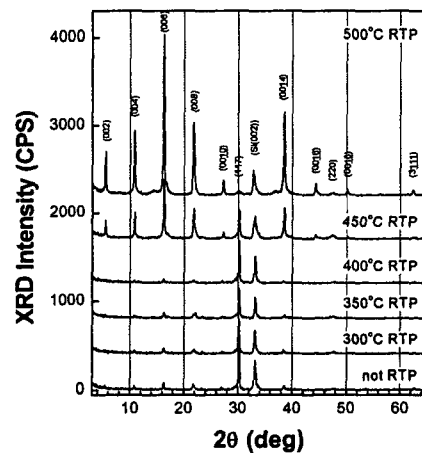


그림 1. BLT/ONO/Si 구조의 XRD 패턴

그림 1은 산소분위기 $700^\circ C$ 에서 30분 열처리한 BLT/ONO/Si(100) 구조의 중간 RTP 온도에 따른 XRD 패턴을 보인 것이다. 중간 RTP 온도는 $300\sim 500^\circ C$ 까지 변화시켰다. 그림에서 보는 바와 같이, 아몰퍼스의 ONO 구조 위에서 다양한 BLT 피크가 관측됨을 확인할 수 있었다. RTP 온도 $400^\circ C$ 까지는 (111) 방향의 결정성이 강하게 나타나는 반면, $450^\circ C$ 가 되면 (111) 방향의 결정 배향성

이 약화되고, c축 배향이 점점 강해져 비교적 random한 결정 성장 경향을 보인다. 그러다가 500°C 이상의 중간 열처리 온도에서는 결정의 배향 경향이 완전히 반전되어, (117) 피크가 사라지고 c축 방향의 결정이 우선 배향됨을 알 수 있다.

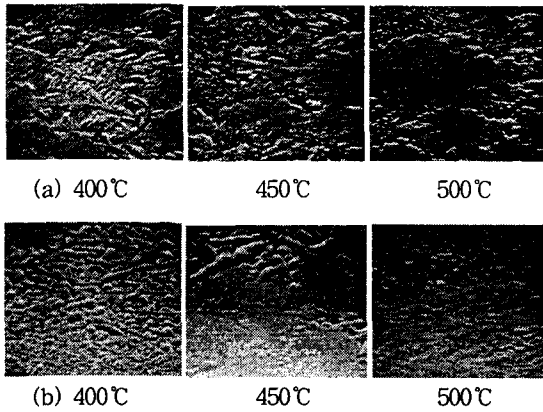


그림 2. RTP 온도에 따른 BLT/ONO/Si 구조의 SEM 사진

그림 2는 BLT 박막의 표면 morphology와 미세 구조를 관찰하기 위하여 중간 RTP 온도를 변화시키면서 제작한 BLT 박막의 SEM 사진을 보이고 있다. 200°C에서 건조한 후 중간 RTP 온도를 400°C, 450°C, 500°C로 하여 각각 열처리 한 다음 산소분위기에서 700°C 30분 최종 열처리를 수행하였다. 그림(a)는 한 층만 증착하여 700°C에서 최종 열처리를 수행한 미세구조 사진이다. 중간 열처리 온도가 400°C일 때, BLT 박막의 결정립 형태가 작고 가느다란 모양의 구조를 보이다가, 온도가 450°C로 증가하면서 전체적으로 미세한 모양의 grain이 줄어들면서 random하게 변화하고 있다. 그리고 500°C 이상의 온도가 되면서 morphology가 아주 매끄럽게 되고, 표면전체에 크고 평탄한 결정 모양으로 성장하였다. 이러한 표면 현상은 그림 2(b)에서 보듯이 같은 조건의 중간 RTP 과정을 거치며 3회 coating 한 BLT 박막의 표면 현상과 유사한 결과를 보여준다. 이러한 특성은 앞의 XRD 패턴 특성에서 살펴 본 바와 같이 중간 열처리 온도가 450°C 이상이면 (117) peak가 줄어들면서 c축 방향으로 배향되는 특성에 기인하는 것으로 생각되며, 결정 grain 모양이 표면에서 넓게 퍼지는 면이 c축 방향인 것으로 판단된다. 이러한 결

과를 미루어 보아 최종 성장된 BLT 박막의 결정 방향성은 첫 번째 층의 RTP 조건에 따라 변화하는 것을 알 수 있다. 이것이 seed layer로서 역할을 하여 최종 증착한 BLT 박막의 결정 방향에 영향을 주어 배향성이 결정되어진 것으로 사료된다.

3.2 Pt/ONO/Si (MIS)과 Pt/BLT/ONO/Si (MFIS) 구조의 전기적 특성

그림 3은 Pt/ONO/Si(100) 구조를 갖는 MIS 커패시터의 인가전압 ±5V에서의 1MHz C-V 특성 곡선을 나타낸 것이다. Si과 ONO buffer 사이에 우수한 계면 특성을 보이고 있다. 박막의 accumulation 영역에서 산출한 ONO 박막의 유전상수 값은 약 5.6으로써 이 값은 SiO₂의 유전상수(3.9)와 nitride의 유전상수(7.0)의 약 중간 정도의 값을 보임을 알 수 있다.

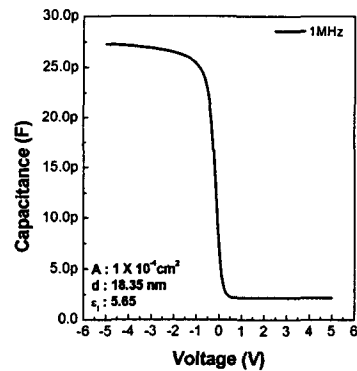


그림 3. Pt/ONO/Si 구조를 갖는 MIS 커패시터의 1MHz C-V 특성곡선

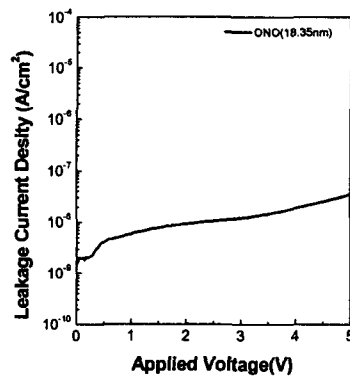


그림 4. Pt/ONO/Si(100) 구조를 갖는 MIS 커패시터의 게이트 누설전류밀도

그림 4는 MIS 구조의 leakage current density 특성 곡선을 나타낸 것이다. Pt/ONO/Si (MIS) 구조의 누설전류는 인가된 전계 2MV/cm 이상에서 1×10^{-8} A/cm² 이하로 SiO₂가 갖는 아주 우수한 누설전류 밀도 특성을 나타내었다.

interface 특성을 갖는 전형적인 고주파 C-V 곡선을 보이고 있으며 BLT 박막의 강유전체 분극 특성으로 인한 히스테리시스를 나타내고 있다. 이때 관측된 메모리 윈도우는 인가전압 $\pm 5V$ 에서 최대 0.35V였다.

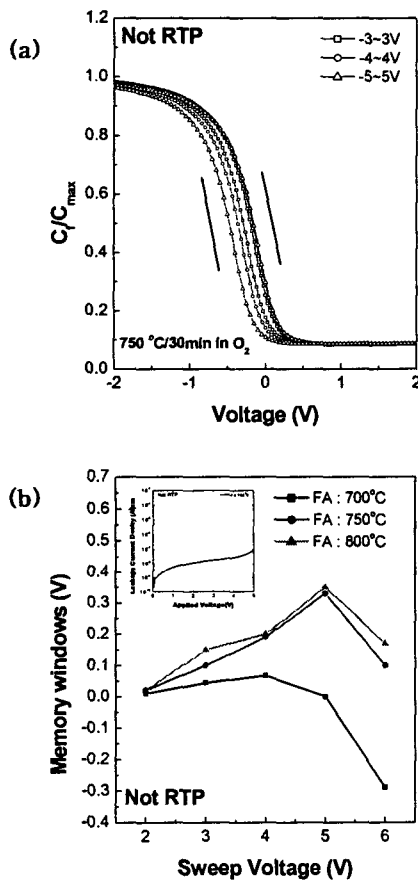


그림 5. 중간 RTP를 수행하지 않은 MFIS 구조의 C-V 특성곡선과 메모리 윈도우 변화

앞에서 분석한 재료적 특성을 기반으로 하여 MFIS 구조의 전기적 특성 변화를 비교 관찰하였다. 그림 5는 (117) 방향으로 결정성이 강하게 나타나는 증착 조건으로 제작한 Pt/BLT/ONO/Si 구조의 high frequency C-V 곡선과 메모리 윈도우 변화 특성을 나타낸 것이다. 200°C에서 건조한 후 중간 열처리를 수행하지 않고 증착한 다음 최종 열처리 온도를 변화시켜가면서 MFIS 커패시터를 제작하였다. 그림 5(a)에서 보이 듯이 양호한

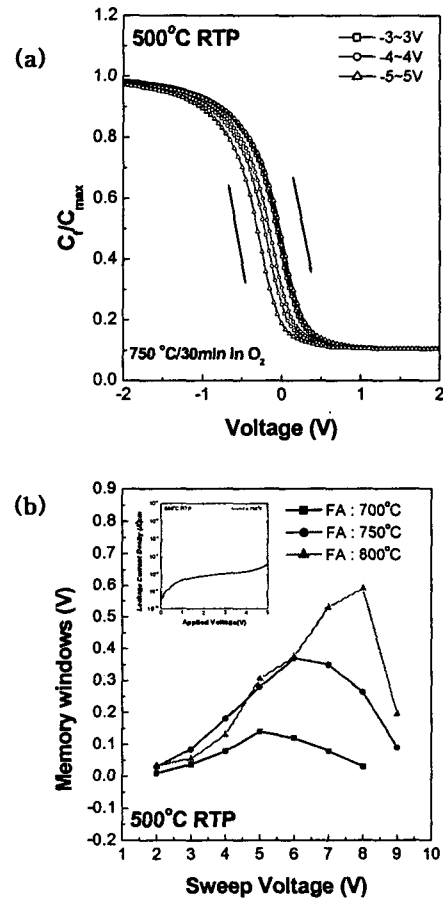


그림 6. 500°C에서 열처리한 Pt/BLT/ONO/Si 구조의 C-V 특성곡선과 메모리 윈도우 변화

그림 5(b)는 sweep voltage에 따른 메모리 윈도우의 변화를 보인다. 최종 열처리 온도가 700°C에서 800°C로 증가함에 따라 윈도우 값이 증가하고 있다. 인가전압 $\pm 5V$ 에서 최대값을 보이고 그 이상의 전압이 인가되면 메모리 윈도우가 감소되는 경향을 확인할 수 있었다. 직렬로 연결된 커패시터의 전압 분배 법칙에 의하면 강유전체 커패시터와 게이트 ONO 커패시터의 용량비가 중요하게 된다. 전압이 커지면서 유전율이 높은 BLT 보다는 상대

적으로 유전율이 낮은 ONO 층에 걸리는 전계가 커져서 ONO의 계면이나 막 자체에 전하가 트랩되거나 주입되는 현상이 발생하여 강유전체 특성을 감소시키는 것으로 판단된다.

그림 6은 c축 방향으로 성장시킨 Pt/BLT/ONO/Si 구조의 C-V 곡선과 메모리 윈도우 변화 특성을 나타낸 것이다. 500°C에서 열처리를 수행하여 증착한 후 최종열처리를 하였다. 그림 6(a)에서 보듯이 앞에서 살펴본 C-V 특성과 마찬가지로 인가전압 $\pm 5V$ 까지는 거의 비슷한 메모리 윈도우를 특성을 확인할 수 있었다. 반면에, 그림 6(b)에서는 인가전압이 $\pm 6\sim 8V$ 이상이 되어도 메모리 특성이 열화되지 않고 계속 증가하는 경향을 보인다. 이는 c축으로 배양된 박막이 구조적으로 좀 더 치밀하고 우수한 morphology를 가지고, 높은 전압에서도 leaky하지 않으면서 낮은 유전율을 나타내기 때문으로 생각된다.

4. 결 론

적층 구조의 ONO buffer층을 이용하여 Pt/BLT/ONO/Si 구조의 MFIS 커패시터를 성공적으로 제작하였으며, MFIS-FET의 적용 가능성을 확인하였다. buffer층으로 사용한 ONO 박막의 특성을 확인한 결과 우수한 interface 특성을 보였으며 1MHz C-V 특성곡선의 축적상태로부터 계산한 ONO 박막의 유전상수 값은 약 5.6을 나타냈다. 또한 게이트 누설전류밀도는 전계 2MV/cm 이상에서 $1 \times 10^{-8} A/cm^2$ 이하로 측정되었다. 이를 이용하여 제작한 BLT/ONO/Si 구조에서 X선 회절 패턴을 분석해 본 결과 중간열처리 온도 400°C까지는 (117) peak이 강하게 나타나다가 450°C 이상이 되면 (117) peak이 약해지면서 c축 방향으로 결정성이 강하게 성장하는 특성을 보였다. 이러한 결정 배향의 반전 특성을 바탕으로 하여 MFIS 커패시터를 제작하여 C-V 특성을 측정한 결과 BLT 박막의 강유전성으로 인한 히스테리시스 특성과 메모리 window를 확인할 수 있었다. (117) 결정 방향으로 성장시킨 MFIS 구조의 최대 메모리 윈도우는 인가전압 $\pm 5V$ 에서 약 0.35V 이고, c축 방향으로 성장시킨 구조에서는 인가전압 $\pm 8V$ 에서 약 0.6V의 메모리 윈도우를 확보 할 수 있었다.

감사의 글

본 논문 작성에 도움을 주신 다기능 소자팀의 여러분들께 감사를 드립니다.

참고 문헌

- [1] S.-Y. Wu, IEEE Trans. Electron Devices, Vol. ED-21, No. 8, p. 499-504, Aug. 1974.
- [2] J. L. Moll and Y. Tarui, IEEE Trans. Electron Device ED-10, 333, 1963.
- [3] C. A. Paz de Araujo, J. D. Cuchiaro, L. D. McMillan, M. C. Scott, and J. F. Scott, Nature (London) 374, 627, 1995.
- [4] J. F. Scott and C. A. Paz De Araujo, Science 246, 1400, 1989.
- [5] B. H. Park, B. S. Kang, S. D. Bu, T. W. Noh, J. Lee and W. Jo, Nature(London) 401, 682, 1999.
- [6] Jong-Son Ryu, et all ETRI Journal Vol. 20, No. 2, p. 241, June 1998.
- [7] K. H. Kim, C. G. Kim, S. W. Jung, S. W. Lee, J. S. Lyu, B. G. Yu and W. J. Lee, "Metal - Ferroelectric - Semiconductor(MFS) FET's Using $LiNbO_3/Si(100)$ Structures For Nonvolatile Memory Application", 1998 Int. workshop on Advanced LSIs, Sapporo, Japan, July 23-24, Proceedings, p. 193-197, 1998.
- [8] Y. Shichi, H. Tokumitsu, T. Goto, K. Kuroiwa and Y. Tarui, Jpn. J. Appl. Phys. Vol. 33 p. 5172, 1994.
- [9] M. Lim and T. S. Kalkur, Integr. Ferroelectr. Vol. 14 p. 247, 1997.
- [10] I. Sakai, E. Tokumitsu, H. Ishiwara, Jpn. J. Appl. Phys., Vol. 35, 1996.
- [11] W. J. Lee, et all Jpn. J. Appl. Phys. Vol. 38, p. 2039-2043, 1998.
- [12] H. N. Lee, M. H. Lim, Y. T. Kim, T. S. Kalkur and S. H. Choh, Jpn. J. Appl. Phys. Vol. 37, p. 1107, 1998.
- [13] H. S. Chio, Y. T. Kim, S. I. Kim and I. H. Choi, Jpn. J. Appl. Phys. Vol. 44, p. 2940, 2001.
- [14] J. -P. Han and T. P. Ma, Appl. Phys. Lett. Vol. 72 p. 1185, 1998.
- [15] U. Chon, G. C. Yi and H. M. Jang, Appl. Phys. Lett. Vol. 78, p. 658, 2001.