

## 금속씨앗층과 N<sub>2</sub> 플라즈마 처리를 통한 Al/CeO<sub>2</sub>/Si 커패시터의 유전 및 계면특성 개선

### Improvement of dielectric and interface properties of Al/CeO<sub>2</sub>/Si capacitor by using the metal seed layer and N<sub>2</sub> plasma treatment

임동건\*, 광동주\*\*, 이준신\*

(Dong Gun Lim\*, Dong-Joo Kwak\*\*, and Junsin Yi\*)

#### Abstract

In this paper, we investigated a feasibility of cerium oxide(CeO<sub>2</sub>) films as a buffer layer of MFIS(metal ferroelectric insulator semiconductor) type capacitor. CeO<sub>2</sub> layer were prepared by two step process of a low temperature film growth and subsequent RTA (rapid thermal annealing) treatment. By applying an ultra thin Ce metal seed layer and N<sub>2</sub> plasma treatment, dielectric and interface properties were improved. It means that unwanted SiO<sub>2</sub> layer generation was successfully suppressed at the interface between the buffer layer and Si substrate. The lowest lattice mismatch of CeO<sub>2</sub> film was as low as 1.76% and average surface roughness was less than 0.7 nm. The Al/CeO<sub>2</sub>/Si structure shows breakdown electric field of 1.2 MV/cm, dielectric constant of more than 15.1 and interface state densities as low as  $1.84 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ . After N<sub>2</sub> plasma treatment, the leakage current was reduced with about 2-order.

**Key Words** : CeO<sub>2</sub>, buffer layer, MFIS capacitor, metal seed, N<sub>2</sub> plasma treatment

#### 1. 서 론

최근 강유전 물질이 가진 비휘발성, 고속 쓰기 등의 특성을 이용한 메모리 소자들이 많이 연구되고 있다. 하지만 MFS(metal ferroelectric semiconductor) 구조는 FRAM의 핵심부품일 뿐만이 아니라 기능성 neuron device의 응용에도 큰 기대가 모아지고 있다. 특히 FRAM의 경우 2T/2C 구조나 1T/1C 구조보다 cell size가 적으며 공정도 단순하며 저소비전력으로 구동이 가능하며, 고속의 쓰기 등의 이점으로 집적도나 공정면에서 유리한 점이 많다. 하지만 MFS 구조는 두 가지 큰 문제점을 안고 있다<sup>1)</sup>. 첫째로는 실리콘 기판 위에 Pb(Zr,Ti)O<sub>3</sub> (PZT)와 같은 강유전체 박막을 성장

시키면 Pb나 Ti등의 불순물들이 실리콘 기판으로 확산된다는 점이다. 이런 확산은 계면의 트랩을 증가시키며, Fermi level을 고정(pinning)시킨다. 또 다른 문제점은 실리콘 계면 위에 산화물계열의 PZT를 성장시키면 계면에 강유전상이 아닌 저유전층을 형성한다는 점이다. 이런 계면의 산화물 계열의 저유전층은 series capacitance 영향으로 외부에서 전기장을 인가했을 때 대부분의 전기장이 계면층 즉 non-ferroelectric 층에 걸리게 되므로 실제 강유전체 박막을 구동시키는데 치명적인 단점을 가지고 있다. 이러한 계면의 불안정성은 FRAM의 가장 큰 문제점인 피로와 열화현상의 주원인이 된다. 따라서 전기적으로 정상적인 트랜지스터 동작을 위해서는 강유전체/실리콘 계면의 계면 준위 밀도가 적어야 한다. 하지만 기존의 MFS 구조로는 양질의 계면특성 확보는 어려우므로 강유전체 박막과 실리콘 기판 사이에 버퍼 층을 사용하여 실

\* : 성균관대학교 정보통신공학부  
(경기도 수원시 장안구 천천동 300 성균관대학교  
Fax: 031-290-7159, E-mail: dglim@empal.com)

\*\* : 경성대학교 전기전자공학과

리콘과 강유전체 박막간의 격자부정합을 적게 하여 접착을 좋게 하고 실리콘 기판으로의 확산을 막음으로써 계면특성 개선할 수 있다.

CeO<sub>2</sub>는 특히 실리콘과의 격자부정합이 아주 작고 화학적 안정성이 뛰어나 버퍼로서 아주 유용하다<sup>2)</sup>. 본 논문에서는 CeO<sub>2</sub> 박막의 비유전율을 증가시키면서 누설 전류를 줄일 수 있는 방법에 관해 연구하였다. Ce 금속 씨앗층과 N<sub>2</sub> 플라즈마 처리를 통해 고유전율과 낮은 누설 전류를 실현하였다.

## 2. 실험

P-type 실리콘 (100) 기판을 BHF 용액을 써서 자연 산화막을 제거하고 표준 RCA 공정으로 세척하였다[2]. 후면에 진공증착기를 사용해 Al을 증착하고 ohmic 접촉 형성을 위해 RTA를 이용해 진공상태로 550°C에서 15분간 열처리하였다.

CeO<sub>2</sub> 박막을 증착시키기 전에 BHF (H<sub>2</sub>O<sub>2</sub>:HF=10:1) 용액으로 전면의 자연산화막을 제거한 후 곧바로 챔버 안에 장착하였다. 타겟은 Ce 금속을 사용하였으며 reactive magnetron sputtering 방법으로 CeO<sub>2</sub>를 성장시켰다. 주요한 성장변수는 기판 온도, 아르곤/산소의 비율, rf power 등이다. CeO<sub>2</sub> 증착시 챔버내로 유입되는 산소에 의해 실리콘 표면에 SiO<sub>2</sub>가 생성되는 것을 억제하기 위하여 챔버내로 Ar을 유입시켜 플라즈마를 발생시켜 Ce 금속 씨앗층을 4nm 정도 증착한 후 Ar과 O<sub>2</sub> 가스를 챔버내로 유입하여 CeO<sub>2</sub> 박막을 증착하였다. 증착된 CeO<sub>2</sub> 박막은 RTA로 산소 분위기에서 700°C, 2분간 열처리하였다. 상부 전극으로는 알루미늄을 진공증착기를 사용하여 증착하였으며 전기적 특성을 분석하기 위해 Capacitance-Voltage (C-V)와 Current-Voltage (I-V)를 측정하였다. 또 구조적 특성을 분석하기 위해 XRD와 AES 측정을 실시하였다.

## 3. 결과 및 고찰

그림 1은 기판온도를 가변하여 증착한 CeO<sub>2</sub> 박막의 XRD 곡선이다. r.f. power는 50 W였으며 Ar:O<sub>2</sub> 가스비는 7:3이었으며 증착압은 6 ~ 10 mTorr였다. Si 기판에서의 증착시에는 기판의 온도가 상승할수록 결정성 면에서는 더욱 우수한 박막이 생성되었음을 알 수 있다. XRD의 peak 세기와 FWHM을 고려하면 300°C 이상의 영역에서 결정화가 급속히 진행되는 것으로 나타났으며, 400°C에서 가장 우수한 특성을 보인다. 본 논문에서 제작된 CeO<sub>2</sub>의 박막은 계면의 산화막 생성을

억제하고 증착율을 향상시키기 위하여 Ce 씨앗층을 먼저 증착한 후 CeO<sub>2</sub>를 증착하였다. 이 경우 CeO<sub>2</sub> (111)면은 Ce와 O 원자를 가지는데 씨앗층을 먼저 증착한 경우 Ce 원자가 산소와 결합하려는 경향이 강하여 CeO<sub>2</sub> (111) 면으로 우선 성장하게 된다.

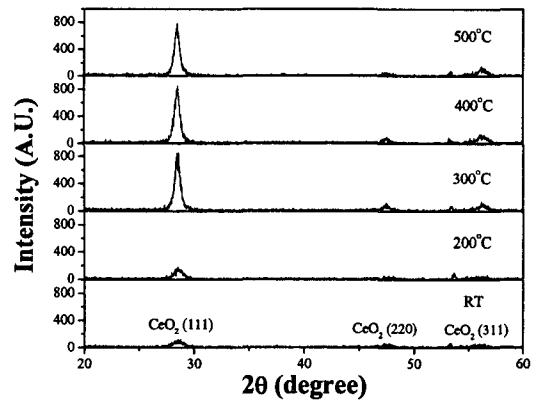


그림 1. 기판온도에 따른 CeO<sub>2</sub> 박막의 XRD 결과  
Fig. 1. XRD result of CeO<sub>2</sub> films as a function of substrate temperature

그림 2는 Cohen 법으로 계산한 CeO<sub>2</sub> 박막의 기판온도에 따른 격자상수 값의 변화를 보여주고 있다. 기판 온도가 상승할수록 격자상수가 벌크일 때의 값과 가까워짐을 알 수 있다. 따라서 격자상수와 결정성 면에서 볼 때 기판 온도가 증가할수록 개선되고 있음을 알 수 있다.

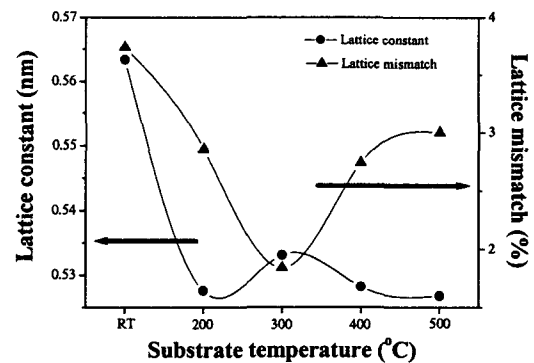


그림 2. 기판 온도에 따른 CeO<sub>2</sub> 박막의 격자 상수와 격자부정합

Fig. 2. Lattice constant and lattice mismatch of CeO<sub>2</sub> films for different substrate temperature.

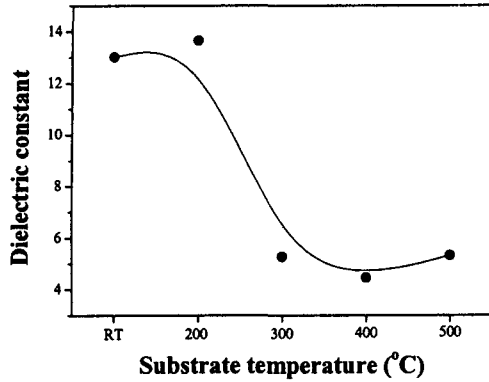


그림 3. 기판온도에 따른 CeO<sub>2</sub> 박막의 유전상수  
 Fig. 3. Dielectric constant of CeO<sub>2</sub> films for different substrate temperature

CeO<sub>2</sub>에 대한 전기적인 성질을 조사하기 위하여 C-V 분석을 하였다. C-V 곡선으로부터 구한 유전상수 값을 그림 3에 나타내었다. 결정성 평가에서는 기판의 온도가 상승함에 따라서 좋은 결과를 얻을 수 있었으나 C-V 특성에서는 기판 온도가 상승함에 따라 박막의 결정성이 더 우수해지는 반면 유전상수 값은 RT에서 13.01이고 400°C에서는 4.46으로 더욱 더 작아지고 있음을 알 수 있다. 이는 일정한 기판온도 이상에서는 실리콘 기판과 증착시 유입되는 산소 또는 산화한 씨앗 층에 존재하는 산소와 반응하여 생겨나는 저유전층이 더욱 더 두껍게 성장하는 것으로 생각되어진다. 이는 300°C 이상의 온도에서 현저히 증가하여 소자의 동작전압을 크게 하는 악영향을 미친다.

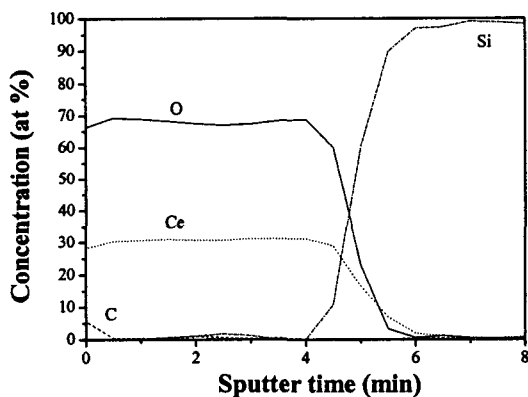


그림 4. CeO<sub>2</sub>/Si 시료에 대한 AES depth profile  
 Fig. 4. AES depth profile for the CeO<sub>2</sub>/Si sample

CeO<sub>2</sub> 박막은 기판의 온도가 상승하면 결정성이 더욱 더 우수해 지고, D<sub>it</sub> 값이 개선되는 것으로 나타났다. 하지만 증착과정에서의 산소와 적당한 기판온도 등의 여건으로 인해서 저유전층이 생성되므로 유전율은 기판온도가 상승할수록 작아지는 것을 관찰할 수 있었다. 이러한 문제를 해결하기 위해 조금 Ce 금속 씨앗층을 사용하였다. 즉 Ce층을 수 nm 정도 증착한 후 바로 CeO<sub>2</sub>를 reactive magnetron sputtering법으로 증착하였다. Ce 금속 씨앗층을 사용하여 제작된 시료의 CeO<sub>2</sub>와 실리콘 기판 사이의 계면을 분석하기 위하여 AES depth profile을 측정하였으며, 그 결과를 그림 4에 나타내었다. 그래프에서 알 수 있듯이 산화공정을 생략하여도 CeO<sub>2</sub>와 실리콘 기판 사이의 계면에 금속층은 존재하지 않았으며, 단지 Ce-rich한 영역과 매우 얇은 SiO<sub>2</sub> 층이 존재하는 것으로 나타났다. 이로써 산화공정을 생략하여도 충분히 Ce 금속 씨앗층을 산화시킬 수 있으며, 이로 인해 계면에 산화막 생성을 억제할 수 있음을 알 수 있다.

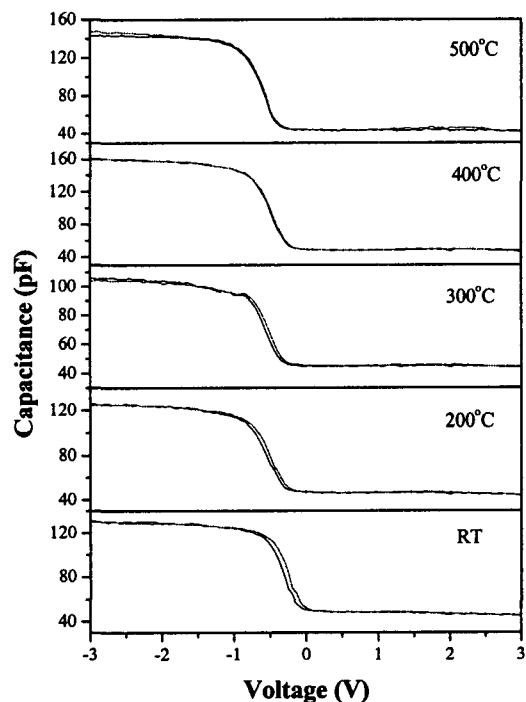


그림 5. Ce 금속씨앗층을 사용한 CeO<sub>2</sub> 박막의 C-V 결과  
 Fig. 5. C-V result of CeO<sub>2</sub> by using Ce metal seed layer

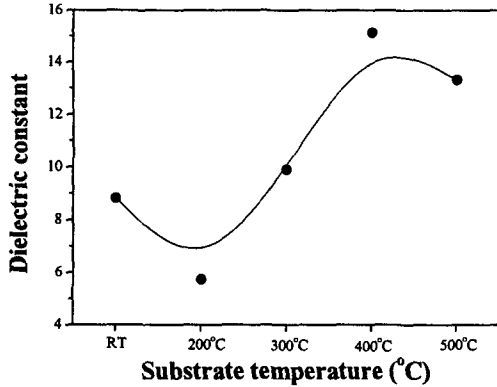


그림 6. 기판온도에 따른 CeO<sub>2</sub> 박막의 유전상수  
Fig. 6. Dielectric constant of CeO<sub>2</sub> films for different substrate temperature

그림 5와 6은 각각 Ce 금속 씨앗층을 사용한 CeO<sub>2</sub> 박막의 기판온도에 따른 C-V 결과와 C-V 그래프에서 산출한 유전상수의 변화이다. 산화공정을 수행한 시료의 경우 300°C 이상의 영역에서 결정성이 크게 개선되어졌음에도 불구하고 계면의 저유전층 박막의 성장으로 커패시턴스와 유전상수 값이 크게 떨어진것에 비해 산화공정을 생략한 시료는 결정성이 우수해짐에 따라 커패시턴스와 유전상수 값이 같이 증가함을 보였다. 이는 산화공정을 생략한 시료가 계면의 산화막 억제에 크게 기여하였음을 알 수 있었다. 또한 C-V 곡선에서 depletion 영역에서의 왜곡이 많이 개선되어 Terman 법으로 구한 D<sub>it</sub>의 값은  $8.76 \times 10^{10} \text{ cm}^{-1} \text{ eV}^{-1}$ 로 나타났다. 또한 기판온도에 따른 D<sub>it</sub>의 값은 크게 변하지 않았다. 하지만 400°C 이상의 온도에서 증착된 시료의 경우 300°C 이하의 온도에서 증착된 시료에서 관찰되는 히스테리시스 특성이 사라진다. 이는 400°C 이상의 박막이 결함이 적은 것을 의미한다.

CeO<sub>2</sub> 박막은 박막 내에서도 CeO<sub>2</sub>/Si 계면에 양 전하들을 포함하고 있어서 flatband 전압이 음의 방향으로 이동된다. 더욱이 산화시킨 Ce 씨앗층은 양의 씨앗층을 형성하여 flatband 전압을 음의 방향을 더 이동시킨다. 하지만 산화시키지 않은 Ce 씨앗층을 사용함으로써 계면의 산화막의 생성을 더욱 억제하였을 뿐 아니라, flatband 전압을 약 0.5V정도 감소시킬 수 있었다.

그림 7은 N<sub>2</sub> 플라즈마 처리 유·무에 따른 MIS (Al/CeO<sub>2</sub>/Si) 커패시터의 I-V 곡선이다. 누설 전류가 약 2-order 이상 감소하는 것을 보이는데 이는

다결정으로 성장된 CeO<sub>2</sub> 막의 결정립계에 아주 얇은 층의 비정질 SiN<sub>x</sub>가 채워져 누설을 막는 효과 때문인 것으로 보인다.

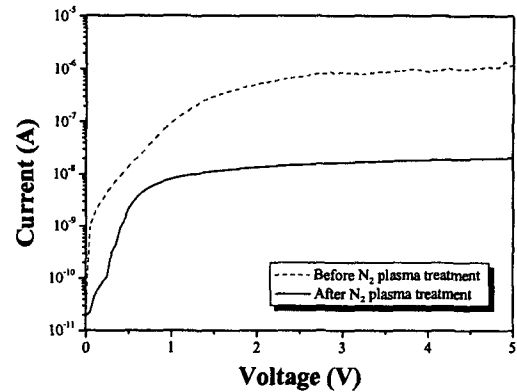


그림 7. N<sub>2</sub> 플라즈마 처리 전·후의 CeO<sub>2</sub> 박막의 I-V 특성

Fig. 7. I-V result of CeO<sub>2</sub> films before and after N<sub>2</sub> plasma treatment

#### 4. 결론

본 논문에서는 CeO<sub>2</sub> 박막의 비유전율을 증가시키면서 누설 전류를 줄일 수 있는 방법에 관해 연구하였다. Ce 금속 씨앗층을 산화시키지 않음으로서 계면의 산화막 억제에 크게 기여하여 결정성이 우수해짐에 비해 유전 상수 값이 증가하였다. 또한 N<sub>2</sub> 플라즈마 처리를 통해 다결정으로 성장한 CeO<sub>2</sub> 박막과 Si 계면에 아주 얇은 층의 비정질 SiN<sub>x</sub>가 채워져 2 order 이상의 누설 전류를 줄이는 효과를 얻었다. 뿐만 아니라 이를 MFIS 구조에 적용하였을 경우 계면의 산화막 생성이 억제되어 커패시턴스값이 향상되었다.

#### 참고 문헌

- [1] S. Imada, S. Shouriki, E. Tokumitsu, H. Ishiura, "Epitaxial Growth of Ferroelectric YMnO<sub>3</sub> Thin Films on Si (111) Substrates by Molecular Beam Epitaxy", Jpn. J. Appl. Phys., Vol. 37, pp. 6497-6501, 1998.
- [2] Y. M. Wu and J. T. Lo, Growth of PbTiO<sub>3</sub> Thin Film on Si (100) with Y<sub>2</sub>O<sub>3</sub> and CeO<sub>2</sub> Buffer Layer, Jpn. J. Appl. Phys., Vol. 37, pp.4943-4948, 1998.