

ZrO₂ 유전체의 전기적 특성 모델링

Modeling of ZrO₂ dielectric characteristics

이봉용, 허광수*, 박민철*, 유정호**, 이동원**, 남서은**, 명재민*, 고대홍**, 윤일구
(Bongyong Lee, Kwang-Soo Huh*, Min-Chul Park*, Jung-Ho Yoo**, Dongwon Lee**, Suheun Nam**, Jae-Min Myoung*, DaeHong Ko**, Ilgu Yun)

Abstract

In this paper, the performance of high-k dielectric is modeled by observing electrical characteristics through the process and device simulation. ZrO₂ on Si substrate is used as test structures to characterize the current-voltage and the capacitance-voltage profiles. In order to verify the simulation results, the experimental results are used as a reference. Based on the modeling results, the methodology can be a potential tool to predict the characteristics of the ZrO₂ dielectric.

Key Words : High-k dielectric, ZrO₂, Modeling, Simulation.

1. 서 론¹⁾

최근의 반도체 기술은 컴퓨터 산업, 정보 통신 분야, 멀티미디어 등 현대 생활에서 그 활용이 증대되어 고성능의 반도체 소자 제품에 대한 수요가 급속히 확대되고, 이에 따라 반도체 소자의 고속화 및 고집적화에 대한 연구개발이 활발히 진행되고 있다. 현재 메모리 및 비 메모리 분야에서 0.2 μ m이하의 CMOS 소자를 양산하고 있으며, 0.1-0.15 μ m의 소자에 대한 연구도 활발히 진행하고 있다 [1]. 반도체 소자를 축소하는 데 있어 근본적인 한계 중 하나는 게이트 유전막의 두께를 줄이는 것인데, 현재 일반적으로 사용되고 있는 실리콘 산화막(SiO₂)의 두께를 감소시키면, 붕소 침투(boron penetration)와 터널링(direct tunneling)에 기인하여 과도한 누설전류

가 발생된다. 이 누설전류를 낮추려면, 실리콘 산화막 보다 큰 유전 상수를 갖는 게이트 유전막을 적용하여야 하는데, 이는 누설전류가 산화막의 물리적 두께에 의존하기 때문이다. 이에 기판의 실리콘 산화막을 대체할 수 있는 유전막으로 유전상수가 크며, 실리콘과 접촉시 열역학적으로 안정한 재료인 ZrO₂막막이 최근 활발하게 논의되고 있다. Foster 등은 단결정 zirconia에서 발생하는 점 결함에 대하여 모델링을 통하여 연구하였으며 C. H. Lee 등은 화학 기상 증착법(CVD)을 이용하여 제작된 ZrO₂ 와 Zr 규산염(silicate) 게이트 유전체가 MOS의 특성에 어떠한 영향을 미치는 지를 연구 하였다 [2][3]. 이와 같은 연구는 MOS의 성능뿐만 아니라 제작의 용이성 및 경제성을 고려하면서 누설전류를 최소화 할 수 있는 등가 산화막 두께를 최적화 하는 것이었다. 따라서 누설전류를 최소화하여 향상된 MOS의 성능을 얻기 위해서는 등가 산화막 두께 (Equivalent Oxide Thickness : EOT)를 고려한 치밀한 설계가 요구되어진다. 따라서 본 논문에서는 전산모의 실험을 통하여 ZrO₂의 두께

연세대학교 전기전자공학공학과
(서울시 서대문구 신촌동 143,
Fax: 02-362-6444
E-mail : iyun@yonsei.ac.kr)

* : 연세대학교 금속공학과

** : 연세대학교 세라믹공학과

가 MOS 소자의 성능에 어떠한 영향을 미치는지를 전류-전압 특성 (I-V), 정전용량-전압 (C-V) 특성 분석을 통하여 알아보려고 한다.

2. 소자의 구조

본 연구에서 사용되어지는 구조는 ATHENA process simulator를 이용하여 구현되어 졌으며 다음의 그림 1과 같다. 일반적인 MOS 제작 공정을 이용하여 n형 실리콘 기판에 벌크 (bulk)로 사용될 p형 우물(well)을 형성시키기 위하여 붕소 (boron)를 이온 주입 하였다. 이온 주입 후 발생하는 기판의 결정성 손실 현상을 보상하기 위하여 어닐링 (annealing) 공정을 이용 하였으며, 도펀트 (dopant)가 균일하게 결정에 확산되어지게 하기 위해 드라이브 인 (drive-in) 공정을 이용하였다. p형 우물을 형성 후 표면에 ZrO_2 로 게이트 층을 형성한 후, 문턱전압 (V_t)를 조정하기 위하여 붕소를 다시 한 번 이온주입 하였다. 다음으로 폴리 실리콘을 $0.2\mu m$ 두께로 증착한 후 폴리 실리콘 층과 ZrO_2 층을 식각 (etching) 한 후에 n형 우물을 형성하기 위하여 비소 (arsenic)를 이온 주입 하였다. 비소 이온 주입 공정 후 기판 표면에 알루미늄을 증착과 식각 공정을 통하여 소스와 드레인의 전극을 형성하였다. 이러한 과정을 통하여 만들어진 구조는 대략 $1.2 \times 10^{16} cm^{-3}$ 의 최대 채널 도핑 농도 (peak channel doping concentration)을 가지게 되며, 소스와 드레인은 $0.1 \mu m$ 깊이로 형성하였다.

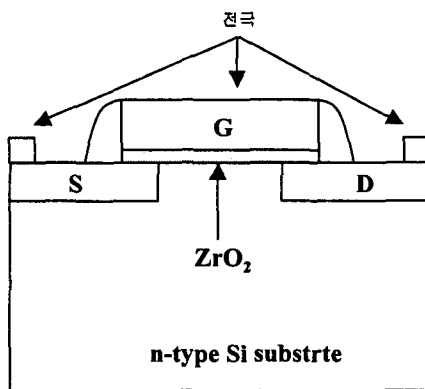


그림 1. 전산 모의 실험에 사용된 소자 구조의 개략도

Fig 1. Schematic diagram of device used for simulation

실리콘 기판과 폴리 실리콘 사이의 ZrO_2 의 두께는 변수로서 2.6, 5.5 [nm]로 변화한다고 가정하고 ATLAS Device Simulator를 이용하여 전산 모의 실험을 수행하였다. ZrO_2 의 에너지 밴드 갭 에너지(E_g)는 약 5.8 [eV] 이고, 유전상수 (dielectric constant)는 25를 사용하였다 [4].

3. 전산 모의 실험 방법론

본 논문에서는 ZrO_2 의 두께를 변화시켜가며 특성을 전산 모의 실험을 이용하여 모델링 하였다. 소자의 특성을 분석하기 위하여 ATHENA process simulator로 구현되어진 구조를 바탕으로 명령어 파일을 작성하였다. 작성되어진 명령어 파일을 ATLAS device simulator에 입력시켜 전산 모의 실험을 수행하였다. 전산 모의 실험 수행 시 Blaze, GiGa, 그리고 Luminous Module이 적용되어졌다. 모의 실험을 수행함에 있어 physical model로는 MOS model을 사용하였고, 반전층 이동도 모델 (inversion layer mobility model)로 Lombardi (CVT) model을 사용하였다[5]. CVT model은 비 평판형 (non-planar) 소자의 반전층 (inversion layer)에서 이동도의 감소를 고려한 모델로 다음과 같은 식으로 주어진다.

$$\mu_T^{-1} = \mu_{AC}^{-1} + \mu_b^{-1} + \mu_{sr}^{-1} \quad (1)$$

(1)번 식에서 μ_{AC} 는 음향 양자 (phonon)에 의해 제한되어지는 표면 이동도 (surface mobility)를 의미하며, 두 번째 요소인 μ_{sr} 은 표면 거칠기 요소 (surface roughness factor)의 의미이다. 마지막 요소인 μ_b 는 광학 음향 양자 (optical phonon)에 의하여 제한되어지는 이동도를 의미하며, 각 요소들은 Mathiessen's rule에 의하여 결정되어진다 [6]. 실험에 쓰인 계수들은 Houssa 등이 쓴 논문을 참조하였다 [7].

4. 결과 및 토의

전산 모의 실험을 통하여 얻어진 게이트 유전체의 두께 변화에 따른 전류-전압 및 정전용량-전압 특성은 다음과 같다. 먼저 아래의 그림 2는 유전체의 두께 변화에 따른 드레인 전류와 게이트 전압의 특성을 나타내고 있다. 그래프를 통하여 알 수 있듯이 게이트 유전체의 두께가 증가할수록 드레인 쪽에서의 전류는 감소함을 알 수 있다. 이는 MOSFET 전압-

전류 관계식과 정전용량-전압 관계식에서 설명되어진다. 아래의 (2)번식과 (3)번식은 각각 MOSFET의 동작 영역이 선형 영역인 부분과 포화 영역인 부분에서의 드레인 전류를 나타내고 있으며, (4)번식은 유전체로 이루어진 산화막의 정전용량을 나타내고 있다[8].

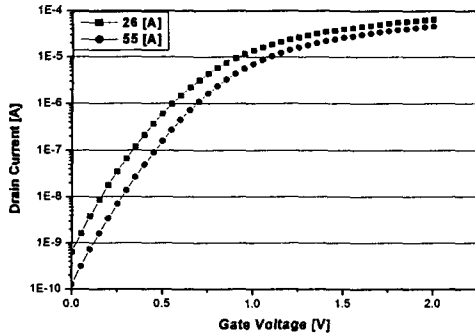


그림 2. 게이트 유전체의 두께 변화에 따른 드레인 전류와 게이트 전압 특성

Fig 2. Drain current-Gate Voltage characteristics depending on the gate dielectric thickness variation

$$I_D = \frac{W\mu_n C_{ox}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2)$$

$$I_D = \frac{W\mu_n C_{ox}}{2L} (V_{GS} - V_T)^2 \quad (3)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4)$$

여기서 W 와 L 은 각각 소자의 폭과 채널의 길이를 의미하고, μ_n 은 전자의 이동도를 의미하고 있다. 게이트 유전체의 두께 (t_{ox})가 증가하게 되면 산화막의 정전용량은 감소하게 된다. 따라서 이동도 및 소자의 폭과 채널 길이의 비 (W/L)가 같다고 하면 드레인 전류는 감소하게 된다. 그림 3은 동일한 게이트 유전체의 두께의 경우 게이트 전압이 변화함에 따른 드레인 전류와 전압의 특성을 나타내고 있다. 게이트 전압이 증가할수록 같은 드레인 전압에서 드레인 전류는 증가함을 알 수 있다. 이는 앞에서 서술한 MOSFET의 전압-전류 관계식을 통하여 설명되어진다. 결국 그래프의 포화 영역 부분에서 전류 특성이 일정한 기울기를 나타내며 증가하는 현상은 채널

길이 변조 현상 (channel length modulation)에 의하여 나타나는 현상이다. MOSFET 소자의 포화영역에서 전압이 인가되어지면 드레인 쪽의 고갈 영역 (depletion region)이 채널 쪽으로 확장되어 유효 채널의 길이가 감소되어진다. 이는 드레인 전류가 채널의 길이에 반비례 하게 되는 현상을 가져온다. 이러한 현상은 다음과 같은 식으로 표현되어 질 수 있다.

$$I_D' = \left(\frac{L}{L - \Delta L} \right) I_D \quad (5)$$

(5)번 식에서 $\frac{L}{L - \Delta L}$ 은 포화영역에서 드레인 전류가 갖게 되는 기울기이며, I_D' 은 실제 드레인 전류이고, I_D 는 이상적인 경우의 드레인 전류이다[8].

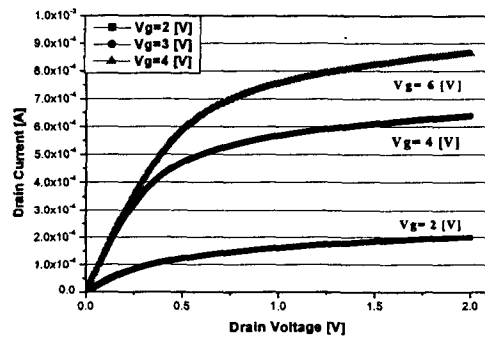


그림 3. 게이트 전압의 변화에 따른 드레인 전류와 드레인 전압 특성

Fig 3. Drain current-Drain Voltage characteristics depending on the gate voltage variation

그림 4는 SiO_2 와 ZrO_2 의 유전율에 따른 정전용량의 변화와 유전체의 두께에 따른 정전 용량의 변화를 도시하였다. 동일한 유전율을 가진 유전체의 경우 두께가 두꺼울수록 정전용량은 감소하는 경향을 나타나고 있으며, 같은 두께의 유전체의 경우 물질에 따라 결정되어지는 유전 상수가 증가할수록 큰 정전 용량을 나타냄을 알 수 있다. 지금까지 살펴본 전류-전압 특성 및 정전용량-전압 특성은 기존에 발표된 Qi등이 발표한 논문과 유사한 경향을 나타내고 있음을 확인하였다 [9].

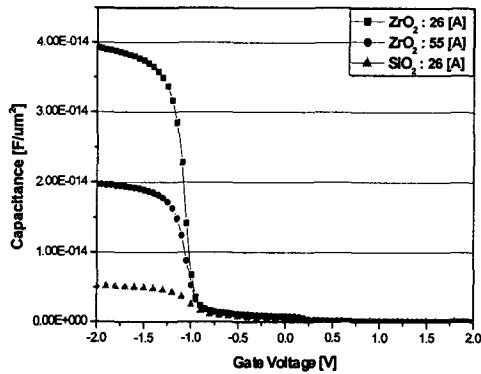


그림 4. 두께 및 유전율에 따른 정전 용량의 변화

Fig 4. Capacitance-Voltage characteristics depending on thickness of gate dielectrics and relative permittivity

5. 결 론

본 논문에서는 높은 유전율을 갖는 물질을 게이트 유전체로 사용하는 MOSFET 소자의 전기적인 특성을 공정과 소자 모델링을 통하여 알아보았다. 이를 위하여 Si 기판 위에 ZrO₂를 사용한 구조가 테스트 구조로 이용되어졌으며, 이 구조의 전류-전압 특성 및 정전용량-전압 특성이 관찰되었다. 또한 전산 모의실험 결과를 증명하기 위하여 실제 실험 결과를 바탕으로 한 논문이 참고문헌으로 이용되어졌다. 이러한 모델링을 기반으로 하는 결과는 ZrO₂ 유전체의 특성을 예측하는데 하나의 방법론이 될 수 있다.

감사의 글

본 연구는 한국 과학 재단 목적 기초 연구 (R01-2001-00271) 지원으로 수행되었음.

참고 문헌

[1] G. D. Wilk, R. M. Wallace, and J. M. Anthony, Hafnium and Zirconium silicates for advanced gate dielectrics, *Journal of Applied Physics*, Vol. 87, No. 1, pp. 484-492, January 2000
 [2] A. S. Foster, V. B. Slimov, F. Lopez Gejo, A. L. Shluger, R. M. Nieminen, Modeling of point defects in monoclinic zirconia, *Journal of*

Non-Crystalline Solids, Vol. 15, NO. 11. pp. 1-7, February 2002

[3] C. H. Lee, H. F. Luan, W. P. Bai, S. J. Lee, T. S. Jeon, Y. Senzaki, D. Roberts and D. L. Kwong, MOS Characteristics of Ultra Thin Rapid Thermal CVD ZrO₂ and Zr silicate Gate Dielectrics, *IEDM Tech. Digest.*, pp.27-30, December 2000
 [4] L. Manchanda, B. Busch, M. L. Green, M. Morris, R. B. van Dover, R. Kwo and S. Aravamudan, High-k Gate dielectrics for the Silicon Industry, *IWGI*, pp. 56-60, 2001
 [5] ATLAS User's manual, Silvaco international
 [6] S. O. Kasap, principles of electrical engineering materials and devices revised edition, McGraw-Hill international editions 2000, pp. 110-123.
 [7] M. Houssa, M. Tuominen, M. Nail, V. Afanas'ev and A. Stesmans, S. Haukka, M. M. Heyns, Trap-assisted tunneling in high permittivity gate dielectric stacks, *Journal of Applied physics*, Vol. 87, No. 12, June 2000
 [8] Donald A. Neamen, *Semiconductor physics and devices : basic principles*, IRWIN 1992, pp. 513-529
 [9] Wen-Jie Qi, Renee Nieh, Byoung Hun Lee, Katsunori Onishi, Laegu Kang, Yongjoo Jeon, Jack C. Lee, Vidya Kaushik, Bich-Yen Neuyen, Lata Prabhu, Kurt Eisenbeiser, Jeff FINDER, Performance of MOSFETs with ultra thick ZrO₂ and Zr silicate gate dielectrics, *IEEE 2000 Symposium on VLSI Technology Digest of Technical Papers*, Vol. 5, No. 1, pp.40-41, 2000