

디지털 시스템설계를 위한 CMOS 인버터게이트 셀의 지연시간

여지환*

The Delay time of CMOS inverter gate cell for design on digital system

Ryeo, Ji-Hwan*

-ABSTRACT-

This paper describes the effect of substrate back bias of CMOS inverter. When the substrate back bias applied in body, the MOS transistor threshold voltage increased and drain saturation current decreased. The back gate reverse bias or substrate bias has been widely utilized and the following advantage has suppressing subthreshold leakage, lowering parasitic junction capacitance, preventing latch up or parasitic bipolar transistor, etc. When the reverse voltage applied substrate, this paper simulated the propagation delay time CMOS inverter.

* 대구대학교 공과대학 정보통신공학부

I. 서론

반도체 기술의 비약적인 발전으로 CPU나 메모리같은 범용 IC뿐만 아니라 특정용도의 IC인 ASIC분야에서도 많은 발전을 하게되었다. 반도체 산업의 급진적인 발전은 집적회로의 고성능화를 실현할수 있었다. ASIC기술의 발전에 부합하여 반도체 트랜지스터의 크기는 아주 작아진다. 특히 MOS트랜지스터 크기 감소함에 따라 여러 가지 효과가 발생 한다 단채널 소자에서 두접합이 아주 가까이 있으므로 바이어스가 인가되지 않은 상태에서도 소오스와 드레인 공핍층이 채널속으로 침투하는 전하점유현상으로 바이어스로 인해 드레인 공핍영역이 증가함에 따라 소스-채널 접합과 상호작용하여 전위를 낮추어주는

드레인유기장벽감소 (drain-induced barrier lowering: DIBL) 현상 또한 문턱전압 이하 전류현상, 속도포화효과, 단채널효과, 수직채널전계증가, LDD 구조의 소오스, 드레인 직렬저항등 많은 문제점이 있다. 현재 디지털 회로의 문턱전압 이하 전류 누설로 인한 전력소모를 방지하기 위해 기판에 역바이어스를 인가하므로 문턱전압을 제어하는 회로가 개발되었다[1]-[3] 즉 back-gate reverse bias나 substrate bias의 필요성은 문턱아래 누설 전류 억제, 기생접합용량의 감소효과, CMOS의 래치업 및 기생 바이폴라트랜지스터에 의한 면역성 증가등으로 CMOS IC나 DRAM 등에 이용 된다 그러나 기판바이어스영향으로 속도 지연 및 잡음증가등의 단점도있다. 본논문에서는 속도지연 문제에 대한 초점을 맞출 것이다

II. 인버터동작 및 기판 바이어스의 게이트 전달 지연효과

그림 1은 CMOS 인버터의 회로이며 그림 2-1은 인버터의 1에서 0이 되는 시간을 계산하기 위한 회로이며, 그림 2-2는 0에서 1이되는 시간을 계산하기 위한 회로이다. 기판 바이어스 효과는 MOS트랜지스터의 소오스 단자와 실리콘 기판(substrate)간에

역바이어스 전압의 차이에 따라서 문턱전압 (V_T)이 변화하는 현상으로 문턱전압 증가 식은 (1)과 같다

$$\Delta V_T = \frac{\sqrt{2} \epsilon_s}{C_{ox}} \left[(2 \phi_F - V_{SB})^{\frac{1}{2}} - (2 \phi_F)^{\frac{1}{2}} \right] \dots \dots \dots (1)$$

아래식은 그림 2-1, 그림 2-2로부터 계산된 시간이다.

$$I_{on} = C_{out} \frac{dV_{out}}{dt} \dots \dots \dots (2)$$

$$t_{10} = \tau_n \left[\frac{2(V_{Tn} - V_o)}{V_{DD} - V_{Tn}} + \ln \left(\frac{2(V_{DD} - V_{Tn})}{V_o} - 1 \right) \right] \dots \dots \dots (3)$$

$$t_{01} = \tau_p \left[\frac{2(|V_{Tp}| - V_o)}{V_{DD} - |V_{Tp}|} + \ln \left(\frac{2(V_{DD} - |V_{Tp}|)}{0.1 V_{DD}} - 1 \right) \right] \dots \dots \dots (4)$$

그림3은 CMOS NAND 논리게이트로 MOS논리게이트의 논리 회로에서 직렬연결된 트랜지스터들은 기판바이어스 효과에 의한 문턱전압의 증가가 발생하며, I_{ds} 전류의 감소에 따라 스위칭 동작이 느려지게 된다 다음 그림1과 같은 CMOS NAND 논리게이트에 기판 바이어스 효과는 전도 통로의 내부 노드가 충전 방전 할 때 추가의 지연시간을 가져오고 전도통로의 신호전달 특성을 나쁘게한다. 동작을 보면 NAND논리게이트에 ABC 입력에 100 이면 출력 용량 C_o 은 V_{dd} 로 충전되고 C_i 는 $V_{dd} - V_{in}$ 로 충전된다 여기서

V_{in} 은 기판 바이어스로 인해 V_{ino} 보다는 큰값이 된다. 다음입력이 ABC가 111로 바뀌면 BC의 NMOS는 ON되지만 M_1 트랜지스터는 순간적으로 $V_{gs} = V_{tn}$ 으로 약한 ON 상태가 된다. BC 전도통로는 A 트랜지스터의 소오스 단자의 C_i 용량을 방전시켜 A트랜지스터를 ON 상태로 된후에 출력용량 C_o 를 방전 시킨다. 따라서 출력신호의 하강은 트랜지스터 저항과 내부용량만 생각할때보다 지연

되어 발생한다.

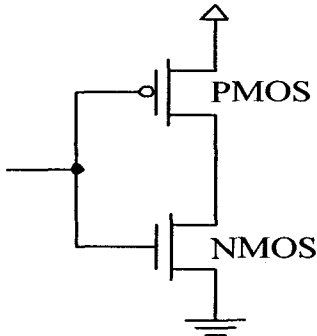


그림 1 CMOS 인버터의 회로도

아래 그림은 인버터 속도 계산회로이다.

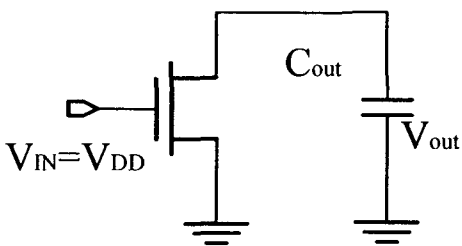


그림 2-1 하강시간 계산 회로

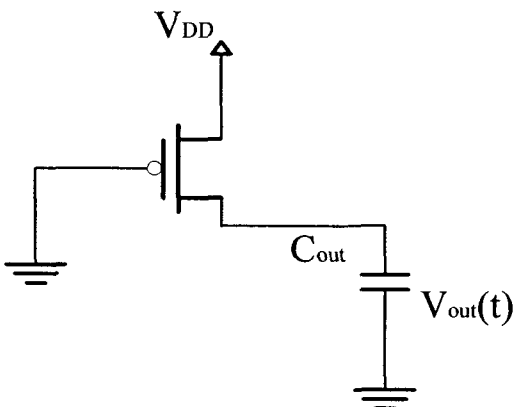


그림 2-2 상승시간 계산 회로

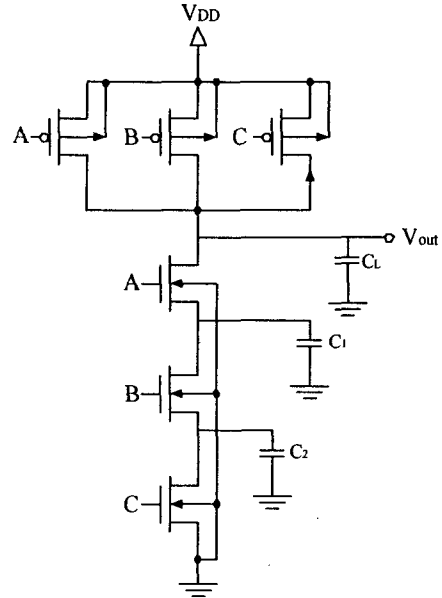


그림3 CMOS NAND 논리회로의 기판바이어스 전달지연 효과

III. 인버터셀의 지연 시간모델 및 시뮬레이션

미래의 MOS소자 또한 IC 동작을 예측 하기위해서는 현재의 경험적 SPICE의 모델로서는 정확한 동작예측을 신뢰할수 없다. 게이트 산화막과 전압축소가 있는 소자와 IC동작을 예측하기위해 V_{gs} , V_{th} , T_{ox} 향으로 표현된 만능 MOS트랜지스터 반전층 캐리어 이동도 모델, LDD 기생저항 및 이동도 감소, 속도포화 효과를 포함한 정확한 드레인 포화 전류 모델, 부화 용량 C_L 모델 등을 이용하여 지연시간 예측할수 있다. 모든 MOS 파라메타중에서 포화 드레인 전류 I_{dsat} 이 회로속도에 가장강한 영향을 준다 즉 I_{dsat} 가 가장중요한 소자 파라메타로 속도 계산에 필수적이다. 현재 IC 속도계산에는 정확하지는 않지만 많은 사람들이 많은 환경에서 T_{ox} , L_{eff} , V_{dd} 효과를 예측하고 해석하기위해 사용한 I_{dsat} 식이 아래에 있다. 서브마이크론 MOS 트랜지스터에 이용할 수 있는 I_{dsat} 해석식이 없기 때문이다

$$I_{dsat} = \frac{1}{2} \left(\frac{W_{eff}}{L_{eff}} \right) \mu_{eff} \left(\frac{\epsilon_{ox}}{T_{ox}} \right) (V_{gs} - V_{th})^2 \dots \dots \dots (5)$$

게이트 전달 지연 모델은 다음 식으로 나타낸다
 [4] 또한 서브마이크론 MOS 트랜지스터의 포화드레인 전류에 관한 새로운 모델은 다음과 같다.[4]

$$T_{pd} = \frac{C_L V_{dd}}{n} \left(\frac{1}{I_{dsatn}} + \frac{1}{I_{dsatp}} \right) \dots \dots \dots (6)$$

$$I_{dsat} = K(R_s) L_{eff}^{-0.5} T_{ox}^{-0.8} (V_{gs} - V_{th})^{1.25} \dots \dots \dots (7)$$

게이트 지연모델의 정확성은 CMOS IC의 동작속도를 예측하는데 필수적이다. 본 논문은 서브마이크론 MOS트랜지스터에 기판 역바이어스를 인가함으로써 포화드레인 전류가 감소함으로 게이트 전달지연시간을 기 발표된 지연모델로부터 계산 했다 따라서 그림 4는 새로운 전류모델 식을 이용하여 기판 역바이어스가 인가될 때 게이트 전달지연 시간을 시뮬레이션한 그림이다.기판 역바이어스가 인가되지않을때는 $8.0 \times 10^{-10} \text{ sec}$ 이고 기판에 3V의 역전압이인가될때는 1.01 nsec의 전달지연시간이 발생했다. 여기서 전원 전압은 3.3 V 이고 문턱전압은 0.5V이다. 새로운 드레인포화 전류모델식(7)의 괄호 밖의 값은 $5.916 \times 10^{-4} \text{ A/V}^{1.25}$ 이다 그외 시뮬레이션에 사용한 각 파라미터는 표1과같다. 결과를 보면 기판 바이어스인가의 장점에도 불구하고 게이트의 신호 전달 지연현상이 일어난다 따라서 기판 역바이어스 인가시 시간지연을 상쇄하기 위해서는 전원 공급전압을 감소시켜야 할것이다. 시뮬레이션시 P형 기판을 사용하므로써 역바이어스 전압은 NMOS 트랜지스터 문턱전압을 더욱 크게 영향을 줄것이라 생각 했다. 또한 표2는 기판 역바이어스가 인가될 때 문턱전압 증가와 증가된 문턱전압을 새로운 포화드레인 전류모델식(7)에 의한 전류값을 나타낸것이다.

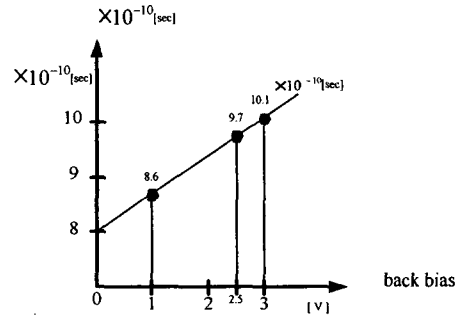


그림4. 기판바이어스와 전달지연시간

CL(ff)	Jn/Jp	Vdd	Nsub	d	Vth	L
600	2	3.3	5	60Å	0.5V	0.3µm

표 1 시뮬레이션시 사용한 각종 파라미터

VB	ΔVT	Id	Idsat	Tpd지연시간
1V	0.71		1.5mA	8.6×10^{-10}
2.5V	1.12		1.1mA	9.7×10^{-10}
3.0V	1.23		1.0mA	10.1×10^{-10}

표2. 기판 역전압인가시 문턱전압 증가 및 새로운 전류모델에서 구한전류값

IV. 결론

CMOS IC나 DRAM 등에 게이트 기판 역바이어스가 문턱전압이하의 누설전류억제, 기생접합용량감소, 래치업 및 기생바이폴라 트랜지스터에 대한 면역성 증대를 위해 기판 역바이어스가 사용된다. 그러나, 단점으로는 속도 지연, 게이트의 잡음증가등이 나타난다. 본 논문은 기판역바이어스시 게이트 전달지연 문제를 위 새로운 전류모델식 과 전달지연 모델식으로부터 시뮬레이션 하였으며 그 결과 기판 역바이어스시가 0-3V 변할 때 전달지연시간은 0.8-1 nsec지연이 발생했다. 따라서 기판 역바이어스 인가시에는 공급전원 전압을 감소시키므로써 속도 지연을 방지할수 있다. 또한 위식을 이용하여

CMOS게이트의 동작속도가 용량성부하,산화막두께, 문턱전압,전원공급전압, 채널길이에의 의존성을 예측할수 있다.

V. 참고문헌

[1] F.Assaderaghi, D. Sinitsky, S. Parke, J. Bokor, P. K.Ko, C. Hu "Dynamic Threshold Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI, IEEE Trans.on Electron Device, vol. 44. no.3, pp.414-422, March 1997.

[2] I.Y.Chung, Y.J. Park, and H.S.Min, " A new SOI inverter using dynamic threshold for low-power applications" IEEE Electron Device Letters, vol. 18,no. 6, pp.248-250, June,1997.

[3] Y. Wada, K. Ueda, T. Hirota, and Y. Hirano, " Active body bias SOI CMOS driver circuits" in 1997 Symposium on VLSI circuits Digest of Technical papers, 1997,pp.29-30.

[4] C.Hu. " Future CMOS scaling and reliability" ,Proc.IEEE, vol. 81,no.5, May 1993.