

티타늄실리사이드 공정을 이용한 0.1 μ m CMOSFET의 전기적특성 개선

엄 금 용, * 최 성 진, * 조 재 영, * 오 환 솔
성남기능대학 광전자과, * 건국대학교 전자정보통신공학과
전화 : 031-739-4077 / 핸드폰 : 011-228-4075

A Study on the Improvement of 0.1 μ m CMOSFET's Electrical Quality Using Self Aligned Silicide Process

Gum-Yong Eom, *Seong-Jin Choi, *Jae-Young Jo, *Hwan-Sool Oh
Dept. of Electronic Eng., Sunnam Polytechnic College,
*Dept. of Electronic Eng., Information and Communication Eng., Konkuk University,
E-mail : ejrrnr@snp.ac.kr

Abstract

This paper has been studied on the improvement of 0.1 μ m CMOSFET's electrical characteristics using novel self aligned silicide & STI structure. Based on the research, It is found that novel STI structure by the FIB-TEM. We also obtained the decrease PMOS threshold voltage and increase NMOS threshold voltage value, increase junction breakdown voltage and superior reliability that made the STI structure more effective. The STI structure showed less subthreshold swing and increase drain conductance on N/P MOSFET.

I. 서론

최근 ULSI(Ultra Large Scale Integrated)회로 및 서브마이크론 CMOSFET(Complementary Metal Oxide semiconductor) 소자에서는 반도체 소자의 집적도가 증가함에 따라 서브마이크론(<0.1 μ m) 소자에 요구되는 소자의 동작속도 향상과 우수한 전기적특성 및 신뢰성 확보 등을 위해 0.1 μ m급 소자에 적용가능한 새로운 공정방법과 낮은 접촉 저항값을 가지는 금속-실리사이드(Metal Silicide)물질 등이 요구되고 있다.

본 연구는 소자분리를 새로운 방법의 STI(Shallow Trench Isolation) 형성방법[1]을 사용하여 구성하고 일반적인 NSLOCOS(Normal Spaced Local Oxidation of Silicon) 방법으로 성장된 구조와 비교하여 STI의 성공적인 구조형성을 확인할 수 있었으며 2단계 티타늄실리사이드(TiSi₂) 형성방법[2]을 통하여 최종적인 티타늄실리사이드를 성장시켜 최종적인 0.1 μ m CMOSFET을 제작하여 물리적, 전기적 특성을 분석[3]하였다. 임계전압값(V_t)은 PMOS의 값이 NMOS보다 적게 나타났으며 STI의 경우 NSLOCOS보다 큰 값을 나타내었다. 절연과피전압(BV)값은 STI에서 약 25% 이상 90% 정도가 55초 이상의 안정된 값을 나타내었다. 드레인 전류-게이트전압(I_d-V_g) 특성은 STI에서 NSLOCOS보다 적은 값을 나타내었으며 드레인전도도(G_d) 특성은 PMOSFET의 경우가 NMOSFET에 비하여 큰 값을 나타내었으며 STI에 비하여 NSLOCOS의 경우에서 적은 기울기 값을 나타내었다..

II. 실험 및 고찰

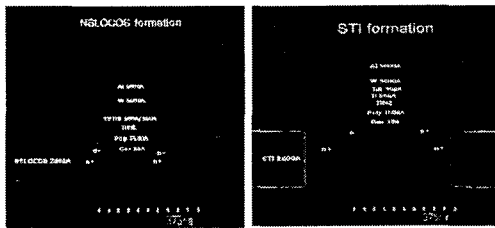
2.1 실험방법

0.1 μ m CMOSFET은 소자분리구조를 STI 구조와

NSLOCOS 구조로 각각 2600Å을 성장시키고 금속-실리사이드 물질로는 티타늄(Ti)을 사용하여 2단계(Two Step) 형성방법을 사용하여 850°C에서 최종적인 티타늄실리사이드를 형성하였다. 최종적으로 제작된 0.1μm CMOSFET에 대하여는 물리적, 전기적인 특성으로 비교 분석 하였다.

2.2 실험결과 및 고찰

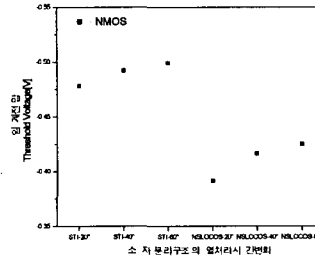
그림 1-(a)는 MOSFET에 대한 NSLOCOS 구조의 SEM 단면도이고 그림 1-(b)는 STI 구조에 대한 단면도이다. Si 기판위에 각 소자분리구조와 그 위에 적층된 게이트산화막 다결정실리콘, TiSi₂, 금속전극층이 성공적으로 형성되었음을 확인 할 수 있었으며 STI 구조의 경우 소자의 집적도가 증가하는 경우 소자의 구조적인 결함없이 활성영역을 확보할 수 있으며 EH한 소자분리구조 생성 시 열적스트레스가 생성되지 않으며 TiSi₂ 생성 시 Si/SiO₂ 계면에서 포획밀도의 생성이 적어 0.1μm MOSFET에서 우수한 소자의 전기적인 특성을 얻을 수 있을것으로 사료된다.



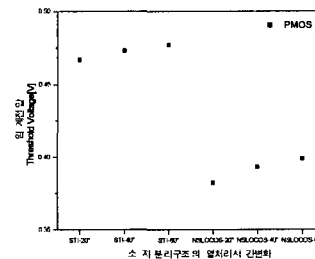
(a) NSLOCOS (b) STI

그림 1. MOSFET의 단면에 대한 SEM 도

그림 2.에 소자분리구조에 대한 TiSi₂의 열처리시간 변화에 대한 임계전압값을 나타내었다. 전체적으로 PMOS에서의 값이 NMOS에서의 값보다 적게 나타났으며 STI의 값이 NSLOCOS보다 큰 값을 나타내었다. 이러한 결과는 티타늄실리사이드가 형성될 때 PMOS의 경우 다결정실리콘 역역내에서 인(P)의 재 분포 현상이 발생하게되며 이로인해 인의 농도가 감소하게되어 다결정실리콘과 일함수(Work Function) 차가 감소하게되며 결국 페르미준위가 감소하여 임계전압값의 감소가 나타난 결과로 사료된다. 이러한 임계전압값은 다결정실리콘이나 TiSi₂ 형성 열처리온도의 증가나 산화막의 두께에 의존성이 크게 나타나는데 각 경우 열처리시간이 증가하면 임계전압값도 증가하였다.



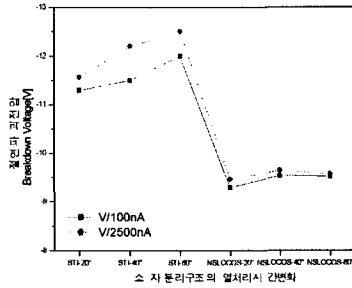
(a) NMOS



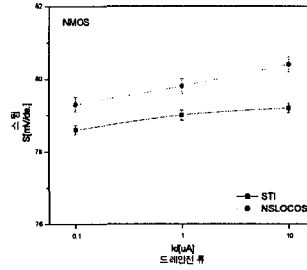
(b) PMOS

그림 2. 임계전압(V_t)비교

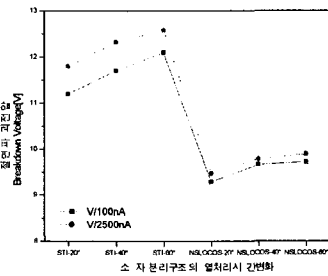
그림 3.에 절연파괴전압값을 각각100nA, 2500nA일 때의 값으로 나타내었다. PMOS의 경우 100nA에서 STI, 20초 열처리 경우 약 11.2[V]인 반면 NSLOCOS 경우 9.29[V]를 얻어STI의 경우가 NSLOCOS보다 안전되고 큰 절연파괴전압값을 나타내었다. 또한 PMOS와 NMOS에 대한 특성에서도 같은 경향을 나타내고 있으며 열처리시간이 증가하면 절연파괴값도 조금 증가하는 경향을 나타내고 있다. 이러한 특성은 STI의 경우 소자분리 성장방법차이에서 나타나는 Si/SiO₂ 계면의 포획밀도 차와 가장자리(Edge)에서의 임계전압값의 감소효과, 채널영역의 확보(narrow Channel Effect 개선) 효과 등에 의한 결과로 사료되며 이러한 특성결과는 0.1μm MOSFET 제작시 소자분리는 STI 구조로 하고 열처리는 RTA(Rapid Thermal Anneal) 방법으로 티타늄실리사이드를 성장하는 것이 전기적인 특성면에서 우수한 결과를 얻을 수 있음을 의미하는것으로 사료된다.



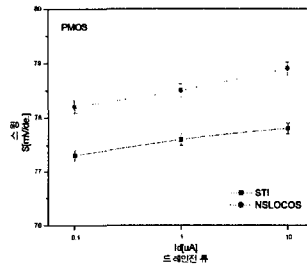
(a) NMOS



(a) NMOSFET



(b) PMOS



(b) PMOSFET

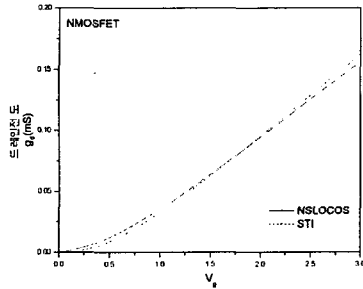
그림 3. 절연과피전압비교

그림 4에 드레인전류변화에 대한 Sub-threshold 스윙값을 나타내었다. 스윙값은 문턱전압값이나 실리콘 표면의 농도변화에 영향을 받으며 또한 게이트산화막내의 계면포획밀도의 증가에 대한 특성을 나타내게 된다. NMOSFET에서의 스윙값이 PMOSFET에 비하여 조금 높게 나타났으며 STI의 경우보다 NSLOCOS에서 스윙값의 변화나 편차(Deviation)값이 조금 크게 나타나는 결과를 얻었다. 이러한 결과는 STI의 경우 티타늄실리사이드 형성공정 시 Si/SiO₂ 계면의 불순물 농도분포(Si-rich TiS_x, Si 침전물)가 적고 NSLOCOS에 비하여 상대적으로 계면에 대한 영향이 적으며 STI 소자분리 구조 시 그림 1의 MOSFET 단면도에서와 같이 생성되는 열적 스트레스 등이 적게 나타난 결과로 사료된다.

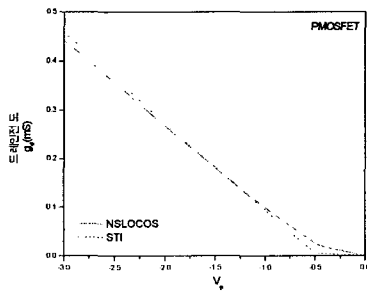
그림 4. 스윙값비교

그림 5에 일정한 드레인전압 상태에서 게이트전압 변화에 대한 드레인전도도(G_d) 값을 나타내었다. 드레인전도도는 MOSFET에서의 이동도값과 캐패시턴스 및 게이트전압과 임계전압 차등에 비례하는 특성을 나타내게되는데 PMOSFET의 경우가 NMOSFET의 값에 비하여 큰 값을 나타내고 있으며 STI가 NSLOCOS에 비하여 큰 기울기 값을 나타내었다. 또한 큰 게이트전압 영역에서는 STI에 비하여 NSLOCOS에서 드레인전도값이 감소하는 결과를 나타내었다. 임계전압값 근처에서는 전류의 흐름이 거의 없으므로 드레인전류값이 거의 0(zero) 값에 가까운 값을 나타내었으며 STI의 경우 임계전압값 이상에서 선형적으로 증가하는 결과를 나타낸 반면 NSLOCOS의 경우에는 완만한

증가결과를 나타내었다.



(a) NMOSFET



(b) PMOSFET

그림 5. 드레인전도도비교

시켜 최종적인 0.1 μ m CMOSFET을 제작하여 물리적, 전기적 특성을 분석한 결과 Sub-threshold 스윙값과 드레인 전도도 값등에서 STI 구조의 경우 NSLOCOS에 비하여 상대적으로 우수한 전기적인 특성을 얻을 수 있었다.

이러한 결과로부터 소자분리는 STI 구조로 형성하고 금속-실리사이드는 2단계 티타늄셀리사이드 공정을 통하여 0.1 μ m CMOSFET에 대하여 우수한 전기적인 특성[5]을 얻을 수 있었다.

참고문헌(또는 Reference)

- [1] Coming Chen et al., "Shallow-Trench Isolation With Raised Field Oxides Structure", Jpn. A. Applied Physics, Vol. 39, No. 3A, P 1080-1084, March(2000)
- [2] You-Seok Suh et al., "Retard C54 transformation and Suppressed Agglomeration by Precipitates in TiSi₂ Films", J. of Applied Physics, Vol. 87, No. 6, P 2760, -2764, 15 March (2000)
- [3] D. H. Vo et al., " Gate-Oxide Integrity in Metal-Oxide-Semiconductor Structures with Ti-Polycide Gates for ULSI Applications", Vol. 326, P 56-59, (2000)
- [4] 염금용, 오환술 "새로운 TiSi₂ 형성방법과 STI를 이용한 초박막 산화막의 특성개선연구", 대한전자공학회, 논문지 제23권, 제2호, P 41-46, November (2000)

III. 결론

ULSI 회로 및 서브마이크론 CMOSFET 소자에서 집적도 증가에 따라 요구되는 소자의 동작속도 향상과 우수한 전기적인특성 및 신뢰성 확보 등을 위해 0.1 μ m 급 소자에 소자분리를 STI 구조로 형성하여 STI의 성공적인 구조형성을 확인할 수 있었으며 STI 구조와 NSLOCOS 구조의 특성 비교를 통하여 STI 구조에서 전기적인 특성이 우수한 결과를 얻을 수 있었다. 또한 금속실리사이드 물질로 2단계 티타늄실리사이드(TiSi₂) 형성방법을 통하여 최종적인 티타늄셀리사이드를 성장