

Gate length에 따른 LDMOS 전력 소자의 고온동작 특성연구

박재형, *구용서, **구진근, 안 철
 서강대학교 전자공학과, *서경대학교 전자공학과, **한국전자통신연구원
 전화 : (02) 706-3401 / 팩스 : (02) 706-3401

A Study on the High Temperature Characteristics of LDMOSFET under various Gate Length

Jae Hyoung Park, *Yong Seo Koo, **Jin Gun Koo, Chul An
 Dept. of Electronic Eng. Sogang Univ., *Dept. of Electronic Eng. Seokyeong Univ.
 E-mail : uncertainty@korea.com

Abstract

In this study, the electrical characteristics of 100V-Class LDMOSFET for high temperature applications such as electronic control systems of automobiles and motor driver were investigated.

Measurement data are taken over wide range of temperature(300K-500K) and various gate length(1.5 μm -3.0 μm , step 0.3).

In high temperature condition(>500K), drain current decreased over 30%, and specific on-resistance increased about three times in comparison with room temperature. Moreover, the ratio R_{on}/BV , a figure of merit of the device, increased with increasing temperature.

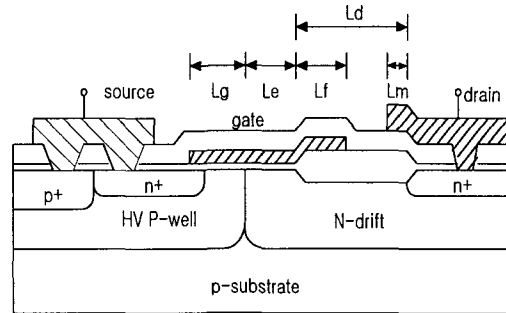
I. 서론

자동차 전자제어장치 및 모터 제어장치의 핵심부품으로 이용되고 있는 전력 집적회로 시스템은 주로 400K 이상의 높은 동작온도 환경을 요구하고 있다. 이에 따라 전력 집적회로 시스템의 핵심부품으로 사용되는 LDMOS(Lateral Double-diffused MOSFET) 소자도 고온 동작환경에서의 신뢰성이 요구되게 되었고, 이를 위해서는 온도특성 분석이 필수적이라고 할 수 있다.[1]

이에 300K~500K의 동작 온도 환경에서 100V 이상

급의 LDMOS의 GATE length(L_g) 길이변화에 따른 전기적 특성을 측정 분석하였다.

II. 측정조건 및 방법



[그림. 1] 측정에 사용된 n-LDMOSFET의 소자 구조

실험에 사용된 소자[그림. 1]는 100V급 n-LDMOS FET으로 p 에피층 위에 붕소(B)가 이온 주입된 p-well 및 인(P)이 이온 주입된 n-드리프트 영역으로 구성되어 있다. Gate oxide 두께는 200Å, 채널 및 드리프트 영역 폭은 90 μm 이고, 수평길이 성분은 게이트 확장영역 길이(L_e), 드레인 필드판 확장영역 길이(L_m)는 각각 2.4 μm , drift 영역의 길이(L_d)는 8.4 μm , 게이트 필드판 확장영역 길이(L_f)는 1.8 μm 로 구성되어 있다. 본 연구에서는 상기 소자 변수들을 모두 고정시켜 높은 상태에서 게이트 영역 길이(L_g)를 각각 1.5 μm ~ 3.0

μm까지 0.3μm 스텝으로 6번 변화시켜 가며 300K에서 500K까지의 온도환경에서 전기적 특성을 측정하였다.

온도환경 조성에는 Hot chuck 및 온도 보정된 Temperature Controller를 사용하였고 전기적 특성 측정에는 HP4145B와 Curve Tracer TEK370을 사용하였다.

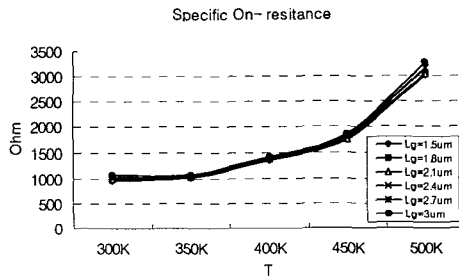
III. 측정결과 및 분석

전력 집적회로에서 논리회로를 구성하여 신호처리를 수행하는 CMOS와는 달리 LDMOS 소자는 주로 전류 및 전압을 구동하는 스위치의 역할을 수행한다. 따라서 높은 전압 및 전류 구동 능력과 switching 속도가 LDMOS의 성능을 좌우하는 중요한 요소가 된다.[2]

따라서 이를 결정하는 주요 전기적 파라미터인 On-resistance, 문턱전압, 드레인 전류, transconductance 및 항복전압을 중심으로 고온 동작환경에서의 전기적 특성을 분석하도록 하였다.

Specific On-Resistance

On-resistance는 전류 전도시의 전력 소모를 나타내기 때문에 전류 구동 능력을 결정하는 중요한 소자 변수이다[3]. 따라서 일반적으로 On-resistance가 작은 소자일수록 전류 구동 능력이 커지게 된다. LDMOS 소자의 On-resistance는 크게 채널 저항과 드리프트 영역 저항, 그리고 드리프트 영역 양 끝 게이트와 드레인 부근에서의 spreading 저항으로 구성된다. 그런데, 매우 낮은 항복 전압을 가지는 소자를 제외하고는



[그림. 2] 각 드리프트 영역 길이에서의 온도변화에 따른 Specific On-Resistance(드레인 전압: 0.1V, 게이트 전압: 5V)

LDMOS의 On-resistance는 carrier의 농도가 낮은 드리프트 영역의 저항에 의해 좌우된다. 따라서 L_g 에 따른 on저항의 변화는 거의 없다. 또한 L_g 는 온도에 따라서 effective mobility의 감소에 따른 큰 증가를 보인다.

다. 실험 결과에 의해 On-resistance의 온도에 따른 변화는

$$R_{on}(T) = R_{on}(300K) \cdot \left(\frac{T}{300}\right)^n \quad (n \approx 2.2) \quad (1)$$

으로 주어짐을 알 수 있다.

문턱전압 V_T

N-Channel MOSFET의 문턱전압에 관한 식은 다음과 같다[4].

$$V_{th}(T) = \phi_{MS} + 2\phi_F - \frac{Q_{ox}}{C_{ox}} - \frac{Q_{depl}}{C_{ox}} \quad (2)$$

여기서 ϕ_{MS} , ϕ_F , Q_{ox} , Q_{depl} 은 각각 metal-semiconductor work function difference, fermi potential, gate oxide에서의 charge density, 그리고 gate에 의해 control 되는 depletion charge 양을 나타낸다.

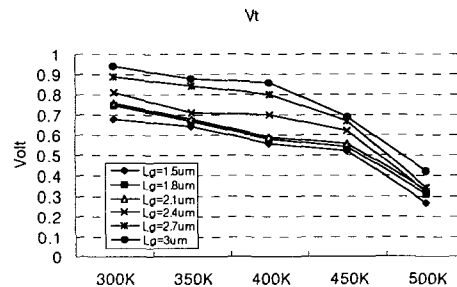
식 (2)에서 온도에 가장 dominant한 항은 fermi potential ϕ_F 인데 이를 식으로 나타내면 다음과 같다.

$$\phi_F = \frac{kT}{q} \ln(N_a / n_i(T)) \quad (3)$$

여기서 n_i 는 intrinsic carrier concentration인데 식 (4)와 같이 표현할 수 있다.

$$n_i = 3.9 \cdot 10^{16} T^{3/2} e^{-(E_g/2kT)} \quad (4)$$

따라서 온도가 증가하면 n_i 가 증가하게 되고 이에 의해 fermi potential이 감소하기 때문에 문턱전압이 감소하게 된다. 평균적으로 약 -4.7mV/K의 감소율을 보이는데 이는 기존 n-MOSFET 소자의 감소율 -4mV/K(불순물 농도: $3 \cdot 10^{16}/\text{cm}^3$) 및 -2mV/K(불순물



[그림. 5] 온도변화에 따른 각각의 L_g 에 대한 threshold voltage V_T

농도: $1 \cdot 10^{15}/\text{cm}^3$ 보다 더욱 큰 값으로, LDMOS의 채널구조가 높은 도핑농도를 가지는 double-diffused 구조이기 때문이라고 알려져 있다[2].

그리고 L_g 가 증가하면 channel length가 증가하게 되고 이에 따라 식(2)에서 보는 것처럼 Q_{depl} 가 증가하

게 되어 V_T 도 증가하게 된다.

드레인 전류

포화영역($V_{ds} > V_{gs} - V_t$)에서의 드레인 전류는

$$I_{ds} = \beta(T) (V_{gs} - V_T(T))^2 \quad (5)$$

$$\beta(T) = \frac{1}{2} \mu_{eff}(T) C_{ox} \left(\frac{W}{L} \right) \quad (6)$$

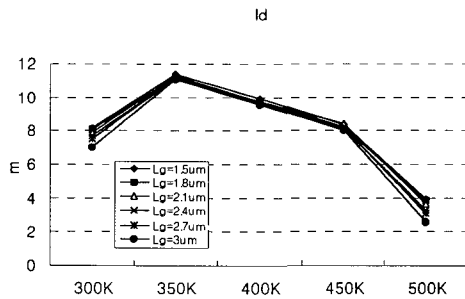
로 나타낼 수 있다.

식 (5)와 (6) 실험결과를 이용하면 다음과 같은 식을 유도 할 수 있다.

$$\beta(T) = \beta(300K) * \left(\frac{T}{300} \right)^{-n} \quad (n \approx 2.2) \quad (7)$$

식 (6)에서 $\beta(T)$ 의 온도 의존성에 가장 주된 영향을 주는 항은 effective mobility인 μ_{eff} 이다. 따라서, μ_{eff} 의 변화율을 대략 $\mu_{eff} \propto T^{-2.2}$ 로 표현할 수 있는데, 이는 기존 MOSFET 소자에서의 mobility의 온도 의존성 $\mu_{eff} \propto T^{-n}$ ($n: 1.5 \sim 1.8$)[6] 보다 약간 큰 값이다. 이로써 기존 MOSFET 소자에 비해 LDMOS 소자의 온도 증가에 따른 열화 현상이 더욱 심각함을 알 수 있다.

L_g 의 변화에 따라서는 on 저항이 거의 변화하지 않기 때문에 마찬가지로 거의 변화가 없음을 볼 수 있다.



[그림. 6] 각 gate 길이에서의 온도변화에 따른 드레인 전류 (드레인 전압: 25V, 게이트 전압: 5V)

Transconductance g_m

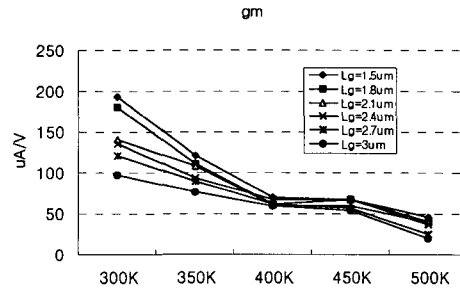
g_m 은 일반적으로

$$g_m = \frac{\partial I_d}{\partial V_G} = \mu_{eff} C_{ox} \frac{W}{L} (V_G - V_T) \quad (saturation) \quad (8)$$

로 주어진다. 그러므로 역시 effective mobility에 크게 영향을 받으므로 온도가 올라감에 따라 감소함을 짐작

할 수 있다. [7]

L_g 의 길이에 따라서는 증가함에 따라서 V_T 의 증가로 위의 식에서 g_m 은 감소함을 알 수 있다.



[그림. 7] transconductance g_m 의 L_g 와 온도에 따른 변화

Breakdown voltage BV

반도체 전력소자의 성능을 좌우하는 가장 중요한 요소 중의 하나가 높은 전압을 제어(Voltage blocking)하는 능력인데 이는 소자의 항복전압에 의해 결정된다.

항복전압은 주로 충돌 이온화에 의한 애벌랜치(avalanche) 현상에 의해 형성되는데 이를 식으로 나타내면 다음과 같다[8].

$$BV_{ds} = \epsilon_s E_{s,cr} (N_D) \left[\frac{E_{s,cr} (N_D)}{2q N_D} + \frac{1}{C_o} \right] \quad (9)$$

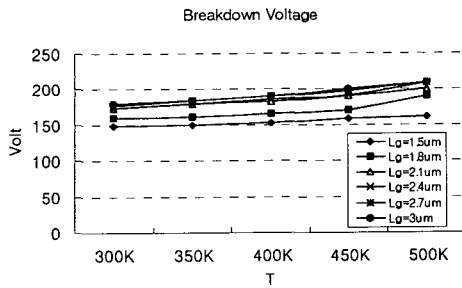
격자분산 평균자유경로(mean free path)를 움직이는데 캐리어가 이온화에 필요한 에너지를 얻을 때 항복이 일어나게 되는데 주어진 거리에 대한 특정한 에너지 이득은 특정한 전계에 대응한다. 다시 말해서, 전계가 어떤 임계값 (식 (9)에서의 $E_{s,cr}(N_D)$)에 도달할 때 항복이 발생하게 된다.

$$\lambda = \lambda_o \tanh \left(\frac{E_p}{2kT} \right) \quad (10)$$

그런데 온도가 증가하게 되면 식(10)에서 볼 수 있듯이 평균자유경로 λ 가 감소하게 된다. 따라서 온도가 증가하게 되면 이온화를 위해 더 큰 임계 전계값을 요구하게 되고 이로 인해 항복전압도 증가하게 된다.[7] 그림. 5에서는 게이트 전압이 0V일 때 드레인-소스간의 대기상태 항복전압을 나타내었다. 실험결과 절대온도 1K 증가시 약 0.1V의 항복전압 증가를 볼 수 있었고 이를 선형적인 식으로 표현하면 다음과 같다.

$$BV_{ds}(T) = BV_{ds}(300K) + A(T - 300) \quad (11)$$

$$(0.1 < A < 0.15)$$



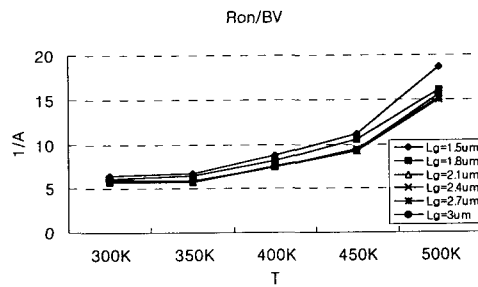
[그림. 8] 온도와 gate길이에 따른 항복전압의 변화

또한 L_g 에 증가에 따른 channel 길이의 증가로 같은 바이어스에서 Electric Field가 감소하기 때문에 breakdown voltage는 증가함을 알 수 있다.

IV. 결론

본 논문에서는 고온 동작환경에서 gate 길이 변화에 따른 100V급 LDMOSFET의 전기적 특성을 살펴보았다.

실험결과 500K 이상의 온도환경에서 드레인 전류는 상온값의 30%이하로 감소하고, On-resistance는 3배 이상 증가함을 볼 수 있었다. 그리고 대기상태 항복 전압은 온도 증가에 따라 선형적으로 증가함을 볼 수



[그림. 9] figure of merit Ron/BV

있는데 증가율은 1K당 약 0.1V~0.15V로 일반 MOS보다는 작은 증가율을 보였다.

또한 온도가 증가할수록 R_{on}/BV 가 증가하여 소자의 특성이 열화되기 때문에 시스템의 요구조건을 만족시키기 어렵게 된다. R_{on}/BV 는 다음과 같이 보여진다.

R_{on}/BV 은 power device의 성능을 가늠해볼 수 있는 척도로 쓰일수 있으며 LDMOS에서는 온도가 낮을수록, L_g 가 길수록 더 좋은 특성을 보였다. 상온에서는 온도보다는 L_g 의 길이에 민감하였고, 고온에서는 반대로 온도에 민감함을 보였다. 따라서 소자설계 시 고온

동작 환경을 고려한 적절한 설계 변수를 추출하는 것은 매우 중요하다고 할 수 있다.

참고 문헌

- [1] G. Dolny, et al., "Characterization and Modeling of the Temperature Dependence of Lateral DMOS Transistor for High-Temperature Application of Power ICs," IEDM, pp789-792, 1990
- [2] Y.S.Koo, et al, "A study on the temperature characteristics of power LDMOSFETs having various drift region lengths" JKPS, Vol.39. December 2001
- [3] B. J. Baliga, "Power Semiconductor Devices," PWS, p340, 1996
- [4] G. Groeseneken, et al., "Temperature Dependence of Threshold Voltage in Thin-Film SOI MOSFET's," IEEE EDL, Vol.11, No.8, pp329-331, Aug 1990
- [5] R. Wang, et al., "Threshold Voltage Variation with Temperature in MOS Transistor," IEEE ED, June, pp386-388, 1971,
- [6] N. D. Arora, et al., "A Semi-Empirical Model of the MOSFET Inversion Layer Mobility for Low Temperature Operation," IEEE ED, Vol. 34, pp89-93, Jan 1987
- [7] S. M. Sze, Physics of Semiconductor Devices, 2nd ed, JWS, pp47, 105, 1981
- [8] M. J. Declercq, J. D. Plummer, "Avalanche Breakdown in High-Voltage DMOS Devices," IEEE ED, Vol. 23, No. 1, pp 1-4, Jan 1976