

## 레이저 유도 원자층 도핑(LI-ALD)법으로 성장시킨 SiGe 소스/드레인 얇은 접합 형성

장 원수, 정은식, \*배지철, 이용재  
동의대학교 전자공학과, \*Delft University of Technology  
전화 : 051-890-1938 / 핸드폰 : 019-579-4588

### Ultra-shallow Junction with Elevated SiGe Source/ Drain Fabricated by Laser Induced Atomic Layer Doping

Won-Soo Chang, Eun-sik Jung, Ji-Chul Bea, Yong-Jea Lee  
Dept. of Electronics, Dong-Eui University  
E-mail : yjlee@dongeui.ac.kr

#### Abstract

This paper describes a novel structure of NMOSFET with elevated SiGe source/drain region and ultra-shallow source/drain extension(SDE) region. A new ultra-shallow junction formation technology, which is based on damage-free process for replacing of low energy ion implantation, is realized using ultra-high vacuum chemical vapor deposition(UHV-CVD) and excimer laser annealing(ELA).

증가 확산, 이온주입 손상의 불완전한 회복 등과 같은 것들이 있다.

이러한 문제를 해결하기 위하여 실리콘표면위에 불순물 원자가 단층으로 흡착, 확산되는 원자층 도핑 기술이 제시되었다. 원자층 도핑 기술을 얇은 접합 깊이의 SDE 그리고 낮은 면저항이 형성 될 수 있다. 그러나 원자층 도핑 기술은 낮은 면저항으로 소스/드레인 접합을 형성하기에 항상 적합하지는 않다. 그리하여, 더 얇은 접합과 낮은 면저항으로 소스/드레인 접합과 SDE접합을 형성하기 위해 얇은 접합기술인 레이저 유도 원자층 도핑(LI-ALD : laser induced atomic layer doping)법으로 성장시킨 SiGe 소스/드레인 구조를 제안하였다.

#### I. 서론

50nm이하 n-MOSFET의 구현을 위해서 낮은 면저항의 극히 얇은 접합은 필수적이다. 더 얇은 접합깊이는 소스/드레인 확장 영역(SDE: source/drain extension)에서와 소스/드레인 영역에서 더 낮은 면저항이 요구된다. SDE를 위한 얇은 접합을 만들기 위해서는 이온주입 에너지가 5KeV 보다 낮은 에너지의 이온주입을 주로 사용한다. 그러나 낮은 에너지 이온주입의 문제점으로는 이온주입된 불순물의 낮은 전기적 활성화 효율, 채널링, 순간

#### II. 본론

##### 2.1 레이저 유도 원자층 도핑(LI-ALD) 기술

그림1은 LI-ALD의 공정순서를 보여준다. 먼저 비소 원자 단층은 고진공 화학 증기 증착법(UHV-CVD)에서 실리콘 표면위에 증착되어진다. 비소 불순물 증착은 자기제한 공정이고(self-limiting process)이고 그래서 정확히 비소 원자를 단층 증착 할 수 있다. KrF 엑시머 레이저 어닐링은 capping layer법의 NSG 필름이 증착된 후 수행한다. 레이저를 이용한 비소 원자를 도핑한 후의 십즈 프로파일은 그림2에 나타나 있다.

비소 불순물은 5KeV의 비소 이온주입과 비교했을때 LI-ALD에 의하여 접합 형성이 20nm보다 얇은 접합 깊이와  $7.0 \times 10^{19}/\text{cm}^3$ 보다 높은 피크의 농도를 주는 형태로 확연하게 관측되어 진다.

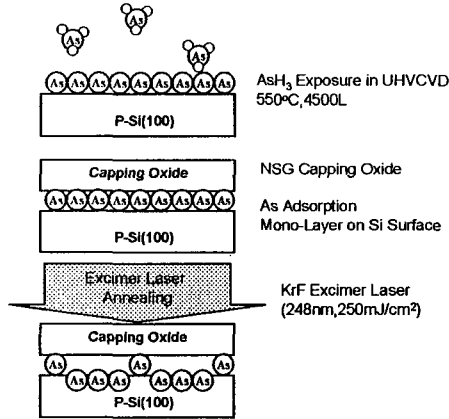


그림1. LI-ALD의 공정 순서도

Fig. 1 Process sequence of laser induced atomic layer doping (LI-ALD)

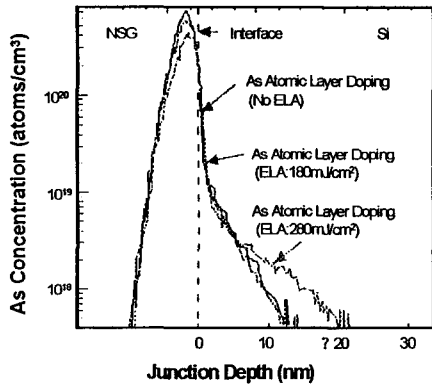


그림2. As의 LI-ALD 전후의 심스 프로파일

Fig. 2 SIMS profiles of Arsenic before and after LI-ALD

그림3은 면저항과 ELA를 이용한 LI-ALD의 접합 깊이와 RTA를 이용한 간단한 ALD 그리고 RTA를 이용한 저에너지 이온 주입과의 관계를 나타내었다. 이 그림에서 얇은 접합 깊이와 매우 낮은 면저항의 접합은 LI-ALD의 사용으로 제작할 수 있음을 알 수 있다.

그림 4는 LI-ALD를 이용하여 만들어진 SDE접합의 전류 전압 특성을 나타내었다. 이 그림에서 LI-ALD법으로 만들어진 SDE접합은 비교적 낮은 누설전류를 보여주고 있다.

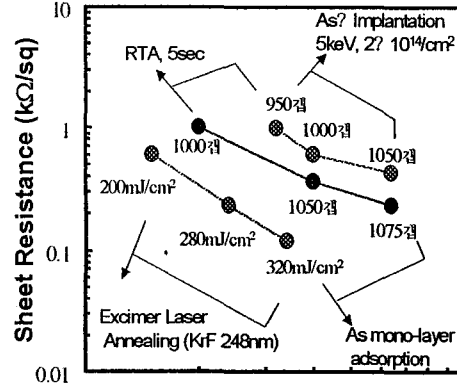


그림3. ELA를 이용한 LI-ALD, RTA를 이용한 ALD, 저에너지 이온주입

Fig. 3 Sheet resistance versus junction depth for LI-ALD (ELA), simple atomic layer doping (RTA) and low energy ion implantation

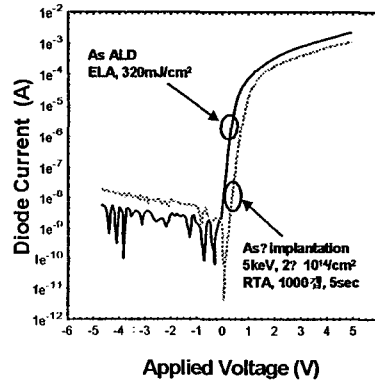


그림4. LI-ALD와 RTA를 이용하여 만들어진 P/N+ 다이오드의 I-V 특성

Fig. 4 I-V characteristics of P/N+ diode fabricated using LI-ALD and RTA

## 2.2 동시 주입 SiGe 선택적 에피성장

높은 전류 조정성을 가진 MOSFET를 달성하기 위한 소스/드레인의 매우 낮은 면저항의 접합이 필요하다. 우리는 동시 인 도핑 선택적 에피성장법을 이용한 소스/드레인 영역에서 성장시킨 SiGe 소스/드레인을 만들었다. 이 성장시킨 SiGe 소스/드레인의 접합 깊이는 ELA동안 실리콘 표면으로 확산된 인 원자로 인해 결정된다. 실리콘 표면으로 확산된 인 원자의 이온 총량은 제한할 수 있다. 그러므로 우리는 고농도의 성장

시킨 SiGe층으로 인해 매우 낮은 면저항과 얇은 접합 깊이의 소스/드레인 접합을 얻을 수 있다.

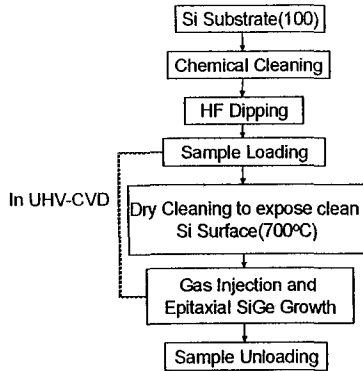


그림5. 성장시킨 SiGe 소스/드레인 공정순서  
Fig. 5 Process sequence for the elevated SiGe source/drain

그림5는 성장시킨 SiGe 소스/드레인 공정순서를 나타내고 있다. 성장시킨 소스/드레인 형역은 UHV-CVD에서 동시 인 도핑 선택적 에피성장법으로 만들어졌다. SiGe의 두께는 200nm이다.

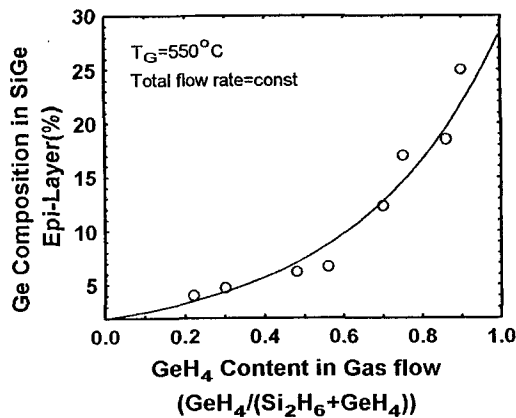


그림6. 전체GeH4농도와 Epi-Layer의 관계  
Fig. 6 Relation of Ge composition in SiGe epi-layer and GeH<sub>4</sub> content in total gas flow

그림6에서는 전체의 가스흐름에서 GeH4의 농도가 바뀌므로 변화가 많다는 것을 보여주고 있다. Ge의 농도로 면저항이 변한다는 것을 그림7로 알 수 있다. 본 연구에서 엑시머 레이저 어닐링 후 얇은 접합 깊이를 유지하면서 14%의 농도에서 40Ω/□ 정도의 아주 작은 면저항을 얻을 수 있었다.

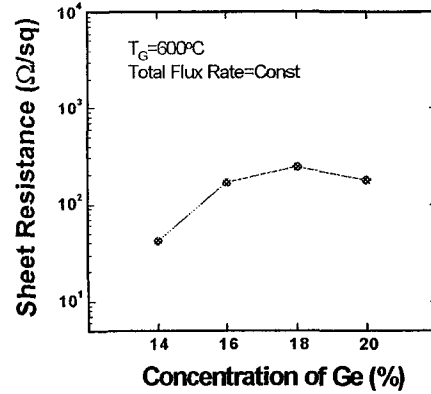


그림7. 면저항과 Ge농도와와의 관계  
Fig. 7 Sheet resistance versus concentration of Ge

### 2.3 소자 제작 및 측정

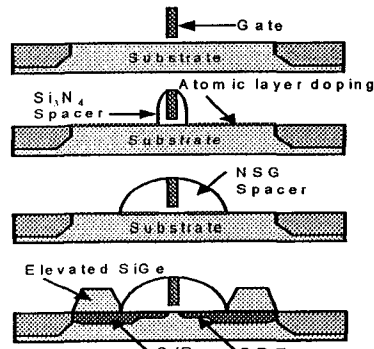


그림8. LI-ALD법으로 성장시킨 SiGe 소스/드레인 NMOSFET의 공정 순서

Fig. 8 Fabrication process sequence for NMOSFET with shallow junctions formed by LI-ALD and elevated SiGe source/drain

그림 8은 LI-ALD법으로 성장시킨 SiGe 소스/드레인 NMOSFET의 공정 순서를 나타내었다. 4nm의 게이트 산화막을 형성한후 LP-CVD로 170nm 두께의 poly-si 게이트 진귀를 증착시켰다. 그다음 얇은 Si<sub>3</sub>N<sub>4</sub> 사이드 웰을 형성시킨 후 SDE영역에서 비소원자 단층을 증착시켰다. 그후 보호층 형성을 위한 NSG(non-doped silicate glass)를 100nm두께로 증착시키고 NSG 사이드 웰을 형성시켰다. 계속해서 UHV-CVD를 이용해서 소스/드레인 영역에서 동시 인 주입 선택적 에피 성장을 수행하였다. 그리고 펄스 KrF 엑시머 레이저 SDE영역을 형성할 원자를 확산 증착하기 위해 250mJ/cm<sup>2</sup>의 에너지로 주사하였다. 레이저를 주사하는 동안 SiGe속의 인 원자의 일부분이

소스/드레인 영역의 실리콘 표면속으로 확산된다. 따라서 고집적인 이온주입에 이 얇은 집합 기술은 사용되지 않는다.

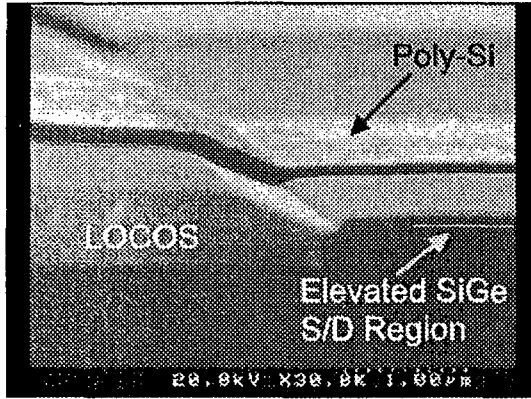


그림9. LI-ALD법으로 성장시킨 SiGe 소스/드레인 n-MOSFET의 SEM사진

Fig. 9 SEM cross-section of fabricated NMOSFET

그림 9는 LI-ALD법으로 성장시킨 SiGe 소스/드레인 n-MOSFET의 SEM사진이다. 이것으로 동시에 인 주입 SiGe 층은 소스/드레인 영역위에 성장되어 있음을 확실히 알 수 있다.

드레인 전류-전압 특성과 만들어진 소자의 문턱전압 아래 특성을 그림 10,11에 각각 나타내었다. 이것으로 LI-ALD법으로 성장시킨 SiGe 소스/드레인 n-MOSFET는 양호한 소자특성이 나타나는 것을 확인할 수 있었다.

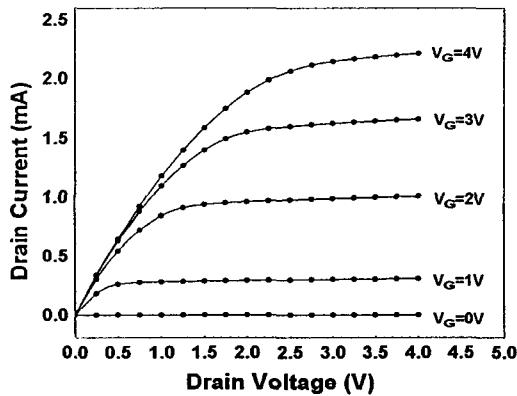


그림10. 얇은 집합의 NMOSFET의 드레인 전류-전압 특성

Fig. 10 Drain current-voltage characteristic of NMOSFET with shallow Junctions

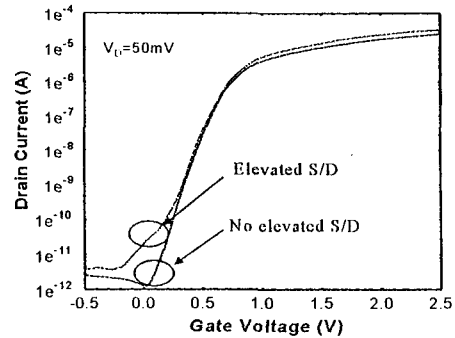


그림11. 올린 소스/드레인 NMOSFET와 일반 소스/드레인 NMOSFET의 문턱전압아래 특성

Fig. 11 Sub-threshold characteristics of NMOSFETs with elevated S/D and without elevated S/D

### III. 결론

우리는 레이저 유도 원자층 도핑(LI-ALD)법을 이용한 극히 얇은 집합기술과 매우 낮은 면저항과 낮은 집합 깊이로 SDE집합 과 소스/드레인을 형성하기 위한 동시에 인 도핑 선택적 에피 성장법으로 성장시킨 SiGe 소스/드레인형성을 제시하였다. 이로인해 얇은 집합 기술로제작된 n-MOSFET에서 양호한 소자 특성이 나타나는 것을 확인 할 수 있었다.

### IV. 참고문헌

- [1] A novel elevated source/drain PMOSFET formed by Ge-B/Si intermixing Ranade, P.; Takeuchi, H.; Subramanian, V.; King, T.-J. IEEE Electron Device Letters , Vol 23 Issue: 4 , April 2002 pp. 218 -220
- [2] Augendre, E. atal "Elevated source /drain by sacrificial selective epitaxy for high performance deep submicron CMOS: Process window versus complexity" Electron Devices, IEEE Transactions on , Vol 47 Issue: 7 , July 2000 pp. 1484 -1491
- [3] Koyanagi, M. "Requirements for junction technology from device design" Junction Technology, 2000, The first international workshop on, Extended abstracts of , 2000 pp. 1 -6