

새로운 CBFP 스케일링 방법을 적용한 8192점 FFT 프로세서 설계

이 승기, 양 대성, 박 광호, 신 경욱
금오공과대학교 전자공학부
전화 : 054-467-4328

A Design of 8192-point FFT Processor using a new CBFP Scaling Method

Seung-ky Lee, Dae-Sung Yang, Kwang-Ho Park, Kyung-Wook Shin
School of Electronic Eng., Kumoh National University of Technology
E-mail : leesk@knut.kumoh.ac.kr

Abstract

This paper describes a design of 8192-point pipelined FFT/IFFT processor (PFFT8k) core for DVB-T and DMT-based VDSL modems. A novel two-step convergent block floating-point (TS_CBFP) scaling method is proposed to improve the signal-to-quantization-noise ratio (SQNR) of FFT/IFFT results. Our approach reduces about 80% of memory when compared with conventional CBFP methods. The PFFT8k core, which is designed in VHDL and synthesized using 0.25- μm CMOS library, has about 76,300 gates, 390k bits RAM, and Twiddle factor ROM of 39k bits. Simulation results show that it can safely operate up to 50-MHz clock frequency at 2.5-V supply, resulting that a 8192-point FFT/IFFT can be computed every 164- μs . The SQNR of about 60-dB is achieved.

I. 서론

고속 푸리에 변환 (Fast Fourier Transform; FFT) 및 역 FFT (IFFT)는 DMT (Discrete Multi-Tone) 기반의 VDSL 모뎀, OFDM (Orthogonal Frequency Division Multiplexing) 모뎀 등 다중 반송파 변조 시스템에서 핵심 기능블록으로 사용된다^[1-3].

FFT/IFFT 연산은 나비연산과 복소수 곱셈으로 구성되는 연산단계를 거치면서 내부 데이터의 비트 수가 증가하게 되므로, 고정점 연산을 사용하는 FFT/IFFT 프로세서는 각 연산단계의 중간결과를 적절한 내부 비트 수로 제한해야 한다. 파이프라인 FFT 프로세서의 SQNR 개선을 위해 수렴 블록 부동점 (Convergent Block Floating Point; CBFP) 스케일링 방법이 제안되고 있다^[4]. 종래의 CBFP 스케일링 방법에서는 각 연산단계의 블록 크기에 비례하는 버퍼 메모리를 필요로 하므로, FFT 길이가 큰 경우에는 CBFP 스케일링을 위한 추가적인 메모리가 크게 증가하여 칩 면적과 전력소모가 커지는 단점을 가지며, 따라서 8192점 FFT의 경우에는 실용성이 매우 떨어진다.

본 논문에서는 CBFP 스케일링을 갖는 파이프라인 FFT 프로세서의 효율적인 설계를 위해, 별도의 버퍼 메모리를 사용하지 않는 새로운 2-단계 CBFP 스케일링 방법을 제안하고, 이를 적용한 8192점 FFT/IFFT 프로세서를 설계하였다.

II. CBFP 스케일링 방식

2.1 종래의 CBFP 스케일링 방법^[4]

그림 1은 종래의 CBFP 스케일링 메커니즘을 나타내는 개념도이다. 데이터 블록의 크기는 128이고 연산단계의 중간결과 값을 25비트에서 12비트로 스케일링

하는 경우를 예로 들었다. 그러나, 블록의 크기나 중간 결과 데이터의 비트 수 및 내부 비트 수에 제한 받지 않고 일반적으로 적용이 가능하다.

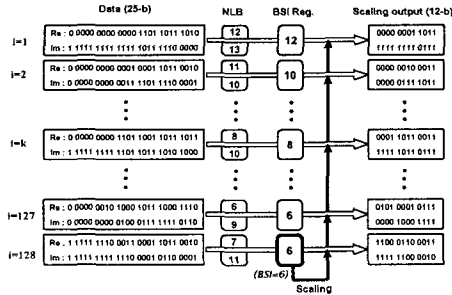


그림 3. 종래의 CBFP 스케일링 방법의 개념도

CBFP 처리부에 입력되는 각각의 25비트 데이터의 실수부와 허수부에서 부호 비트와 동일하면서 연속된 '0' 또는 '1'의 개수 (Number of Leading Bits; NLB)를 찾아 이들 값을 블록 스케일링 지수 (Block Scaling Index; BSI) 레지스터의 값과 비교하여 작은 값을 BSI 레지스터에 갱신하며, 이때 블록내의 25비트 데이터는 순차적으로 버퍼 메모리에 임시 저장된다. 블록내의 모든 데이터에 대해 상기 과정을 반복하면 BSI 레지스터에는 가장 작은 NLB 값이 저장되고, 이 값을 이용하여 버퍼 메모리에 저장된 25비트의 데이터를 순차적으로 꺼내어 12비트로 스케일링하여 다음 연산단계로 넘겨준다. 이와 같은 과정이 각 연산단계의 모든 데이터 블록들에 대해 반복 수행되며, 각 연산단계에서 얻어진 BSI 값은 연산단계마다 누적 가산된 후 CBFP 디코더에서 역 스케일링을 위해 사용된다.

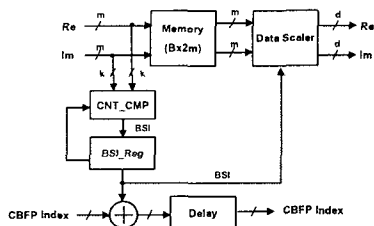


그림 4. 종래의 CBFP 스케일링 블록

그림2는 종래의 CBFP 스케일링 처리부의 블록도이며, 각 연산단계의 블록크기 B에 비례하는 (Bx2m)-비트의 버퍼 메모리를 필요로 한다. 또한, 각 연산단계마다 BSI 값을 찾는 시간만큼 출력이 지연되므로 FFT 프로세서의 출력 레이턴시가 길어진다. 따라서,

8192점 FFT의 경우에는 CBFP 스케일링을 위해 큰 메모리가 필요하여 칩 면적과 전력소모가 커져 실용성이 매우 떨어진다.

2.2 TS_CBFP 스케일링 방법

그림 2는 본 논문에서 제안하는 2단계 CBFP (two-step CBFP; TS_CBFP) 스케일링 메커니즘을 나타내는 개념도이다.

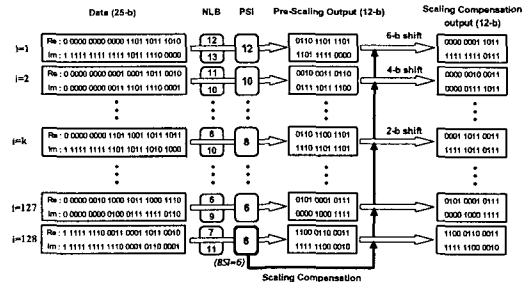


그림 3. 제안된 TS_CBFP 스케일링의 개념도

CBFP 처리부에 입력되는 각각의 25비트 데이터의 실수부와 허수부에서 NLB를 찾아 이들 값을 예비 스케일링 지수 (Pre-Scaling Index; PSI) 레지스터에 저장된 값과 비교하여 작은 값으로 레지스터를 갱신하고, 이를 이용하여 각 데이터의 실수부와 허수부를 12비트로 예비 스케일링한 후, 해당 PSI 값과 함께 지연 변환기에 저장한다. 데이터 블록내의 모든 데이터에 대해 이와 같은 예비 스케일링이 완료되면 해당 데이터 블록의 BSI 값이 결정되고, 따라서 지연변환기 메모리에 저장된 데이터와 해당 PSI 값을 순차적으로 꺼내서 BSI 값과의 차이만큼 스케일링 보정을 행한다.

본 논문에서 제안되는 TS_CBFP 스케일링 방법은 m-비트의 데이터를 d-비트 (단, m>d)로 예비스케일링하고, 이 데이터를 별도의 버퍼 메모리 대신에 지연 변환기 메모리에 저장한다. 따라서, CBFP 처리를 위해 별도의 버퍼 메모리를 사용하지 않으므로 종래의 방식에 비해 메모리 용량을 크게 감소시키는 효과를 얻을 수 있다.

III. TS_CBFP 스케일링을 적용한 8192점 FFT/IFFT 코어 설계

제안된 TS_CBFP 스케일링을 적용한 8192점 파이 프라인 FFT/IFFT 프로세서 코어 PFFT8k는 그림 4와

같은 구조를 가지며, radix-4 single-path delay commutator (R4SDC) 구조를 기반으로 하여 6개의 radix-4 연산단계와 1개의 radix-2 연산단계, 그리고 CBFP 디코더로 구성된다. 내부 비트 수는 고정점 시뮬레이션을 통해 결정하였으며, 입력 데이터는 10비트, 회전인자 값과 CBFP 스케일링 후의 내부 데이터는 14 비트, 최종 출력은 16비트로 결정하였다.

연산단계-1은 CBFP 스케일링을 갖지 않는 일반적인 radix-4 연산단계이며, 연산단계-2~연산단계-6은 TS_CBFP 스케일링을 갖는 radix-4 연산단계이다. 입력단과 출력단의 선택기는 모드선택 신호에 의해 FFT 연산과 IFFT 연산을 선택적으로 수행하도록 하며, CBFP 디코더는 연산단계-6까지 누적 가산된 CBFP 지수와 외부에서 인가되는 출력 이득조정 신호(OSF)에 의해 최종 FFT/IFFT 출력을 역 스케일링하는 기능을 수행한다.

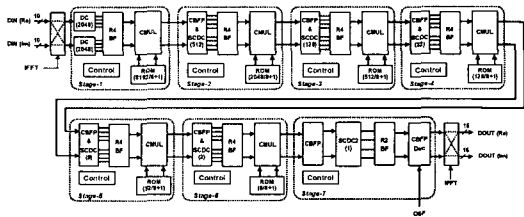


그림 4. 제안된 TS_CBFP 스케일링을 적용한 8192점 FFT/IFFT 프로세서의 구조

TS_CBFP 스케일링을 갖는 radix-4 연산단계 (연산단계-2~연산단계-6)는 그림 5와 같으며, CBFP 예비 스케일러 (CBFP Pre-Scaler), 스케일링 보정 지연 변환기 (SC-DC), radix-4 나비 연산기, 복소수 곱셈기 (CMUL), 회전인자 룬 등으로 구성된다. CBFP 예비 스케일러와 스케일링 보정 지연 변환기는 이전 연산단계의 복소수 승산기에서 출력되는 28비트 중간결과 데이터를 데이터 블록내의 가장 큰 데이터를 기준으로 14비트로 스케일링함으로써 연산오차를 최소화하는 기능을 수행한다.

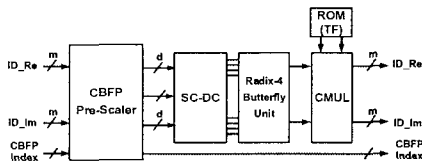


그림 5. TS_CBFP 스케일링을 갖는 radix-4 연산단계

그림 6은 CBFP 예비 스케일링 처리부의 상세도이다. 복소수 곱셈기로부터 입력되는 m -비트 데이터는 계수/비교기 (CNT_CMP)에서 NLB 값을 구하여 각 데이터의 PSI 값이 결정되고, 예비 스케일링은 PSI 값을 이용하여 m -비트 데이터를 d -비트 (단, $m > d$)로 예비 스케일링 한다. 예비 스케일링된 d -비트의 데이터는 해당 PSI 값과 함께 스케일링 보정 지연 변환기에 저장된다. 데이터 블록 내의 모든 데이터에 대해서 상기 과정이 완료되면, 가장 작은 PSI 값이 해당 데이터 블록의 BSI 값으로 결정된다. 그림 6에서 보는 바와 같이, CBFP 스케일링을 위해 별도의 버퍼 메모리를 사용하지 않으므로 종래의 방식 (그림 2)에 비해 메모리를 크게 감소시키는 효과가 얻어진다.

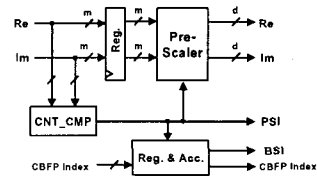


그림 6. CBFP 예비 스케일러

스케일링 보정 지연 변환기는 그림 7과 같으며, $(B_k \times 2d)$ -비트의 데이터 메모리, $(B_k \times 4)$ -비트의 PSI 메모리 및 스케일링 보정기로 구성된다. (단, B_k 는 k -번째 연산단계의 블록 크기를 나타냄). 메모리에 저장된 d -비트의 예비 스케일링된 데이터는 BSI 값과 각 데이터의 PSI 값의 차이만큼 오른쪽 쉬프트를 통해 스케일링 보정이 이루어진다.

연산단계-1~연산단계-6에서 데이터와 회전인자의 곱셈을 연산하는 복소수 승산기는 디지털 통신 및 신호처리에 적합하도록 개발된 복소수 승산기 IP^[5]를 사용하였다. 회전인자 값은 sine 파형과 cosine 파형의 1/8 주기만을 ROM에 저장한 후, ROM의 읽기 주소를 적절히 제어하여 각 연산단계에서 필요한 회전인자 값이 생성되도록 하였으며, 이를 통해 ROM의 크기를 약 1/8로 감소시켰다.

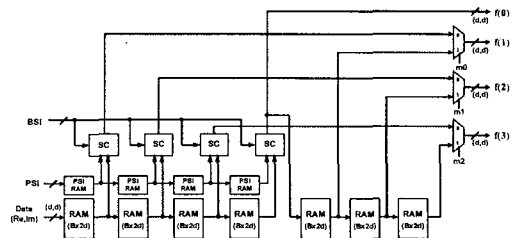


그림 7. 스케일링 보정을 갖는 지연 변환기

IV. 설계 검증

설계된 PFFT8k 코어는 VHDL로 모델링 되었으며, Synopsys를 이용하여 검증과 논리합성을 하였다. 논리 검증을 위한 시뮬레이션 입력 데이터는 이진 랜덤 신호를 QPSK 변조하여 부동소수점 연산을 갖는 ideal IFFT와 이득 조정을 거쳐 10비트로 양자화된 데이터를 사용하였다. 시뮬레이션 결과, 85-dB의 신호전력에 대해 양자화 잡음 전력은 약 25-dB로 나타나 약 60-dB의 SQNR을 갖는 것으로 분석되었다. 그림 8은 설계된 PFFT8k 코어의 출력 스케일링에 따른 SQNR 특성을 분석한 결과이며, CBFP 스케일링을 적용하지 않는 경우에 비해 최대 22-dB 정도의 SQNR 향상이 얻어졌다.

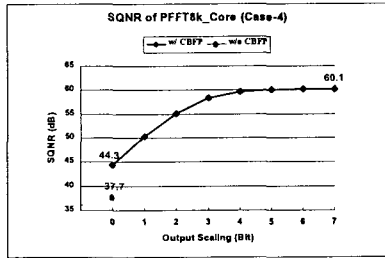


그림 8. PFFT8k 코어의 SQNR 분석

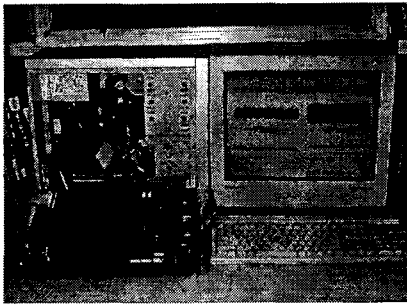


그림 9. FPGA를 이용한 검증 시스템

설계된 PFFT8k 코어를 0.25- μ m CMOS 셀 라이브러리로 합성한 결과, 약 76,300 게이트와 390k 비트의 RAM, 그리고 39k 비트의 ROM으로 구현되었다. 본 논문에서 제안된 TS_CBFP 스케일링 방법은 기존의 방법에서 필요로 하는 메모리의 약 20%만으로 CBFP 스케일링을 구현할 수 있으며, 따라서 FFT/IFFT 코어의 면적과 전력소모를 크게 감소시킬 수 있다.

시뮬레이션 결과, 최대 지연시간은 약 8-ns로 나타났으며, 배치·배선에 의한 지연을 고려하더라도 50-

MHz@2.5-V로 동작하며, 따라서 8192점 FFT/IFFT 연산에 164- μ s가 소요될 것으로 판단된다. PFFT8k 코어를 Xilinx XCV2000ebg560-6 FPGA 디바이스에 구현하여 정상 동작함을 확인하였으며, 그림 9는 검증 시스템의 사진이다. 설계된 PFFT8k 코어는 우수한 SQNR 및 tone-by-tone SQNR 특성을 나타내어 다수 반송파 변조 시스템의 요구 조건을 충분히 만족하는 것으로 평가되었다.

V. 결론

OFDM 및 DMT 기반의 다수 반송파 변조 시스템의 핵심 기능블록으로 사용될 수 있는 8192점 FFT/IFFT 프로세서를 설계하였다. SQNR 향상을 위해 CBFP 스케일링을 적용하여 설계하였으며, 새로운 TS_CBFP 스케일링 방법을 고안하여 적용함으로써 기존의 방법에서 필요로 하는 메모리의 약 20%만으로 CBFP 스케일링을 구현하였다. 설계된 PFFT8k 코어는 약 76,300 게이트와 390k 비트의 RAM으로 구현되었으며, 약 60-dB의 SQNR이 얻어졌다. 설계된 코어는 전자부품 연구원의 IP DB에 등록되었으며, DMT 기반의 VDSL 모델과 유럽형 DVB 시스템의 SOC 설계에 폭넓게 사용될 수 있을 것이다.

참고문헌

- [1] 김재석, 조용수, 조중휘, *이동통신용 모델의 VLSI 설계*, 대영사, 2001.
- [2] T. de Couasnon, R. Monnier, and J.B. Rault, "OFDM for digital TV broadcasting", *Signal Processing*, vol. 39, pp. 1-39, Jan., 1994.
- [3] John A.C. Bingham, *ADSL, VDSL and Multi-carrier Modulation*, Wiley, 2000.
- [4] E. Bidet, C. Joanblanq, and P. Senn, "A fast single chip implementation of 8192 complex points FFT", *IEEE 1994 Custom Integrated Circuits Conference*, pp. 207-210, 1994.
- [5] 양대성, 이승기, 신경욱, "복소수 승산기 코어의 파라미터화된 소프트 IP 설계", *한국통신학회 논문지*, vol. 26, no. 10B, 2001.

시스템집적반도체기술평가사업의 선행핵심 IP 개발과제 연구비 지원과 반도체설계교육센터(IDEC)의 CAD Tool 지원에 의한 연구 결과의 일부임.