

## Charge Injection 보상 회로의 비교

박 상 훈, 김 수 은, 박 흥 준  
 포항공과대학교 전자전기공학과  
 전화 : 054-279-5025 / 핸드폰 : 011-9341-3468  
 E-mail : lucky@postech.ac.kr

### Abstract

Several charge injection compensation circuits, such as, the dummy transistor circuit, the switched OP-amp circuit, the switched capacitor circuit, were fabricated and the test results were compared. The differences between SPICE simulation results and measurements were within around 10%.

### I. 서론

MOS switch의 turn-off에 의해 유도되는 output error voltage는 이를 사용하는 sample/hold circuit, A/D & D/A converter, switched capacitor, switched current filter에서 accuracy를 떨어뜨리는 주된 역할을 한다. Error voltage는 input voltage level, gate voltage falling rate, substrate doping등 여러 요인들에 의해 좌우된다. 이러한 error voltage를 정확한 수식으로 풀어낼 수 없었기 때문에 현재까지도 이를 정확히 modeling하기 위한 많은 노력들이 시도되고 있다.

이 논문에서 다루고자 하는 내용은 이러한 charge injection에 의해 생기는 error voltage를 보상하고자 하는 회로들을 분석하고 2-poly 3-Metal의 Hynix 0.6um 공정으로 제작된 회로들을 측정하여 Level 28의 SPICE parameter set으로 Simulation 한 값을 비교하려 한다.

### II. Dummy tr을 이용한 보상회로[2]

Transistor의 channel charge가 capacitor에 유기되어 생기는 error voltage는 B. J Sheu's model에 의하면, 다음과 같이 표현된다. [1]

$$V_{df} = -\sqrt{\frac{\pi U C_L}{2\beta} \left( \frac{C_{ox} + C_{ox}/2}{C_L} \right)} \cdot \operatorname{erf} \left( \sqrt{\frac{\beta}{2UC_L}} V_{HT} \right) - \frac{C_{ox}}{C_L} (V_S + V_T - V_L) \quad \text{식(1)}$$

$U$ 는 falling rate,  $V_{HT} = V_H - V_S - V_T$ .

식(1)에서 볼 수 있듯이 charge injection 큰 요인인

channel charge이고 이를 줄이기 위한 방법이 dummy switch를 이용한 보상회로이다. Switch역할을 하는 MOS tr이 off되는 순간, sample clock과 non-inverting 하게 동작을 하는 clock이 dummy tr을 on시키면, capacitor로 유기되는 channel charge를 dummy tr의 channel charge로 붙잡으면서 error를 보상을 하는 회로이다. 빠른 clock fall time을 가지는 회로에서 쓰는 전형적인 보상기법으로서 high frequency에서 동작을 하는 analog 회로에 많이 이용된다.

그림 1에 보인 것처럼 sample 하는 MOS transistor의 50%, 40%, 30%의 size에 해당하는 dummy transistor에 clock의 falling time을 1ns, 3.2ns, 10ns, 32ns로 변화시키고, signal level도 변화시키면서 그 보상 결과를 측정하고, simulation과 비교하였다.

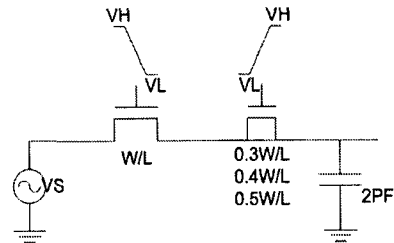


그림 1. Dummy transistor를 이용한 보상회로

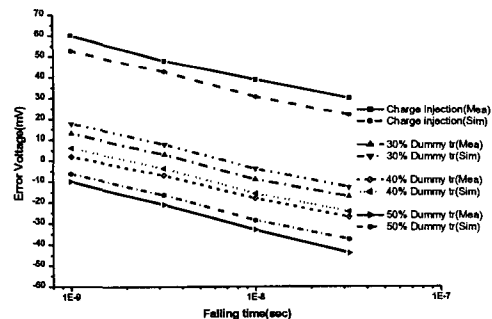


그림 2. PMOS dummy tr의 보상 Simulation 및 측정결과

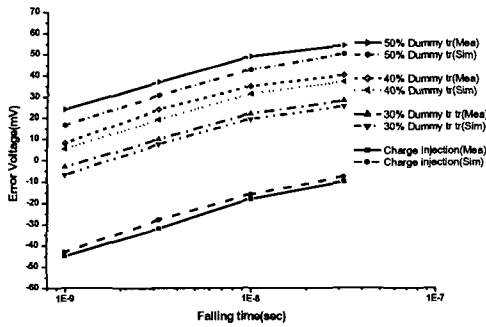


그림 3. NMOS dummy tr의 보상 Simulation 및 측정결과

그림 2, 3에서 charge injection error 전압은 falling rate가 증가하며 그 반비례하여 줄어들었고, 입력전압레벨에 dependent한 특성을 확인을 할 수 있다.

	PMOS		NMOS	
	Measure	Simulation	Measure	Simulation
오차율(측정치, Sim.)	15%		12%	
30% Tr.의 보상비율	96%	78%	97%	87%
40% Tr.의 보상비율	120%	110%	115%	110%
50% Tr.의 보상비율	145%	130%	150%	135%

표 1. High Speed Transient(1ns)에서의 보상율

Simulation값과 측정값의 오차율은 평균 13%의 값을 가진다. Dummy tr의 size에 따른 보상비율을 보았을 때, dummy tr은 switching tr의 40% size를 쓰는 것이 가장 효과적임을 알 수 있다.

### III. CMOS Switched OP-AMP를 이용한 보상회로[3]

기존의 MOS switch가 triode영역에서 동작하는데 반해 tr을 saturation영역에서 off시켜서 charge injection을 줄이는 것을 이용한 기법이다. 그 동작원리를 간단

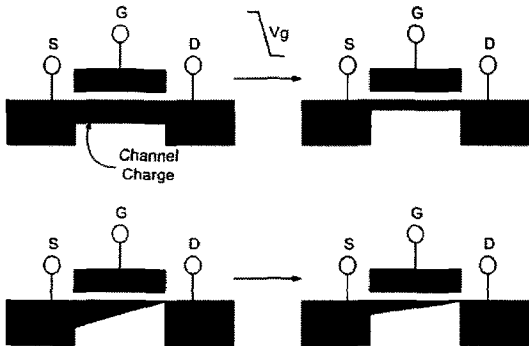


그림 4. Triode와 Saturation에서의 channel charge

하게 표현한 것이 그림 4이다.

Saturation영역에서 off되면, transistor는 pinch off되어 있어서 drain쪽으로 유입되는 channel charge는 매우 적게 된다. 이런 특성을 이용한 회로를 그림 5에서 보였다. Saturation에서 off하는 OP-amp의 feedback회로를 이용하였기 때문에 input 전압레벨에 dependent한 성분을 줄일 수 있어서 비교적 정확한 값을 sample할 수 있다. 하지만, saturation에서 off가 되어 channel charge가 모두 source쪽으로만 나가는 것은 falling rate가 0가 되는 ideal의 경우이기 때문에, falling rate가 증가해 갈수록 error voltage는 커진다.

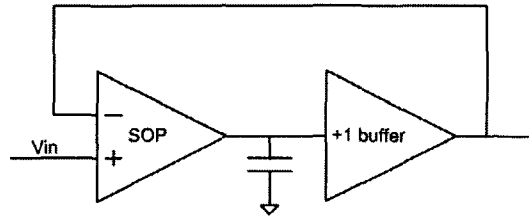


그림 5. Switched-OPamp-based S/H circuit

SOP(Switched OP-amp)는 folded cascode OP-amp를 이용하였고, 그림 5의 자세한 tr level의 circuit은 그림 6에 보였다.

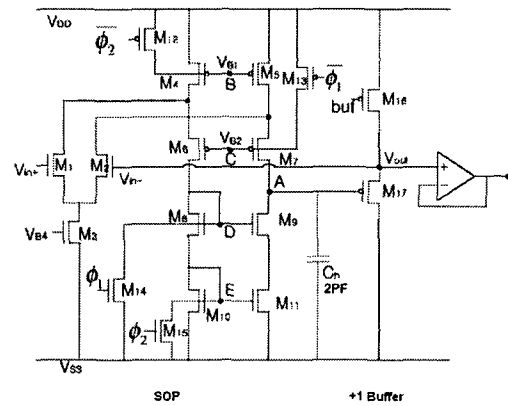


그림 6. Folded cascode switched OP-amp

$\phi_1$ 가 low,  $\phi_2$ 가 low 되었을 경우 OP-amp가 꺼지면서 hold 상태가 되고,  $\phi_1$ 가 high,  $\phi_2$ 가 high일 때, OP-amp가 on되어 unity feedback을 가지면서 track operation을 한다. Switch의 off순서( $\phi_1, \overline{\phi_1}, \phi_2, \overline{\phi_2}$ )와 falling rate를 Section I 에서와 같은 조건으로 변화시키면서 그 결과를 측정하고 simulation 하였다.

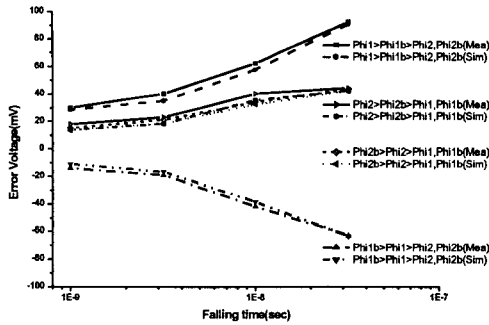


그림 7. off순서에 따른 측정치와 Simulation의 비교

그림 6, 7에서인  $\phi_2$ 와  $\overline{\phi_2}$ 의 off순서는 error voltage 양에 거의 차이가 없지만,  $\phi_1$ 이  $\overline{\phi_1}$  보다 먼저 off되는 ( $\phi_1 > \overline{\phi_1} > \phi_2, \overline{\phi_2}$ ) 경우에는, PMOS의 영향으로 인하여, error voltage는 +쪽으로 변하게 되고,  $\overline{\phi_1}$ 가 먼저 꺼지게 되면, NMOS의 영향으로 error voltage는 -쪽으로 변한다. 그리고  $\phi_2, \overline{\phi_2}$ 가 먼저 off될 경우, 그에 따른 error voltage의 차이가 없음을 볼 수 있다. 표 2를 보면, high falling rate(1ns)에서의 측정값과 simulation의 오차율은 대략 18%이고, 정상적인 average error voltage는 15mV 값을 가진다.

off 순서	Average Error Voltage		측정치 Simulation 오차율
	측정값	Simulation	
$\phi_1 > \overline{\phi_1} > \phi_2, \overline{\phi_2}$	26 mV	22 mV	15%
$\overline{\phi_1} > \phi_1 > \phi_2, \overline{\phi_2}$	-12 mV	-8 mV	33%
$\phi_2, \overline{\phi_2} > \phi_1 > \overline{\phi_1}$	13 mV	11 mV	15%
$\phi_2, \overline{\phi_2} > \overline{\phi_1} > \phi_1$	11 mV	9 mV	18%

표 2. High falling rate(1ns)에서 off순서에 따른 error 전압과 오차율

### VI. Switched capacitor를 이용한 보상회로[4]

일반적으로 사용되는 auto-zeroed switched capacitor non-inverting gain stage 회로에 dummy transistor (50%size)를 붙여서 output에 나타나는 charge injection 양을 감소시킬 목적으로 사용이 되는 T/H Circuit이다. Sample phase동안 OP-amp의 output은 reference 전압과 같은 값을 가지고 있으므로, track mode로 돌아갈 경우 큰 slew rate를 요구하기 때문에, high frequency에는 적합하지 않아 low speed circuit에서 이용이 되지만, DC offset, distortion, gain error를

최소화 할 수 있어서 정확한 값을 sample한다.

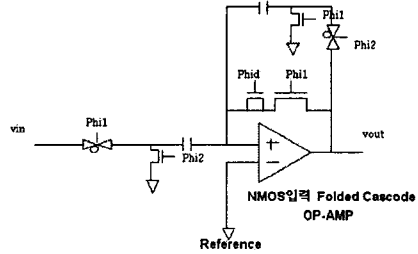


그림 8. Dummy switch를 이용한 auto-zeroed non-inverting gain stage 회로

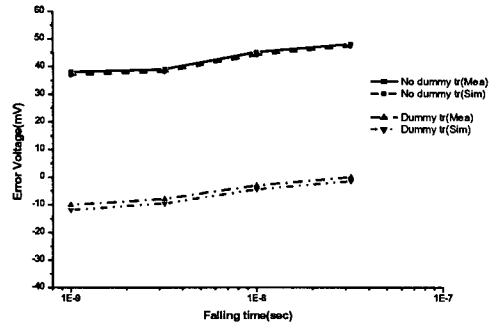


그림 9. 3V 입력의 auto-zeroed non-inverting gain stage의 측정치와 Simulation의 비교

그림 9에서, dummy tr에 의해 보상율이 약 110%이고, 비교적 정확한 값으로 보상이 되었다.

Dummy tr을 쓰지 않고 charge injection offset을 제거하기 위해 그림 10에 보인 fully differential 구조의

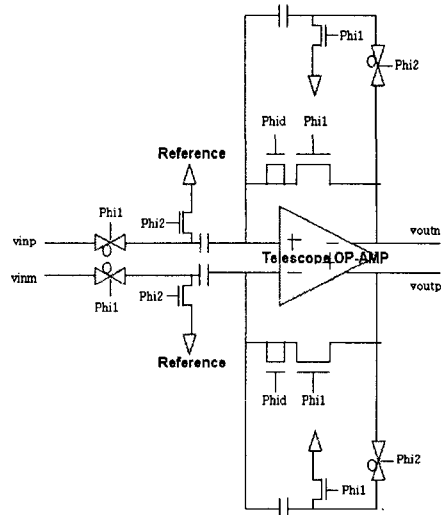


그림 10. Dummy tr을 이용한 Fully diff. S/H 회로

회로를 사용을 하였다. 이 회로는 PSRR이나, CMRR을 증가시켜서 최근의 많은 analog 회로에서 사용이 되고 있지만 속도가 느리고, input range가 작다.

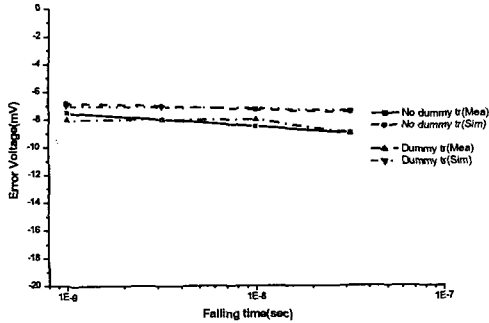


그림 11. Fully diff. S/H회로의 측정 결과비교

그림 11에서 error voltage는 앞에서 언급했듯이 fully differential 구조에서는 dummy tr의 영향이 거의 없는 것으로 볼 때, charge Injection에 의한 error가 현저히 줄어들었음을 확인 할 수 있다.

	single ended	fully differential
dummy tr에 의한 보상율	110%	2%
Simulation과 측정값의 오차율	10%	5%

표 3. High falling rate(1ns)에서의 보상율과 오차율

### V. 결론

A/D converter, analog 회로 등에서 T/H 또는 S/H circuit은 중요한 회로이다. 얼마나 정확한 값을 Sample 하는가는 system의 성능을 좌우하는 요인이 된다. 그래서 이 논문에서는 charge injection을 보상하는 회로를 측정하고 simulation과 비교함으로써 정량적인 특성을 살펴보았다. Dummy tr을 이용한 보상회로는 simple한 특성으로 인해 high speed에서 많이 사용이 되고 있으나, dummy tr의 size에 대해서는 통계적인 data를 이용하여 결정을 해야 하기 때문에 그 정확도가 떨어진다. Saturation영역에서 off되는 특성을 이용한 switched OP-amp 보상회로는 비교적 정확하고, signal에 dependent한 성분을 많이 줄였지만, falling rate에 의해 많은 영향을 받을 뿐 아니라, OP-amp의 bandwidth에 의해서 속도의 제한을 많이 받는다. 그리고 Switched capacitor를 이용한 보상회로는 정확한 값을 sample하는 반면에 capacitor의 mismatch로 인한 error가 발생하고, 속도에 있어서도 제한적이다. 그 외의 보상회로는 miller capacitor를 이용하는 방법이 있는데, hold

mode에서 effective cap을 증가시켜 error를 줄이는 open loop방식으로 high speed에 이용된다.[5]

보상회로들을 분석하고, 제작되어진 회로를 측정하고 Simulation과 비교해 본 결과, 그 정확도면에 있어서 가장 뛰어난 보상회로는 fully differential 구조의 sample/hold 회로라는 것을 보았다. 그리고 보상회로들의 simulation과 측정값 사이에는 대체적으로 10% 내외의 차이를 보이고 있는데, 이는 SPICE에 charge injection error에 대한 정확한 수식적 model이 없기 때문이다. 따라서 charge Injection에 대한 정확한 modeling과 그 보상회로에 대한 연구는 계속 되어지고 있다.

### 참고문헌(또는 Reference)

- [1] B. J. Sheu and C. Hu, "Switched induced error voltage on a switched capacitor," IEEE J. Solid State Circuit, vol. SC-19, pp519-525 Aug. 1984
- [2] C. Eichenberger and W. Guggenbuhl "Dummy Transistor Compensation of Analog MOS Switches ." IEEE J. Solid State Circuit, vol. 24, pp1143-1146 Aug. 1989
- [3] Liang Dai and Ramesh Harjani, "CMOS Switched -OPamp Based Sample-and-Hold Circuit" ISCAS' 98 Vol. 1, pp.476-479, 1998
- [4] P.Waili, M.J. Chin and P.R.Gray,"A Ratio-Independant Algorithm Analog-to-Digital Conversion Technique," IEEE J. Solid State Circuit, vol.no 6, pp828-836 December, 1984
- [5] Peter J. Lim,"A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance," IEEE J. Solid State Circuit, vol. 26 ,no 4, pp643-651 apr, 1991.
- [6] 박홍준, "CMOS 아날로그 집적회로 설계(상)(하)", 시그마프레스.