

네트워크 인터페이스를 위한 1.8V 8-bit 300MSPS 고속 CMOS ADC

주 상 훈, 송 민 규
동국대학교 반도체학과
전화 : 02-2264-9450, 핸드폰 : 018-291-9454

A 1.8V 8-bit 300MSPS CMOS Analog to Digital Converter with high input frequency

Sang Hoon Joo, Min Kyu Song
Dept. of Semiconductor Science, Dongguk University
E-mail : aviya1@dongguk.edu

Abstract

In this paper, presents a 1.8V 8-bit 300MSPS CMOS Subranging Analog to Digital Converter (ADC) with a novel reference multiplex is described. The proposed A/D converter is composed of Sub A/D Converter block, MUX (Multiplexer) block and digital block. In order to obtain a high-speed operation, further, a novel dynamic latch, an encoder of novel algorithm and a MUX block are proposed. As a result, this A/D Converter is operated 100MHz input frequency by 300MHz sampling rate.

I. 서론

최근에는 거의 모든 시스템의 설계가 디지털 신호 처리 기법을 바탕으로 이루어지고 있으며 그 처리속도는 점점 빨라지고 있어서 그 핵심 회로중 하나인 A/D 변환기 역시 고속, 고해상도의 성능을 요구하고 있다.

본 논문에서는 이런 시대적 요구에 부응하고자 고속 A/D중 하나인 flash A/D 변환기를 subrange 구조로 설계함으로써 저전력, 저전압의 고해상도를 구현하였다. 또한 새롭게 제안하는 latch와 MUX(Multiplexer), encoder를 통하여 입력 주파수 100MHz의 고속 동작이 가능하게 하였다. 본 연구에서는 8-bit의 해상도를

얻기 위해 Subrange 구조와 Flash 구조를 혼용한 형태의 Architecture를 사용하여 해상도의 증가에 따른 면적과 전력 소모 문제를 줄였다. 상위 변환기와 하위 변환기의 Subrange 구조로 8-bit의 데이터를 2-bit 과 6-bit으로 나눔으로 인해 8-bit을 모두 Flash Type 으로 설계했을 때 요구되는 255개의 비교기 수를 상위 3개 하위 63개 총 66개로 줄였다. 66개의 비교기만을 사용함으로써 면적과 전력 소모에서 많은 이득을 얻을 수 있다. 또한 상·하위 변환기를 모두 고속에서 동작하는 Flash 구조를 사용함으로써 속도에 대한 문제도 해결할 수가 있다. 출력단에는 새로운 알고리즘의 encoder를 사용함으로써 적은 수의 회로로 결과를 얻을 수 있으며 최종적으로 입력 100MHz에 300MHz의 sampling 속도의 A/D converter 출력 결과를 얻을 수가 있다.

II. 고속 ADC의 구조

2.1 고속 ADC 기본 구조

그림 2.1.1에 본 연구에서 사용한 A/D 변환기 회로에 대한 전체적인 Block Diagram을 나타내었다. 그림에서 알 수 있듯이 A/D 변환기는 상위 변환기와 하위 변환

기의 Subrange 구조로서 이루어져 있다. 상·하위 변환기 모두 Flash Type으로서 상위쪽에서 2-bit을 그리고 하위 변환기 쪽에서 6-bit을 구현한다. 중간에 MUX는 상위 변환기의 결과에 따라 스위치가 신호를 제어하면서 4가지(00, 01, 10, 11)의 Binary Code에 따라 하위 변환기의 기준 전압을 각각의 Code에 맞게 결정해준다. 마지막 단의 Delay Cell은 상·하위 결과의 시간차를 보정해주기 위한 블록으로 하위 변환기의 결과가 상위 변환기의 결과 보다 한 clock의 delay가 생기기 때문에 최종 output circuit로 DFF단을 설치하여 delay를 교정하였다.

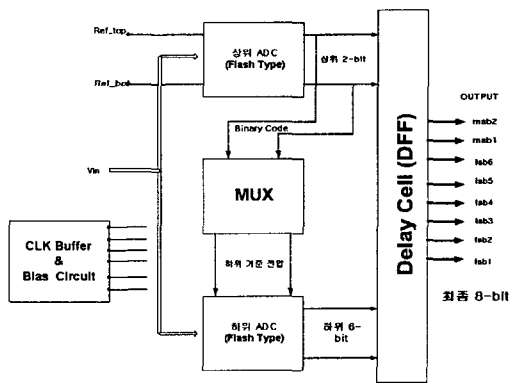


그림 2.3 고속 ADC 전체 구조

2.2 제안하는 Multiplexer(MUX)

본 논문의 가장 중요한 회로중에 하나인 MUX는 상위 변환기의 결과에 따라 하위 변환기의 기준전압을 결정하는 회로이다. 기본 구조가 그림 2.2에 나와있으며 그림과 같이 상위 변환기의 결과에 따라 binary 회로가 스위치로써 동작하여 각 level에 맞는 전압을 하위 변환기의 기준전압으로 보내주게 된다.

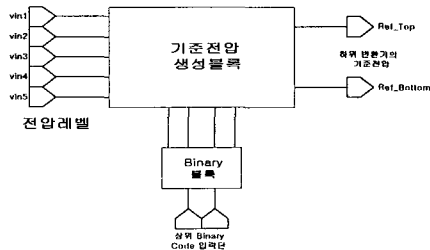


그림 2.2 MUX의 전체 구조도

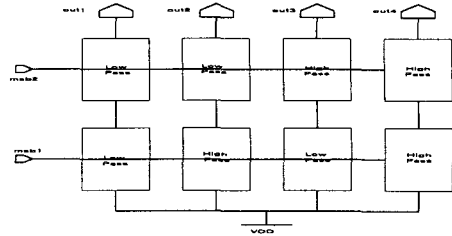


그림 2.3 Binary 블록

그림 2.3과 그림 2.4는 MUX에 사용되는 각각의 Binary 회로와 기준전압 생성 회로이다. 모두 switch 형식으로 되어 있으며 여기서 생기는 delay에 의해 상위 변환기와 하위 변환기 사이에 한 clock의 delay가 생기게 된다.

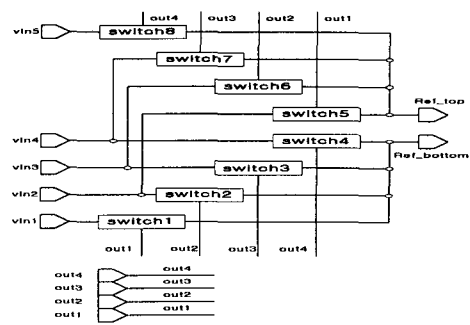


그림 2.4 기준전압 생성 블록

위와 같이 설계된 MUX는 입력 주파수 100MHz에서 동작하여야 하며 결국 MUX의 성능에 따라 고속 ADC의 성능이 결정된다.

2.3 comparator (비교기)

본 논문에 사용된 flash 구조의 성능은 비교기에 의해서 결정되므로 비교기가 구현하고자 하는 성능을 가지고 있어야 한다. 그림 2.5는 본 회로에서 사용된 비교기의 회로도이다. 앞단의 preamp를 통해 입력차를 벌려주고 래치를 통해 비교값을 0과 1로 출력한다. 앞에서 말한바와 같이 입력 100MHz와 sampling 300MHz, 그리고 1LSB = 4mV를 만족시키기 위해 회로를 구성하였다.

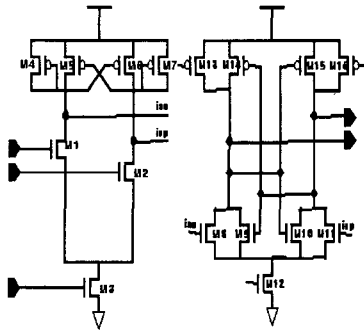


그림 2.7 비교기의 회로도

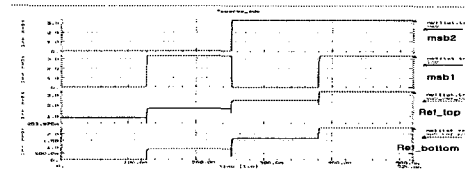


그림 3.2 MUX의 simulation 결과

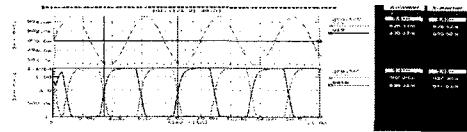


그림 3.3 비교기 simulation 결과

(입력 100MHz, 300MHz sampling, V_{p-p} : 4mV)

III. 고속 ADC의 전체 회로도 및 각 회로의 simulation 결과

3.1 고속 ADC의 전체 회로도

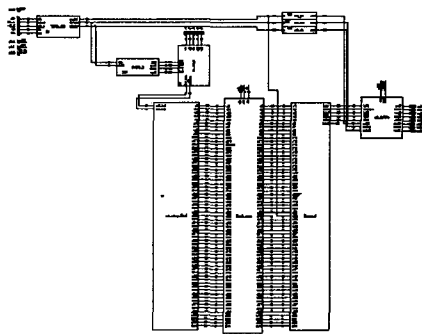


그림 3.1 고속 ADC 회로도

2장에서 언급한 회로를 통해서 전체 8bit의 해상도에 300MHz sampling의 ADC를 설계하였고 그 전체 회로도가 그림 3.1에 나와 있다. 상위 ADC와 하위 ADC가 모두 비교기와 Decoder을 통해 최종적으로 Delay cell을 통해 clock 보정 후에 결과로 나온다.

3.2 각 block simulation 결과

2장에서 언급한 각각의 MUX와 비교기의 simulation 결과가 그림 3.2와 3.3에 나와 있다. 그림 3.3은 MUX가 상위 전압에 의해 각각 알맞은 전원전압을 형성하는 것을 보여주고 있으며 그림 3.4는 본 논문에서 구현하고자 하는 성능에서 정상적으로 동작하는 비교기의 simulation 결과를 보여주고 있다.

3.3 고속 ADC의 전체 simulation 결과

그림 3.1을 통해 설계된 고속 ADC의 최종 simulation 결과 파형이 그림 3.4 ~ 그림 3.7에 나와 있다. 낮은 입력주파수부터 본 논문에서 구현하고자 하는 입력 100MHz의 주파수에 300MHz의 sampling의 결과를 나타내었으며 reconstruction을 통하여 올바른 결과가 나왔는가를 검증하였다.

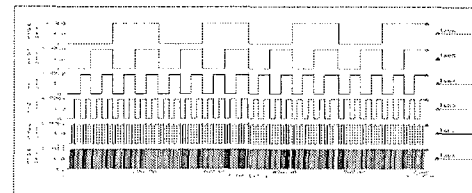


그림 3.4 Full_ADC lamp 파형

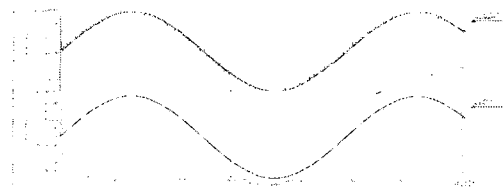


그림 3.5 고속 ADC reconstruction 파형
(입력 1MHz, sampling 300MHz)

그림 3.4는 full_code가 나오는가를 확인하는 lamp 파형 결과이며 그림 3.5는 입력주파수 1MHz의 ADC 최종 파형이다. 그림 3.6은 최종적으로 입력 100MHz의 ADC 결과 파형이다.

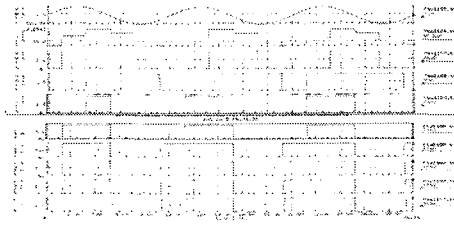
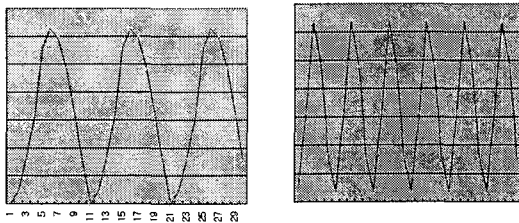


그림 3.6 입력 100MHz 고속 ADC의 결과 파형

위의 결과와 입력 50MHz의 ADC 결과를 좀 더 확실히 보기 위하여 각 code를 reconstruction 파형을 그림 3.7에 나타내었다.



(a) 입력 50MHz (b) 입력 100MHz

그림 3.7 고속 ADC의 reconstruction 결과

IV. Chip layout

그림 4.1에 In/Output Pad와 PLL을 포함하는 8-bit 고속 A/D 변환기의 전체 Layout을 나타냈으며 블록은 크게 상단에 PLL이 포함된 전체 ADC가 있고 하단에 PLL이 없는 Core ADC가 있다. 본 chip은 6월말에 출시될 예정이다.

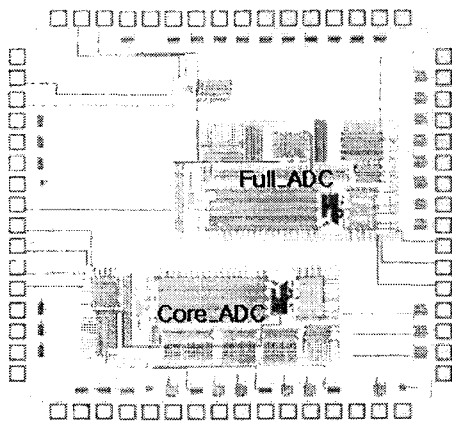


그림 4.1 8bit 고속 ADC 전체 layout

IV. 결론

본 연구에서는 0.18 μ m 1-poly 6-metal N-well CMOS 공정을 사용하여 차세대 네트워크 Interface용으로 사용할 수 있는 A/D 변환기를 설계하였다. 설계된 A/D 변환기는 8-bit의 해상도와 300MSPS의 변환속도를 가지고 있으며 1.8V의 낮은 전압에서 동작이 가능하며 입력주파수 또한 100MHz의 고속입력에도 동작이 가능하다. 고속동작 및 우수한 다이내믹 특성 그리고 높은 해상도를 만족시키기 위해 상위 2-bit과 하위 6-bit 모두 Flash Type을 사용하였으며, 전체적인 구조는 Subrange 구조로 설계하였고, Full Chip 모의실험 결과를 통하여 설계된 A/D 변환기의 고속, 고해상도 특성을 확인하였다. Layout 결과 유효 칩 면적은 Power Guardring을 포함하여 약 2000 μ m \times 2000 μ m (core 1100 μ m \times 700 μ m) 로 나타났다. 설계된 A/D 변환기는 64Pin의 MQFP Type으로 Packaging 되었으며, 표 5.1에 전체적인 사양을 요약하였다.

표 5.1 제안하는 A/D 변환기의 주요사양

공급전압	단일 1.8V
변환속도	300MSPS
분해능	8-bit
아날로그 입력 범위	1Vp-p
공정	0.18 μ m, 1-poly, 6-metal N-well CMOS
전력소모	300mW
입력 주파수	100MHz
유효칩면적	2000 μ m \times 2000 μ m

참 고 문 헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486
- [2] A. R. Hamade, "A single chip All-MOS 8bit A/D converter," IEEE Journal of Solid State Circuits, vol. SC-13, pp. 785-791, Dec. 1979.
- [9] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계", 시그마프레스, 1999
- [10] 박홍준, "CMOS 아날로그 집적회로 설계", 시그마프레스, 1999