

고온영역에서 게이트 확장 길이 변화에 따른 고내압 LDMOSFET의 전기적 특성연구

김 범 주, *구 용 서, **노 태 문, 안 철
서강대학교 전자공학과, *서경대학교 전자공학과, **한국전자통신연구원
전화 : 02-706-3401 / 핸드폰 : 016-518-4423

A Study on the High Temperature Characteristics of Power LDMOSFETs Having Various Extended Gate Length

Beom Ju Kim, *Yong Seo Koo, **Tae Moon Roh, Chul An
Dept. of Electronic Engineering, Sogang University
*Dept. of Electronic Engineering, Seokyeong University
**ETRI-Electronics and Telecommunications Research Institute
E-mail : bjreds@hotmail.com

Abstract

In this paper, we have investigated electrical characteristics of power LDMOSFETs having different extended gate lengths (1.8 μ m, 2.4 μ m, 3.0 μ m) in the temperature range of 300K~500K. The results of this study indicate that on-resistance, breakdown voltage increase with temperature. and drain current, threshold voltage, transconductance decrease with temperature. Particular the facts, we observed that L_e is the more increase, on-resistance is the more decrease. because every conditions are fixed normal states, only change the L_e . As a result, R_{on}/BV , known for a figure of merit of power device, increase with temperature.

I. INTRODUCTION

LDMOSFET(Lateral Double-diffused MOSFET)는 주로 전력 MOSFET로 쓰이는 DMOSFET(VDMOSFET를 포함하여)를 대신하여 자동차의 연료 분사장치나 cell.phone, 다른 portable device의 높은 전압과 주파수에서 사용되는 집적회로로 많이 쓰인다. LDMOSFET는 전극이 모두 chip의 윗부분에 위치하여, 저전압 CMOS/Bi-CMOS 의 공정에 DMOSFET보다 호환이 좋고, 넓은 n-drift 영역을 가지고 있어서 breakdown voltage를 높일수 있다. 이런 전력 집적회로 시스템은 주

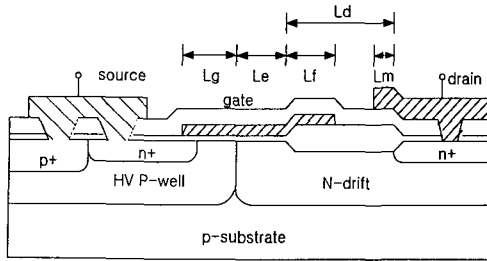
로 400K이상의 높은 동작온도 환경을 요구하고 있다. 이에 따라 전력 집적회로 시스템의 핵심부품으로 사용되는 LDMOS 소자도 고온 동작환경에서의 신뢰성이 요구되게 되었고, 이를 설계하기 위해서는 온도특성 분석이 필수적이라고 할 수 있다.

이에 본 연구에서는 300K~500K의 동작 온도 환경에서 50K간격으로 100V급 LDMOSFET의 게이트확장 영역(Extended Gate Length : L_e)길이변화에 따른 전기적 특성을 측정 분석하였다.

II. EXPERIMENTS

[그림 1]은 본연구에서 사용된 n-channel LDMOSFET의 단면도이다. 이소자는 double diffused channel(HV-pwell)과 p형으로 도핑된 (100)기판위에 n형으로 도핑된 에피택셜층으로 확장된 드리프트 영역을 가진 소자이다.

산화막 두께는 200Å이며, 드리프트 영역 폭은 90 μ m, 게이트 길이(L_g)는 2.4 μ m, 드레인 필드판 확장영역길이(L_m)은 2.4 μ m, 게이트 필드판 확장영역길이(L_f)는 1.8 μ m, 드리프트 길이(L_d)는 8.4 μ m이며, 본 연구에서는 게이트 확장영역 길이(L_e)를 1.8 μ m, 2.4 μ m, 3.0 μ m으로 변화시키면서 300K에서 500K의 고온 환경에서 측정하였다.



[그림 1 Cross section of the Power n-LDMOSFET] 사용된 장비로는 Hot chuck, Calibrated temperature Controller, HP4145B Semiconductor Parameter Analyzer Digital curve tracer TEK370을 사용하였다.

III. RESULTS

1. Breakdown Volatage

항복전압은 전력 MOSFET 소자의 기능성을 표현할 수 있는 척도로써 LDMOSFET에서 중요한 요소중 하나이다. 일반 소자내의 전계는 대략 금속학적 접합에서 최대가 되고 전도성이 높은 n⁺영역에는 전계가 없기 때문에 드레인에서 빨리 0이 된다. 반면 LDMOSFET에서는 저도핑된 드레인 영역을 도입함으로써 드레인에서 0으로 떨어지기 전에 드리프트 영역을 가로질러 확장되어 최대전계의 집중을 최소화 하여 항복전압의 향상과 Hot carrier효과도 향상 시킨다. 따라서 Le가 길어지면 물리적인 드리프트 길이가 길어져서 항복전압이 증가한다는 사실을 예측할 수 있으며, [그림 2]에서 확인 할 수 있다. LDMOSFET에서 항복전압은 주로 충돌 이온화 현상에 의한 Avalanche 항복효과가 두드러지며, 다음의 식으로 표현할 수 있다

$$BV_{ds} = \epsilon_s E_{s,cr} (N_D) \left[\frac{E_{s,cr} (N_D)}{2q(N_D)} + \frac{1}{C_0} \right] \quad \text{-----(1)}$$

식(1)에서 E_{s,cr}은 이온화를 위해 필요로 하는 임계전계.

$$\lambda = \lambda_0 \tanh\left(\frac{E_p}{2kT}\right) \quad (2)$$

식(2)에서 E_p는 optical-phonon energy.

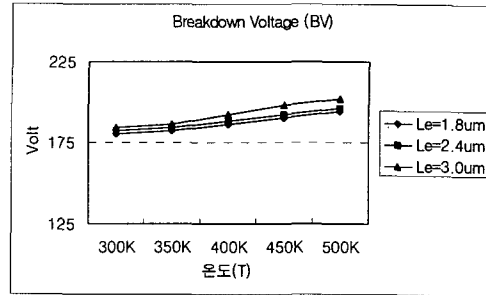
이온화 충돌현상은 공간전하 영역내에서 전자와 홀을 형성하여 부수적인 전류성분을 만들어낸다. 이때 이온화에 필요한 에너지는 전계에 의해서 주가 이루고, 식(2)에서 온도가 증가하면 캐리어의 mean free path가 감소하게 되어 이온화를 위해 더 큰 임계전계값(E_{s,cr})을 요구하고 이로 인해서 항복전압도 증가하게 된다. 실험결과 고온(350K이상)에서 Le=1.8 μ m에서 0.07V/K, 2.4 μ m에서 0.06V/K, 3.0 μ m에서 0.09V/K의 근사적인 평균 증가율

을 보였다. 각각의 게이트 확장영역 길이에 대한 항복전압은 다음과 같이 표현 할수 있다.

$$BV_{ds}(T) = BV_{ds}(300K) + \Delta BV(T-300) \quad (3)$$

$\Delta BV = 1K$ 증가에 따른 항복전압의 증가량.

그리고 고온에서는 Le=1.8 μ m과2.4 μ m는 3.0 μ m에 비해서 크게 차이는 보이지 않았다.



[그림 2 온도변화에 따른 대기상태 항복전압 (게이트 전압 0V, 실선)]

2. Thresokd Voltage

문턱전압은 Power소자에서 전력소비와 고속동작에 영향을 미치는 중요한 파라미터 중 하나이다. 문턱전압이 너무 높으면, LDMOSFET을 turn-on 하는데 높은 전압이 필요하게되고 너무 낮으면 소자가 원하지 않는 잡음에 트리거 될 수 있고, 고속으로 스위칭하는 동안 게이트 전압에 쉽게 풀-업된다. 그래서 전력소자에서는 적절한 문턱전압 범위에서 동작 하도록 설계 된다.

$$V_T = \phi_{ms} + \frac{Q_s}{Q_{ox}} + 2\psi_B - \left(\frac{Q_{ss} + Q_I + Q_{FC}}{Q_{ox}} \right) \quad \text{-----(3)}$$

Q_{FC}= surface state at the oxide-silicon interface charge

Q_I = mobile ions in the oxide with charge

Q_{SS}= fixed surface charge

$$n_i = 3.9 * 10^{16} T^{3/2} \exp[-(E_g/2kT)] \quad (4)$$

$$\psi_F = \frac{kT}{q} \ln(N_a / n_i(T)) \quad (5)$$

식 (3),(4),(5)에서 알수 있듯이 LDMOSFET에서 온도가 증가하면 진성 캐리어농도(n_i)가 증가하는데, 그러면 페르미 포텐셜이 감소하여 문턱전압이 감소한다. 실험에서는 [그림5]에서와 같이 상온을 제외하고는 Le의 길이 변화 보다는 온도의 변화에 민감하게 나타났다.

3. Specific on Resistance

On-resistance(Ron)은 항복전압과 더불어 LDMOSFET에서 가장 중요한 파라미터이다. 온도가 증가하면 이동

도가 감소함에 따라 Ron은 증가한다.

$$\mu_n = 1360 \left(\frac{T}{300} \right)^{-2.42} \quad (6)$$

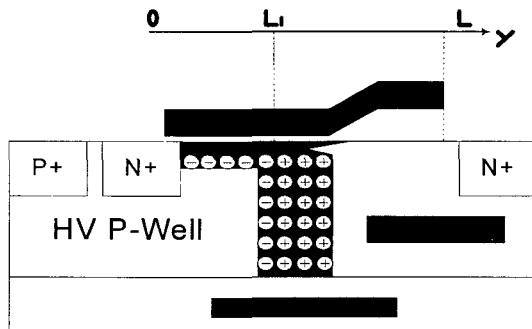
매우 낮은 항복 전압을 가지는 소자를 제외하고 LDMOSFET의 Ron은 전체 드리프트 영역의 저항에 의해 결정되며 다음과 같이 표현할수 있다.

$$R_{on} = R_D = R_d + R_e = \frac{L_e + L_d}{q \mu_{eff} (Q_d + Q_e) W} \quad (7)$$

실험에서 Le가 증가하면 Ron이 감소하는데, 이는 식(8)에서 알수 있듯이 Le가 증가하면 Qe가 증가하여 저항이 감소함을 알 수 있다.

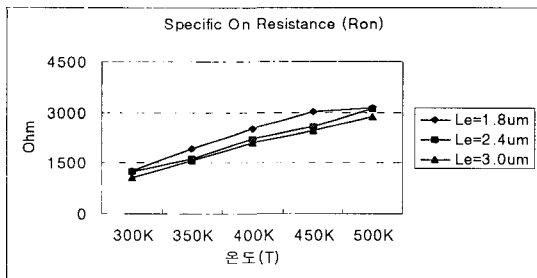
$$Q_e(y) = W(L - Li)C_o \cdot \max((V_{GS} - V_{FB}), 0) \quad (8)$$

V_{FB} =flatband voltage ; Q_e =charge in the accumulation layer 즉, 표면에 축적된 전자가 증가하여 표면전도도가 증가하여 저항이 감소한다.



[그림3 LDMOSFET의 포화상태에서 간략한 전하의 분포]

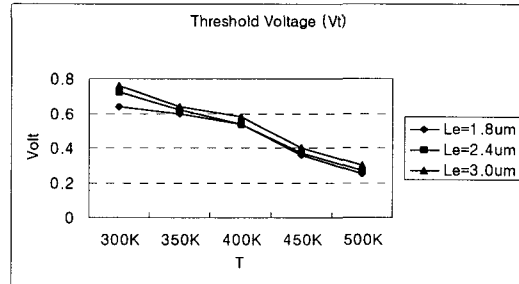
실험에서 근사적으로 $Le=2.4\mu m$, $3.0\mu m$ 에서 평균 $7\Omega/K$ 로 증가하였다.



[그림 4 온도변화에 따른 Ron 저항; 드레인 전압 0.1V 게이트 전압 5V]

따라서 공정상의 여유와 accumulation layer에서 캐리어확보를 위해 필요한 게이트 확장영역 길이는 소자의 크기를 제한하지 않는 범위내에서 크질수록 좋아짐을

보였다.



[그림 5 온도에 따른 문턱전압의 변화]

4. Drain Current

포화영역에서 드레인 전류는 다음과 같이 표현 할수 있다

$$I_{DS} = \frac{1}{2} \mu_n(T) C_{ox} \frac{W}{L} (V_{GS} - V_T(T))^2$$

$$\mu_n = 1360 \left(\frac{T}{300} \right)^{-2.42} \quad (9)$$

이동도는 여러 가지 파라미터로 결정되는데 여기서는 식(9)에서처럼 온도만의 함수로 표현되며, 온도가 증가함에 따라 감소하며 이는 곧바로 전류구동에 영향을 준다. 실험에서는 근사적으로 온도가 50K 증가할 때 0.66mA씩 감소 하였다. [그림 6]에서처럼 같은 온도의 조건에서 Le가 증가할수록 전류는 크게 측정되었다. 이는 저항의 감소가 원인임을 알 수 있다.

5. Transconductance

Transconductance(G_m)는 온도의 변화에 의해 mobility의 감소가 주된 원인이 된다 [식(9)]. 일반적으로 LDMOSFET에서 G_m 은 다음과 같이 나타낼 수 있다.

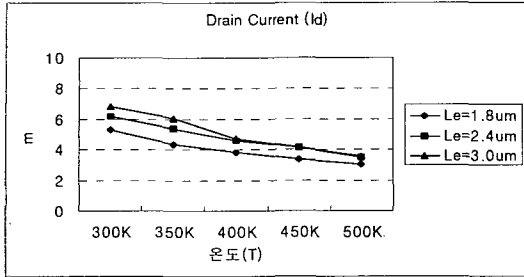
$$G_m = \frac{\partial I_d}{\partial V_G} = \mu_n C_{ox} \frac{W}{L} (V_G - V_T)$$

(10)

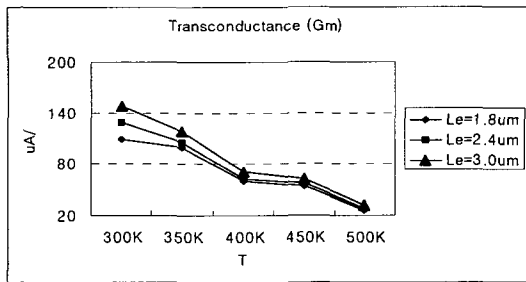
따라서 Le가 증가하면 저항이 커짐으로 드레인 전류의 증가를 볼수 있으며 이것으로 G_m 이 커짐을 알 수 있다. G_m 은 mobility에 의해 결정되며, mobility의 다른 결정요인이 온도에는 상호관련이 없다고 생각해볼 때 on-resistance와 비슷하게 표현할수 있다. 식[(11)]

$$G_m = G_m(300K) \left(\frac{T}{300K} \right)^{-2.3}$$

(11)



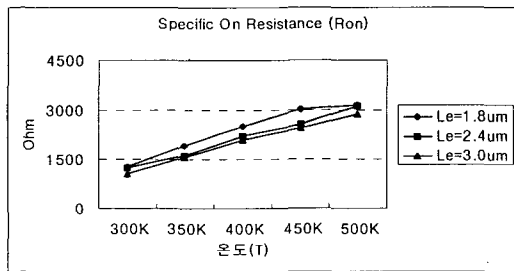
[그림 6 서로 다른 Le의 길이에서 온도변화에 따른 드레인 전류; 게이트전압:5V 드레인전압:25V]



[그림 7 온도변화와 Le의 변화에서의 Transconductance의 변화]

6. Figure of Merit (Ron/Breakdown voltage)

LD MOSFET를 포함한 전력소자에서 Ron의 감소와 항복전압의 증가는 소자의 성능평가의 주가 된다. 그래서 본 연구에서는 figure of merit로써 Ron /Breakdown voltage를 알아 보았다. [그림8]에서 보면 온도가 증가할수록 항복전압



[그림 8 figure of merit 로써의 온도변화에 따른 Specific On Resistance /Breakdown voltage]

보다 Ron에 더 많이 좌우됨을 알 수 있다. 그 이유는 Ron이 항복전압 보다 온도에 더욱 민감하기 때문이라고 볼 수 있겠다. Le의 길이변화에 대해서는 길이질수록 figure of merit가 좋게 나타났다.

IV. CONCLUSION

본 연구에서는 고온 동작환경에서 게이트 확장영역 길이 변화에 따른 100V급 LD MOSFET의 전기적 특성을 알아보았으며, 드레인 전류는 고온에서 동작 할수록 0.66mA/50K로 감소하였고, Le변화 보다 온도에 영향이 많은 것은 문턱전압과 transconductance로 나타났다. 항복전압의 경우 온도의 증가에 따라 선형적으로 증가함을 볼 수 있었다. on-resistance의 경우 Le가 증가 할수록, 감소함을 알 수 있었는데, 이는 소자의 다른 기하학적 구조가 일정한 상태에서 Le만 변화 시킨것으로써 전체 on-resistance(Le+Ld)에는 그다지 큰 영향을 미치지 않는 것으로 기대된다. 왜냐하면 전체 저항중 Ld의 저항이 많은 비중을 두기 때문이다. 하지만 실험에서 나타났듯이 Le의 증가에 따라 on-resistance의 감소는 LD MOSFET에서 바람직한 현상이며, 이는 소자 전체 크기와 Le의 적절한 trade-off 되어야 할부분이며, 고온 동작 환경을 고려하여 적절한 설계 변수를 끌어내는 것이 매우 중요한 과제라 할 수 있다.

REFERENCE

- [1] B. J. Baliga, "Power Semiconductor Device," PWS, chap.2, 3, 7 (1996)
- [2] D. A. Neamen, "Semiconductor Physics & Devices ; Basic Principles," McGraw-Hill, p494 (2001)
- [3] Y. P. Tsividis, "Operation and Modeling of the MOS transistor, New York: McGraw-Hill. chap.4 (1997)
- [4] S. M. Sze, "Physics of Semiconductor Device, 2nd Ed. , JWS, p.47 (1981)
- [5] Y. S. Koo, M. S. Kang, C. Choi, C. An J.Korean Phys. Soc. **39**, S352~S355 (2001)
- [6] N. V. D'Halleweyn, L. F. Tiemeijer, J. Benson, R. White " Charge Model for SOI LD MOSFET with Lateral Doping Gradient", Proc. of Int. Sym. on Power Semiconductor Devices & ICs, (2001)
- [7] M. Amato, V. Rumennik "Comparison of Lateral and Vertical DMOS Specific On-Resistance", Technical Digest IEDM, 736 (1985)
- [8] S. Merchant, R. Baird, S. Chang, P. Hui, V. Macary, M. G. Neaves, "High-Performance 13-65 Rated LD MOS Transistors in an Advanced Smart Power Technology", Proc. of Int. Sym. on Power Semiconductor Devices & ICs, (1999)
- [9] B. H. Krabbenborg, J. A. der Pol "Robustness of LD MOS power transistors in SOI-BCD processes and derivation of design rules using thermal simulation" Proc. of Int. Sym. on Power Semiconductor Devices & ICs, (2001)
- [10] J. Y. C. Sun, M. R. Wordeman, S. E. Laux, IEEE Trans. on Electron Devices, **33** 1556 (1986)