

Ar IBE에 의한 Si 표면손상이 NiSi 특성에 미치는 영향과 H₂ anneal 및 TiN capping에 의한 효과

안순의, 지희환, 이현진, 배미숙, 왕진석, 이희덕
충남대학교 전자공학과
전화 : 042-821-7702 / 핸드폰 : 016-481-3263

The influence of Si surface damage by Ar IBE on NiSi characteristics and the effect of H₂ anneal and TiN capping

Soon-Eui Ahn, Hee-Hwan Ji, Hun-Jin Lee, Mi-Suk Bae, Jin-Suk Wang, Hi-Deok Lee
Dept. of Electronic Engineering, Chungnam National University
E-mail : suneei@cnu.ac.kr

Abstract

In this paper, the influence of Si surface damage on the NiSi formation has been characterized. The silicon surface is damaged using ion beam type sputter. Then, the effect of H₂ anneal and TiN capping layer on the damaged has also been analyzed. The sheet resistance of NiSi formed on damaged Si increased rapidly as the damaging time increases while thermal stability of damaged NiSi was stabler than the undamaged one. In the case when H₂ anneal and TiN capping layer were applied together, the characteristics of NiSi shows a little improvement of the sheet resistance.

I. 서론

고집적 반도체 MOSFET 소자의 주요 issue 중에 하나인 silicide에 있어 gate 폭이 0.18 μ m 이하가 되는 deep-submicron 영역에서는 기존에 사용되고 있는 TiSi₂와 CoSi₂가 한계성을 보이고 있는데, TiSi₂의 경우 line 폭이나 silicide의 두께에 대한 의존성이 높고 CoSi₂의 경우 Si에 대한 큰 소모율 등과 같은 문제점이 발생하고 있다[1,2]. 이러한 문제점을 보완하기 위

한 대체 silicide로서 NiSi가 부각되고 있으며 NiSi의 특성을 향상시키기 위한 연구가 행해지고 있다[3-5].

또한 CMOS process에서는 gate oxide 형성 후에 gate poly 또는 active 영역이 PR-ashing, sidewall-oxide etch, contact etch, ion implantation 등에 의해 반도체 표면에 격자손상(lattice bonding damage)을 받게 된다 [6,7]. 이러한 손상은 leakage current나 contact 저항의 증가에 영향을 줄 것이다[8]. 따라서 실제적인 NiSi technology개발을 위해서는 순수한 기판보다는 Si 표면이 손상된 상태에서 silicide의 특성을 분석하고 Spec.을 맞추는 것이 필요하다.

본 논문에서는 silicidation이 수행되기 이전에 Si 표면에 IBE(ion beam etching)을 이용해 손상을 가하여, 이로부터 발생하는 Si 표면손상에 의해 silicide의 면저항이 어떻게 변화는지 알아보았다. Silicide로는 점차 중요해지고 있는 NiSi를 적용하였으며, Ni silicide의 특성을 향상시키기 위하여 H₂ 및 capping을 적용했을 때 Ni silicide의 특성이 어떻게 변화하는지 관찰하였다.

II. 이론

Ni silicide가 기존의 Ti에 비해 line 폭이나 silicide의 두께에 따른 면저항의 변화가 적으며 Co에 비해 Si 소모율이 낮으나, thermal stability가 이들에 비해 낮

다는 단점이 있다[1-2]. 이는 nickel이 silicide를 형성하는 열처리 과정에서 쉽게 O₂와 결합하여 낮은 온도에서 agglomeration을 일으키는 것이 원인으로, 결과적으로 면저항을 증가시키게 된다[1,9]. 이를 해결하기 위해 capping을 이용하여 Ni 위에 TiN 박막을 형성시켜 RTP(rapid thermal process) 동안 Ni이 O₂와 결합되는 것을 막아주었다[4-5,10-11]. 또한 silicidation에 앞서 행해지는 여러 공정 과정에서 Si wafer의 표면은 손상을 받게 되므로 bare Si에 대한 Ni-silicide의 특성뿐만 아니라, 표면이 손상된 Si로 형성된 경우와 anneal에 의해 손상을 회복시킨 경우에 대한 NiSi 특성이 조사되어야 한다[6-7]. 또한 손상된 Si wafer를 furnace anneal을 통해 손상을 회복시키는 과정으로 기존의 N₂ anneal을 들 수 있는데, 본 논문에서는 이 단계에서 Ni와 결합될 가능성이 있는 O- 결합을 OH- 결합으로 바꾸기 위해 H₂가 혼합된 N₂ 분위기에서 anneal(이하 H₂ anneal)을 수행하였고, 이 과정을 거친 NiSi의 면저항을 측정함에 의해 산소의 함유량을 감소시키는 효과가 있는지 알아보았다.[12]

III. 실험

3.1 IBE에 의한 Si 표면손상

Si 표면에 손상을 가하기 위하여 Ar IBE(ion beam etching)를 수행하였다. Ar IBE는 Ar 기체가 이온빔 건(ion beam gun)을 통과하면서 이온화된 Ar 입자를 전계에 의해 가속시켜 대상물을 물리적으로 식각시키는 방법이다.

에칭된 깊이(etch depth)를 측정하기 위해 시편의 가장자리를 산화막으로 마스크(masking)하여 에칭이 되지 않도록 하였다. 이를 위해 O₂ 기체를 흘려주면서 1100℃ 60분간 건식 산화하고, 가장자리에 PR(photo resist) 작업을 한 후 BOE(buffered oxide etchant)에서 노출된 산화막을 제거하여 시편의 가장자리를 제외한 모든 부분에 대해 고르게 IBE가 이루어지도록 하였다. 본 실험에서 chamber 내 진공은 base 진공도 1.0×10⁻⁶ torr로 고진공을 만들었다. 에칭 조건은 이온빔 전압 200, 300, 400 V의 세 가지이며 전류는 9.0 mA 이고, 에칭 시간을 달리하면서 IBE가 수행하였다. IBE가 끝나고 산화막이 있는 부분은 희석된 HF 용액으로 제거하고 나서 에칭이 된 부분과 안된 부분 사이의 단차를 Alpha Step을 이용해 측정하였다. 이 과정을 간단히 나타내면 그림 1과 같다.

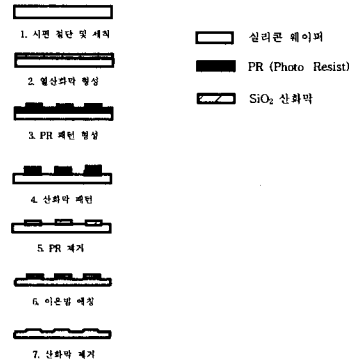


그림 1. 산화막 패턴의 형성과 부분적인 이온빔 에칭 과정

3.2 N₂ 및 H₂ anneal

IBE 된 Si 시편에 대하여 Curing 효과를 확인하기 위해 Ni 증착 전에 N₂ 또는 H₂ 분위기에서 각각 425℃에서 30분 동안 furnace anneal을 수행하였다. H₂ 기체는 H₂ 10%, N₂ balance 혼합가스를 사용하였다.

3.3 Ni silicide 형성 및 면저항 측정

IBE 된 시편, anneal을 한 시편, 그리고 아무런 처리도 받지 않은 Reference Si에 대하여 sputter를 이용해 Ni 증착(deposition)을 하고 나서, RTP(rapid thermal process)를 이용하여 NiSi를 형성하고 면저항을 측정하였다.

Ni dep.은 Ar 이온빔을 이용한 sputter를 사용하였는데, 기본 구조는 Ar IBE 장치와 동일하며 이온빔을 Ni target에 조사하여 상부에 있는 홀더에 장착된 시편에 Ni 입자가 dep. 되도록 하였다. Chamber의 base 진공도는 9.0×10⁻⁷ torr 이하로 초고진공을 형성하였고, Ar 기체를 흘려주어 working pressure 2.0×10⁻⁴ torr가 되도록 하였다. working pressure 상태에서 전압 700V, 전류 20 mA의 이온빔을 조사하여 pre-sputtering을 하고 나서 sputtering을 하였으며, 증착된 Ni 두께는 약 200Å이다. Ni dep.을 한 시편에 대해 500℃에서 30초간 RTP를 수행하여 NiSi를 형성시키고 반응이 안된 Ni은 HCl : H₂O₂ : H₂O를 1 : 1 : 4 혼합액에서 제거한 후 면저항을 측정하였다.

3.4 TiN capping을 이용한 Ni silicide 형성 및 면저항 측정

Capping 효과를 확인하기 위해 200Å Ni dep. 이후에 100Å의 TiN dep.을 수행하여 TiN capping 하고,

500℃에서 30초 동안 RTP하여 NiSi를 형성시키고 TiN은 NH₄OH : H₂O₂ : H₂O 1 : 5 : 50 혼합액에서 제거하였으며 반응이 안된 Ni은 HCl : H₂O₂ : H₂O 혼합액에서 제거한 후 면저항을 측정하였다.

IV. 결과 및 고찰

이온빔 전압이 200, 300, 400V, 전류가 9.0mA인 조건에서 IBE 에칭 시간에 따른 에칭 깊이(etch depth)를 측정한 그래프가 그림 2에 나타나 있다. 그래프에서 보는 바와 같이 전압과 에칭 시간에 따라 에칭 깊이가 증가함을 볼 수 있으며, 전압 200, 300, 400 V에 대한 에칭율(etch rate)은 각각 0.32±0.03, 1.39±0.18, 2.87±0.48 Å/sec이다.

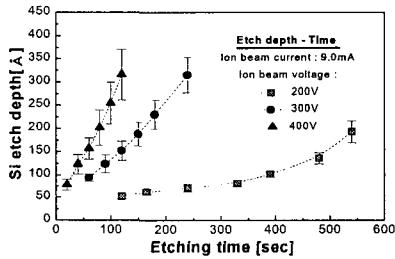


그림 2. 이온빔 전압과 IBE 에칭 시간에 따른 에칭 깊이

그림 2에서 전압에 따른 평균 에칭률을 나타낸 그래프는 그림 3과 같다.

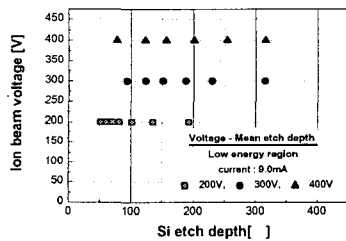


그림 3. 이온빔 전압에 따른 평균 에칭 깊이

IBE 조건 300 V, 9.0 mA에서 에칭 시간이 60, 90, 120, 150, 180초로 선형적으로 증가할 때 각각의 손상된 Si에 형성된 NiSi 및 TiN-capped NiSi의 면저항을 측정한 그래프가 그림 4에 나타나 있다. 그림 4에서 손상되지 않은 bare Si 웨이퍼에 대해 에칭 시간을 0 초로 두었다. 그래프에서 볼 수 있는 바와 같이 에칭

시간이 증가함에 따라 면저항은 비선형적으로 증가함을 볼 수 있다. 따라서 Surface damage에 의해 NiSi의 형성이 영향을 받음을 확인할 수 있다.

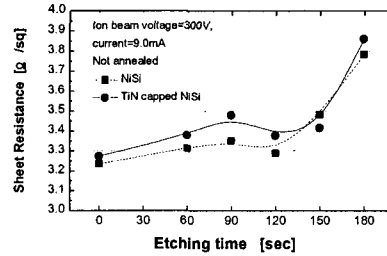


그림 4. IBE 에칭 시간에 따른 NiSi 및 TiN-capped NiSi의 면저항

IBE에 의해 Si 표면이 손상된 시편에 형성된 TiN-capped NiSi의 thermal stability를 측정한 그래프가 그림 5에 나타나 있다. Annealing temperature는 600, 700, 800 ℃로 각각 Split하였으며 Annealing 시간은 30 분이다. 그림 5에서와 같이 손상이 전혀 일어나지 않은 경우 즉, 에칭 시간이 0초인 경우와 IBE에 의해 손상이 일어난 경우를 비교해 보면, Etching time이 80초인 경우에 약간 값이 튀기는 하였으나 전반적으로 IBE에 의해 손상이 일어난 경우에 Thermal stability가 매우 향상됨을 알 수 있다.

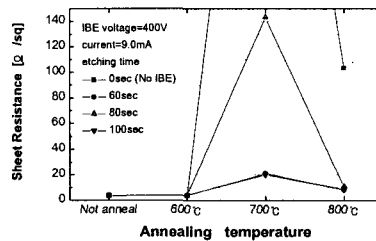


그림 5. IBE에 의해 Si 표면이 손상된 TiN-capped NiSi의 thermal stability

그림 6에는 IBE 전압 300V, 에칭 시간 150 초인 시편을 N₂ anneal 한 경우, 그리고 그림 7에는 IBE 전압 300V, 에칭 시간 180초인 시편을 H₂ anneal 한 경우에 대하여 NiSi 및 TiN-capped NiSi의 면저항을 anneal 하지 않은 경우와 비교하여 나타내었다. anneal이 되지 않은 경우에 대해 그림 6에서 TiN-capped NiSi의 면저항이 uncapped NiSi의 것보다 작은 반면 그림 7에서는 TiN capping을 한 경우가 면저항이 더 커지므로,

TiN capping만으로 IBE에 의해 Si 표면이 손상된 NiSi의 면저항 감소에 영향을 준다고 보기는 어렵다.

그림 7에서 H₂ anneal을 한 경우에 NiSi와 TiN capped NiSi 면저항이 모두 감소했으며, 특히 그림 6과 그림 7에서 H₂ anneal과 TiN capping layer를 적용한 경우에 NiSi의 면저항이 가장 크게 감소됐음을 볼 수 있다. 이것은 IBE에 의한 Si 손상으로 증가된 NiSi의 면저항이 TiN capping이나 H₂ anneal에 의해 감소될 수 있음을 보여준다. 결론적으로 그림 6과 7의 결과로부터 N₂ 나 H₂ 에 상관없이 anneal을 한 경우에는 TiN-capped NiSi가 uncapped NiSi 보다 면저항이 감소하는 것을 볼 수 있으며, 따라서 TiN capping을 적용하는 경우에 Surface damage에 더 민감함을 알 수 있다.

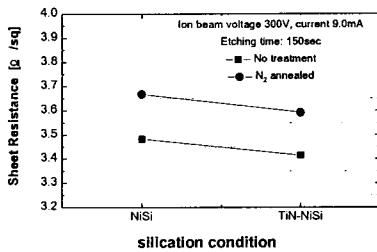


그림 6. N₂ anneal을 한 경우와 하지 않은 경우에 대한 NiSi 및 TiN-capped NiSi의 면저항

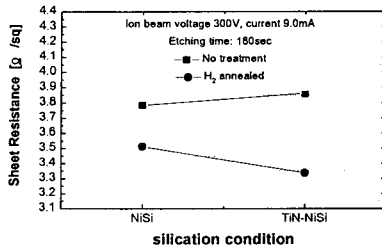


그림 7. H₂ anneal을 한 경우와 하지 않은 경우에 대한 NiSi 및 TiN capped NiSi의 면저항

V. 결론

IBE에 의해 Si 표면손상이 일어난 경우 IBE 에칭 시간이 증가함에 따라 NiSi 및 TiN-capped NiSi 모두에 대해 면저항이 증가하였다. 즉, Si 표면의 손상 정도가 커짐에 따라 TiN capping에 관계없이 NiSi의 면저항이 커짐을 관찰할 수 있었는데, 이로부터 Si

의 표면손상 정도에 따라 NiSi의 특성이 열화되는 정도가 달라질 수 있음을 확인하였다. 또한 IBE에 의해 손상된 NiSi의 thermal stability가 손상되지 않은 경우에 비해 조금 더 안정적이었는데, 이는 anneal을 통해 손상된 Si 격자가 회복되는 효과가 작용한 것으로 보인다. 손상된 Si를 N₂ 또는 H₂ 분위기에서 anneal함에 의해 손상을 회복시킨 경우에 대한 NiSi의 면저항 특성이 변화하였다. N₂ anneal을 한 경우에는 면저항이 증가하고 H₂ anneal의 경우에는 면저항이 감소하였는데, 이는 H₂ anneal이 면저항 감소에 효과적임을 보여준 것이나, N₂ anneal의 온도를 증가시키면 손상회복 효과가 커지므로 결과가 달라질 수도 있을 것이다. 또한 H₂ anneal과 TiN capping을 같이 수행하면 각 과정을 개별적으로 처리한 경우보다 면저항이 더욱 감소함을 볼 수 있었다.

이로부터 IBE에 의해 Si 표면이 손상된 NiSi의 면저항이 증가하는 현상에 있어, H₂ anneal 및 TiN capping을 통해 손상효과가 보상되어 낮은 면저항을 얻을 수 있음을 확인하였다. H₂ anneal 및 TiN capping에 의한 면저항의 감소 원인에 대해 산소 함유량 조사 등이 필요하며, leakage current에 영향을 줄 수 있는 계면 특성이 어떻게 변화하는 지 조사하는 것도 의미가 있을 것이다.

Acknowledgement

본 연구는 한국과학재단 목적기초연구(R01-2001-000-00323-0) 지원으로 수행되었음.

참고문헌

- [1] J. Chen et al., J. Electrochem. Soc., vol. 144, No. 7, pp. 2437-2441, July 1997.
- [2] Toyota Morimoto et al., IEEE ED, vol. 42, No. 5, pp. 915-922, May 1995.
- [3] P. S. Lee et al., IEEE EDL, vol. 21, No. 12, pp. 566-568, December 2000.
- [4] Chel-Jong Choi et al., Jpn. J. Appl. Phys. vol. 41, pp. 1-5, April 2002.
- [5] Tuo-Hung Hou, IEEE EDL, vol. 20, No. 11, pp. 572-573, November 1999.
- [6] 황호정, "반도체 공정기술", 생능출판사, 1999. 2.
- [7] G. S. Oehrlein et al., J. Electrochem. Soc. : Solid-State Science and Technology, pp. 1441-1447, June 1985.
- [8] R. Liu et al., J. Appl. Phys. 63(6), pp. 1990-1999, 15 March 1988.
- [9] M. C. Poon et al., Appl. Surf. Sci. 157, pp. 29-34, 2000.
- [10] Hitoshi Wakabayashi, IEEE ED, vol. 49, No. 2, pp. 295-300, February 2002.
- [11] Pushkar P. Apte, IEEE EDL, vol. 17, No. 11, pp. 506-508, November 1996.
- [12] I. Umezu et al., Vacuum, VAC : 2431, pp. 1-4, 2002.