

## DVD PRML을 위한 1.8V 6bit 1GSPS 초고속 A/D 변환기의 설계

유 용 상, 송 민 규  
동국대학교 반도체학과  
전화 : 02-2264-9450 / 핸드폰 : 016-380-1238

### Design of a 1.8V 6-bit 1GSPS CMOS A/D Converter for DVD PRML

Yongsang You, Minkyu Song  
Dept. of Semiconductor Science, Dongguk University  
E-mail : urisero@hotmail.com

#### Abstract

An 1.8V 6bit 1GSPS ADC for high speed data acquisition is discussed in this paper. This ADC is based on a flash ADC architecture because the flash ADC is the only practical architecture at conversion rates of 1GSPS and beyond. A straightforward 6bit full flash A/D converter consists of two resistive ladders with 63 taps, 63 comparators and digital blocks. One important source of errors in flash A/D converter is caused by the capacitive feedthrough of the high frequency input signal to the resistive reference-ladder. Consequently, the voltage at each tap of the ladder network can change its nominal DC value. This means large transistors have a large parasitic capacitance. Therefore, a dual resistive ladder with capacitor is employed to fix the DC value. Each resistive ladder generates 32 clean reference voltages which alternates with each other. And a two-stage amplifier is also used to reduce the effect of the capacitive feedthrough by minimizing the size of MOS connected to reference voltage. The proposed ADC is based on 0.18 $\mu$ m 1-poly 6-metal n-well CMOS technology, and it consumes 307mW at 1.8V power supply.

#### I. 서론

우리나라는 제3의 물결이라 일컫는 21세기 정보화 시대를 맞아 초기에 IT Hardware 분야에 집중 투자함으로써 Mobile phone, PDA, MP3, Laptop computer 등 다방면에 있어서 기술 우위를 점하고 있다. 이렇듯 현재의 기술 동향은 개별 기술이 안고 있는 한계를 극복하여 기술 융합 차원으로 가고 있으며 끊임없는 기술개발과 IP(Intellectual Property) 확보를 통한 기술 선점만이 경쟁력을 유지하는 길이 될 것이다. 이러한 IT Hardware들에 포함되는 회로들은 적은 전력소모와 빠른 변환속도, 소형화를 요구하고 있으며, 이를 만족시키기 위한 SOC(System on a chip)의 중요성 또한 강조되고 있다. SOC의 구현에 있어 Analog-Digital Interface는 매우 중요하고도 필수적인 요소이며 그 중에서도 고속, 고해상도, 저전력을 갖는 A/D변환기는 Mobile phone, Camcorder, Multimedia 기기 등과 같은 분야에서 광범위하게 사용되고 있다. 본 논문에서는 DVD의 PRML용, Hard Disk의 Read Channel 용 등에 사용 가능한 고속의 A/D Converter를 CMOS 공정을 사용하여 구현하였고, Analog system과 Digital system을 하나의 block으로 구성한 Mixed mode 회로 설계를 통해 On-Chip화하였다. 높은 속도를 얻기 위해서 Full flash type (Fully parallel type)을 사용하였는데, 이는 최근의 경향인 Folding Interpolation 기법에

비해 구조가 간단하면서도 고속동작이 가능하기 때문에 1GSPS 이상의 변환속도에서 가장 일반적으로 사용된다. Flash type A/D converter의 최적화된 성능을 위해 Dual resistive ladder with capacitor와 Two-stage pre-amplifier를 사용하여 200 MHz의 input bandwidth를 만족시키면서 feedthrough로 인한 reference voltage의 fluctuation을 최소화했다.

## II. 초고속 A/D Converter의 구조

전체 구조는 일반 Flash type ADC의 형태를 하고 있다. differential 입력에는 reference voltage와 input voltage가 각각 연결되며, two-stage를 거쳐 증폭된 신호는 latch를 거치면서 명확한 Digital 신호로 전환된다. 출력된 Digital 신호는 Thermometer code로서 bubble error correction과 encoder block을 거치면서 에러수정과 코딩이 이뤄지며 최종적으로 synchronous block을 통해 clock 동기화 되어 6bit를 출력하게 된다. Fig1에 전체 block diagram을 나타내었다.

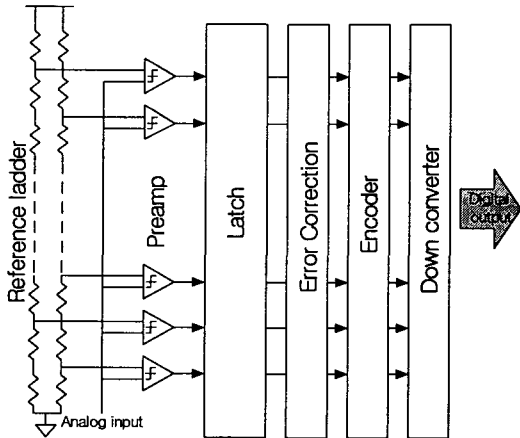


Fig3 ADC block diagram

## III. Block 설계 및 Simulation 결과

### 3.1 Resistive ladder 설계 및 모의실험결과

대부분의 A/D Converter 입력단에는 안정된 신호처리를 위해 S/H 또는 T/H를 사용하고 있다. 하지만 본 연구에서는 고속입력의 원활한 신호처리를 위해 reference voltage와 comparator를 직접 연결한 구조를

채택하였다.[2] 일반적인 고속 ADC에서는 capacitive feedthrough로 인한 reference voltage fluctuation이 error의 주요 원인이 된다.[3] 따라서 본 논문에서는 comparator 입력단에 있는 mos size를 최소화함으로써 capacitive feedthrough를 억제하였고, mos size를 줄이기 위한 방법으로 two-stage amplifier가 사용되었다. 또한 resistive ladder로부터 입력되는 DC voltage의 fluctuation을 최소화하기 위해 Dual resistive ladder와 parallel capacitor를 함께 사용하였다. Dual resistive ladder는 하나의 resistive ladder에 63개의 comparator가 달렸을 때와 32개가 달렸을 때 resistive ladder로 전해지는 capacitive feedthrough가 다르다는 점을 착안한 것으로 Dual 이상에서는 면적이 커진다는 단점이 있다. 따라서 면적을 고려해서 구조에 맞는 적절한 resistive ladder 수를 결정해야 한다. Fig2와 Fig3에는 기존 resistive ladder와 제안된 Dual resistive ladder의 block Diagram을 비교하여 나타내었고 Fig4와 Fig5에는 각각의 파형을 나타냈다.

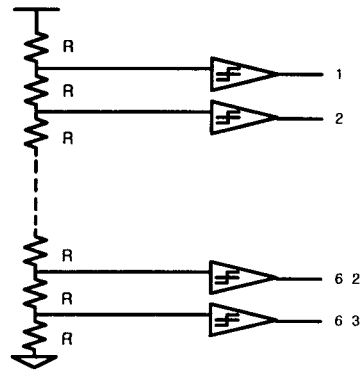


Fig2 Conventional resistive ladder

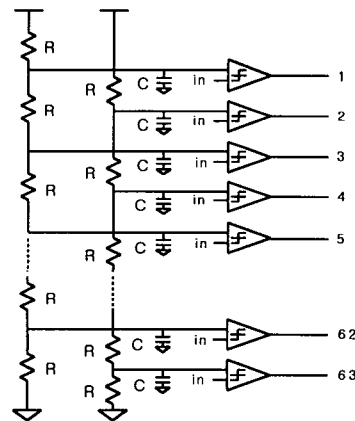


Fig5 Dual resistive ladder

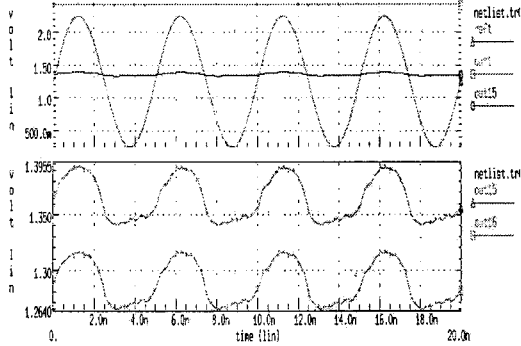


Fig6 Conventional resistive ladder simulation

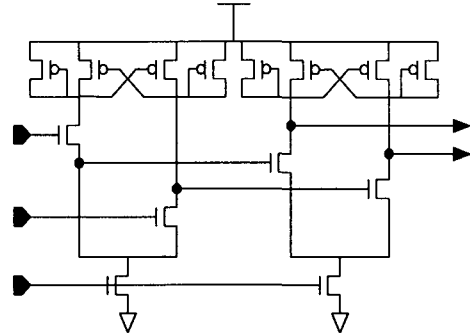


Fig8 Two-stage pre-amplifier

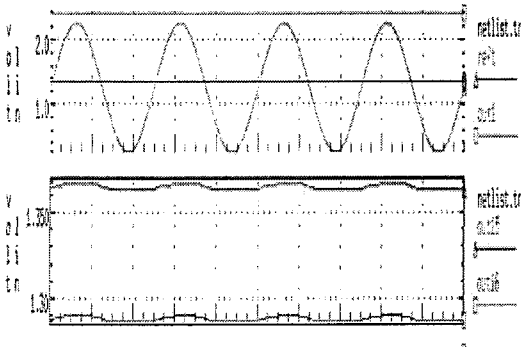


Fig7 Dual resistive ladder simulation

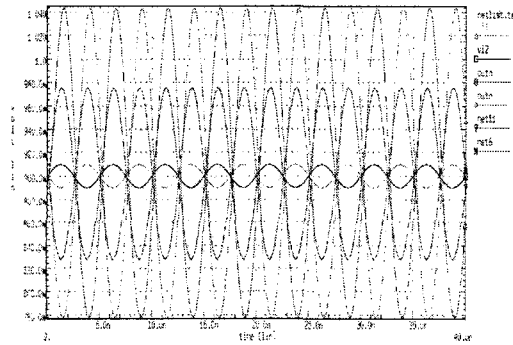


Fig9 Pre-amplifier simulation

### 3.2 Two-stage pre-amp 설계 및 모의실험결과

입력단 구조를 설명하면서 이미 언급했듯이 pre-amplifier는 two-stage 구조로 되어 있다. 실제로 외부에서 들어오는 입력신호는 pre-amplifier의 input capacitance에 의해 전압이득이 손실을 입을 뿐만 아니라 입력 주파수의 특성까지 저하시킨다. 이러한 입력 capacitance의 대부분은 입력 MOS의 gate와 drain 간의 Miller capacitance에 기인하므로 입력에 들어가는 MOS의 size를 최소화하는 것이 Miller capacitance를 줄이는 방법이 될 수 있다[1,4]. 따라서 First stage amplifier에서는 3dB frequency를 만족시키면서 입력 mos의 size를 줄이는데 초점을 맞췄고, Second stage amplifier에서는 증폭도를 높이는데 주안점을 뒀다. Fig6에는 two-stage pre-amplifier의 schematic Fig7에는 simulation 결과를 나타냈다.

### 3.3 Full ADC 모의실험결과

Amplifier에서 증폭된 신호는 latch를 거치면서 명확한 digital 신호로 구분되어 error를 수정하는 Error correction block을 거치게 된다. Error correction Block에서는 간단한 bubble error 수정이 이뤄지게 되며 수정된 Thermometer code는 encoder를 거치면서 binary code로 출력되게 된다. encoder 내부의 회로에서 각 bit에 따른 delay time이 다르므로 출력을 동기화시키기 위해 clock을 사용하는 별도의 output회로가 들어가는데 down converter로도 사용 가능하다. Fig8과 Fig9에 모의실험 결과를 도시하였다. Fig8은 ramp wave 인가 시 출력 파형을 나타냈고, 그림9는 20MHz sine wave at 1GSPS에 대한 출력 파형 reconstruction 한 것이다.

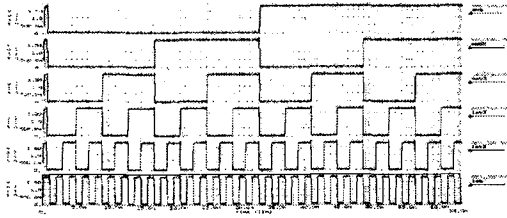


Fig10 6bit output when ramp wave is applied

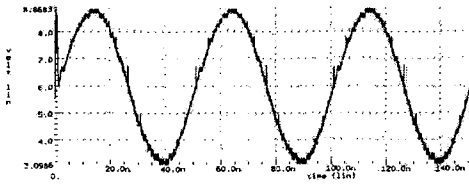


Fig11 Reconstructed wave when sine is applied

#### IV. Layout

Fig10에는 Full Layout을 나타냈다. Chip 내부에는 clock을 자체적으로 생성하기 위해 최대발진주파수가 2Giga인 PLL과 2개의 ADC를 Layout 하였다. Layout 시 resistive ladder와 comparator 사이에 병렬로 연결되는 capacitor가 상당한 면적을 차지하므로 적절한 capacitor 값을 구하여 Layout 해야한다. 또한 측정을 통해 capacitor의 유무에 따른 파형의 변화를 확인하기 위해 단지 capacitor만 부착하지 않은 ADC를 우측하단에 별도로 Layout 하였다.

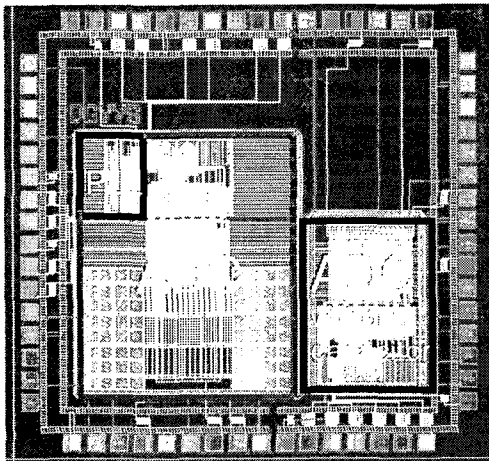


Fig12 Full layout

#### V. 결론

최근 Digital Multi 기기들의 급속한 발달과 보급으로 고속, 고해상도를 만족시키는 Analog Digital Interface에 대한 요구가 증가되고 있다. 본 논문에서는 고속에 적합한 Full Flash Type의 6bit A/D converter를 각 Block간 성능이 최적화되도록 구현하였다. 또한, 입력단의 voltage fluctuation을 줄이기 위해 Dual resistive array와 Two-stage amplifier를 사용하였다. 설계된 회로는 0.18um, 1-poly 6-metal의 n-well CMOS 공정을 사용하여 구현하였으며, 전체 칩 면적은 2000 $\mu$ m $\times$ 2000 $\mu$ m, 해상도는 6bit을 만족시키고 최대 동작주파수는 입력 200MHz에 1GSPS 이다. 1.8V 공급전원에 전력소모는 ADC가 307mW, PLL이 130mW를 나타내어 총 430mW를 소모한다.

#### Reference

- [1] Govert Geelen, "A6b 1.1GSample/s CMOS A/D Converter" ISSCC 2001 / Session8 / Nyquist ADCs / 8.2 February. 2001
- [2] K. Uyttenhove, A. Marques, M.Steyaert, "A 6bit 1GHz acquisition speed CMOS flash ADC with digital error correction" IEEE 2000 Custom Integrated Circuits conference
- [3] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(상)", 시그마프레스, 1999
- [4] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(하)", 시그마프레스, 1999