

2.4GHz 고이득 저잡음 증폭기 설계

손 주호¹, 최 석우¹, 윤 창훈², 김 동용¹

¹전북대학교 전자정보공학부, ²우석대학교 정보통신컴퓨터공학부
전화 : 063-270-2395 / e-mail: juhoson@hanmail.net

Design of High Gain Low Noise Amplifier

J. H. Son¹, S. W. Choi¹, C. H. Yun², D. Y. Kim¹

¹School of Electronics and Information Engineering, Chonbuk National University

²Division of Information and Communication Engineering, Woosuk University

Abstract

In this paper, we discuss the design of high gain low noise amplifier by using the 0.25 μ m CMOS technology. A cascode inverter is adopted to implement the low noise amplifier. The proposed cascode inverter LNA is one stage amplifier with a voltage reference and without choke inductors.

The designed 2.4GHz LNA achieves a power gain of 25dB, a noise figure of 2.2dB, and power consumption of 255mW at 2.5V power supply.

I. 서론

최근 들어 휴대 이동전화기 및 PCS의 가입자수가 천만을 넘어서는 높은 시장 성장률을 보이고 있다. 이는 21세기 정보통신 사회의 도래에 발맞추어 나타난 통신시장의 자연스런 팽창에 따른 결과이다. 현재 소비자들은 다양한 종류의 통신서비스를 요구하고 있다. 이로서 유선 통신시장이 무선 통신시장으로 변하고 있으며 호출기, 셀룰러, PCS, IMT-2000, 무선 PBX 및 무선 LAN등의 여러 통신 서비스를 낳게 하였다. 이에 따른 통신장비의 개발 및 부품개발에 대한 중요도가 점차 증가되고 있다.

저가격 고집적 RF 송수신기 실현에 주도적 역할을 하게 될 가능성에 대해 매우 긍정적인 평가를 받고 있는 CMOS 공정은 단말장치의 소형 경량화, 저전력화, 저가격화를 위하여 바람직하며 이를 통한 단말장치의 CMOS 단일칩화 연구가 활발히 진행되고 있다. 국내의 CMOS 공정기술 및 f_t 를 고려할 때 이를 이용한 RF 소자개발은 더욱더 실현 가능성을 밝게 하고 있다.

본 논문에서는 이에 발맞추어 국내 0.25 μ m CMOS 설계파라미터를 사용하여 RF 수신기의 앞단에 필요로 하는 2.4GHz 저잡음 증폭기(LNA)를 설계하였다.

II. 제안하는 저잡음 증폭기의 설계

본 논문에서 설계하고자한 LNA의 기본 구조는 DC적으로 인버터의 적층 형태를 가지고 있으며, 캐스코드된 트랜지스터로 인하여 전력 이득을 갖는다. 인버터 구조로 된 LNA는 1단으로는 충분한 이득을 만들 수 없으며, 2단으로 캐스케이드로 할 경우 트랜지스터 수의 증가로 잡음 특성이 떨어진다. 그래서 여기서는 그림 1과 같은 인버터에 대하여 고려하였다.

CMOS 인버터의 경우 입출력 정합에 필요한 인덕턴스가 작아도 됨이 특징이므로 본 논문에서 제안하는 LNA에서는 초크형 인덕터를 사용하지 않았다.

이제 PMOS와 NMOS로 구성된 제안된 CMOS 상보형 증폭회로 소신호 해석을 분석하여 본다.

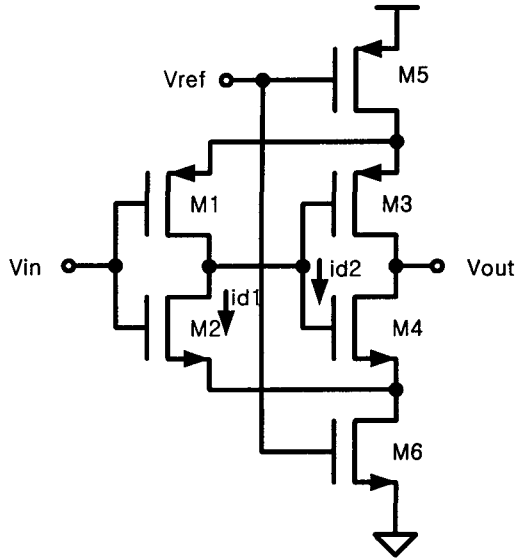


그림 3. 제안하는 저잡음 증폭기

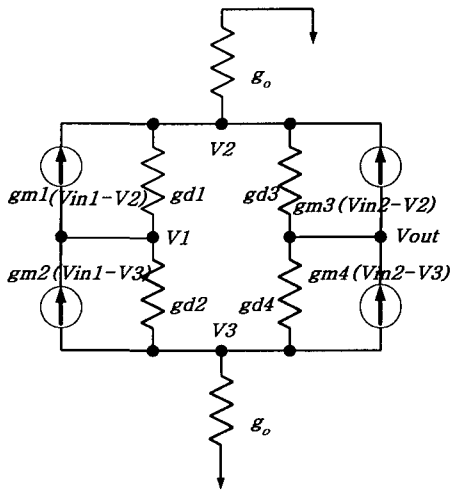


그림 4. 저잡음 증폭기의 소신호 등가회로

그림에서 M1, M3과 M2, M4를 각각 같은 크기를 갖도록 대칭적으로 구성하면 입력에 소신호가 인가될 때 드레인 전류 i_{d1} 과 i_{d2} 는 같은 크기를 가지며 부호가 다르게 되므로 합은 식과 같이 0이 된다.

$$i_{d1} + i_{d2} = 0 \quad (1)$$

이때 그림 2의 소신호 등가회로로부터 i_{d1} 과 i_{d2} 는

$$i_{d1} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_2) \quad (2-1)$$

$$i_{d2} \cong g_{m4}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_2) \quad (2-2)$$

이 되므로 이들 전류의 합은 식 (3)과 같이 구해진다.

$$i_{d1} + i_{d2} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_2) + g_{m4}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_2) \cong 0 \quad (3)$$

여기서 M1, M2와 M3, M4는 각각 같은 크기를 가지고 대칭적으로 구성되어 있으므로 트랜스컨덕턴스 또한 $g_{m1} \cong g_{m3}$, $g_{m2} \cong g_{m4}$ 로써 같은 크기를 가진다. 그리고 증폭기 설계 시에 단자 전압 v_2 와 v_3 를 같은 크기를 설계하게 되면 최종적으로 식 (3)은 식 (4)와 같이 된다.

$$i_{d1} + i_{d2} \cong g_{m2}(v_{in1} - v_3) + g_{m1}(v_{in1} - v_3) + g_{m4}(v_{in2} - v_3) + g_{m3}(v_{in2} - v_3) \cong 0 \quad (4)$$

$$\text{여기서 } v_3 \cong \frac{v_{in1} + v_{in2}}{2} \quad (5)$$

그러므로 i_{d1} 은 식 (6)과 같다.

$$i_{d1} \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})v_3 \cong (g_{m1} + g_{m2})v_{in1} - (g_{m1} + g_{m2})(v_{in1} + v_{in2})/2 \cong \frac{(g_{m1} + g_{m2})}{2}(v_{in1} - v_{in2}) \cong -i_{d2} \quad (6)$$

이때 출력저항은 M3과 M4의 드레인 저항으로 구성되므로 출력전압은 식 (7)과 같다.

$$v_{out} \cong \frac{2i_{d1}}{g_{d3} + g_{d4}} \cong \frac{(g_{m1} + g_{m2})(v_{in1} - v_{in2})}{(g_{d3} + g_{d4})} \quad (7)$$

결과적으로 제안한 증폭회로의 전압 이득은 식 (8)과 같다.

$$A_v \cong \frac{v_{out}}{v_{in1} - v_{in2}} \cong \frac{(g_{m1} + g_{m2})}{(g_{d3} + g_{d4})} \quad (8)$$

최대 전력이 전달이 되려면 입출력 정합이 이루어져야 가능하며 입출력 정합이 이론적일 경우 전압 이득은 전력 이득과 같다. 저잡음, 저왜곡을 가진 LNA에서 전력 이득을 극대화하기란 어려운 문제이다.

왜냐하면 이득이 크면 저잡음에는 유리하지만 신호의 선형성이 떨어지기 때문이다.

다음으로 안정도는 증폭기 설계에 있어 매우 중요한 요소로서 S-Parameter, Matching Networks 등에 의해 결정된다. 2단자쌍 회로망에서 발진은 입력이나 출력단이 Negative Resistance를 가질 때, 즉 $|\Gamma_{in}| > 1$ 이나 $|\Gamma_{out}| > 1$ 인 경우에 나타나므로 이 조건으로부터 안정 조건을 구해낼 수 있다. 따라서 다음 식 (9) (10)과 같이 안정도 요소 K를 사용하여 안정도가 1보다 크도록 하여 설계하였다.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad (9)$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| < 1 \quad (10)$$

Noise Figure는 증폭기 출력단에서의 총 Noise Power와 입력단의 저항 R에서 기인된 열잡음이 증폭기의 이득을 얻어 나타나는 출력 전력과의 비로 식 (11)과 같이 정의된다.

$$F = \frac{P_{No}}{P_{Ni}G_A} \quad (11)$$

여기서 P_{No} 는 증폭기 출력단에서의 유효한 총 Noise Power를 나타내고, $P_{Ni} = KT_oB$ 는 저항 R로부터 기인한 열 잡음을 나타낸다. 이때, 입력단과 출력단에서의 유효 신호 전력을 각각 P_{Si} , P_{So} 로 정의하면, $G_A = P_{So}/P_{Si}$ 가 되므로 식(12)는 다음과 같이 신호 대 잡음비(SNR)로 나타내어지게 된다.

$$F = \frac{P_{Si}/P_{Ni}}{P_{So}/P_{No}} = \frac{(SNR)_{in}}{(SNR)_{out}} \quad (12)$$

입출력 매칭회로는 인덕터와 캐패시터를 이용하여 50Ω으로 매칭하였으며 수동소자의 경우는 구조적으로 모델링된 값을 사용하였다.

IV. 시뮬레이션 결과

본 논문에서는 1poly 5metal CMOS 공정을 이용하여 시뮬레이션 하였으며, 그림 3에서 소자의 최소 잡음인 NFmin과 설계한 회로의 잡음인 NF를 나타내고 있다. 설계한 저잡음 증폭기는 블루투스 리시버대역인 2.4~2.5GHz 주파수 대역에서 NF는 2.2를 나타내고 있

으며, 이는 상당히 낮은 값을 나타내고 있다. 또한 안정도(K)는 그림 3의 시뮬레이션 결과와 같이 K가 1보다 크므로 안정하다고 할 수 있다.

그림 4에서는 S 파라미터 특성 곡선을 보여주고 있으며, 이득을 나타내는 S21곡선이 2.4~2.5GHz에서 25dB의 전력 이득을 갖는다. 이는 인버터의 캐스케이드 형태에서 비롯된 것으로 1단 증폭기에서 얻는 이득으로는 높은 이득에 해당한다. 입력 매칭을 나타내는 S11은 2GHz대역에서 매칭이 이루어져 매칭에 대한 고려가 필요한 것으로 보여지며, 출력 매칭을 나타내는 S22의 값이 -10dB 정도를 보여주고 있다. 이것도 출력 매칭에 대한 고려가 필요함을 나타내고 있다.

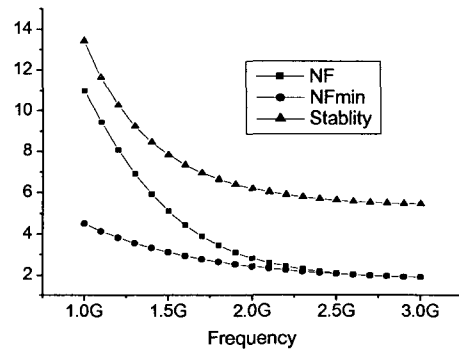


그림 5. 노이즈 특성 및 안정도 곡선

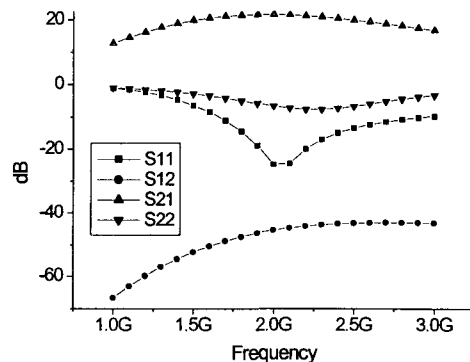


그림 6. S 파라미터 특성곡선

표 1에서는 제안한 저잡음 증폭기의 시뮬레이션 결과를 보여주고 있다. 설계된 증폭기는 일반적인 설계 조건을 만족하였으나 공급 전압 2.5V에서 트랜지스터의 증가로 255mW의 많은 전력을 소모하였다.

표 5. 저잡음 증폭기의 시뮬레이션 결과

Characteristic	시뮬레이션 결과	Unit
Center Frequency	2.402~2.480	GHz
Power Supply Voltage	2.5	V
Power Supply current	102	mA
Power	255	mW
Gain(S21)	25	dB
Noise Figure	2.2	dB
input matching	50	Ω
output matching	50	Ω
S11	-20이하	dB
S22	-10이하	dB

V. 결론

본 논문에서는 실리콘 기반에서 저잡음 증폭기 설계에 대한 새로운 구조를 제시하고 이를 1 poly 5 metal 0.25 μ m CMOS 공정을 이용하여 설계하고 시뮬레이션을 통하여 검증하였다.

제시한 저잡음 증폭기는 인버터 적층 구조로 잡음이 적으며, 높은 이득을 얻을 수 있는 구조이다. 그러나 설계에서 매칭 문제를 해결해야 하며 또한 전력 소모가 많은 것을 해결해야 할 것이다.

참고문헌

[1] P. K. Shaeffer and T. H. Lee, "A 1.5 V 1.5 GHz CMOS Low Noise Amplifier," in *SOVC Dig. Tech. Papers*, pp. 32-33, June, 1996.

[2] A. N. Karanicolas, "A 2.7 V 900 MHz CMOS LNA & Mixer," in *ISSCC Dig. Tech. Papers*, pp. 50-51, Feb, 1996.

[3] R. G. Meyer and W. D. Mack, "A 1 GHz BiCMOS RF Front-end IC," *IEEE J. Solid-state Circuits*, Vol. 29, pp.166-176, March, 1994.

[4] D. B. M. Klaassen, "Compact modelling of submicron CMOS," *Proc. 22nd European Solid-State Circuits Conference*, pp.40-46, Sept, 1996

[5] James Yung-Cheh Chang, A low power 770 MHz RF tuned amplifier in 2 μ m CMOS using large suspended rectangular planar inductors,

M.S. thesis in Electrical Engineering, Los Angeles, University of California, 1992.

[6] J. Y. C. Chang, A. A. Abidi, and M. Gaitan, "Large Suspended Inductors on Silicon and their use in a 2 μ m CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp.246-248, 1993.

[7] Robert G. Meyer, and William D. Mack, "A 1 GHz BiCMOS RF front-end IC," *IEEE J. Solid-States Circuits*, vol.29, no. 3, pp. 350-355, Mar, 1994.

[8] 김영호, 정항근, "900MHz대 저전력 저잡음 증폭기 설계 Design of 900MHz Low Noise Amplifier," *대한전자공학회 1998년도 추계종합학술대회 논문집*, pp. 671-674. 1998.

[9] S.A. Maas, *Micro Nwave Mixers*, 2nd ed. Boston: Artech House, 1993.

[10] A. Rofougaran, G. Chang, A. A. Abidi, and H. Samuelli, "A Single-Chip 900 MHz Spread-Spectrum Wireless Transceiver in 1 μ m CMOS, Part2: Receiver Design," *IEEE J. of Solid-State Circuits*, vol. 33, no. 4, Apr, 1998.

[11] A. A. Abidi, "Noise in active resonators and the available dynamic range," *IEEE Trans. Circuits Syst.*, vol. 39, no. 4, pp. 296-299, 1992.

감사의 글

본 논문은 2001년도 정보통신부에서 지원하는 대학 기초연구지원사업으로 수행되었음.