

FLEX10K 계열에 대한 저전력 CPLD 기술 매핑 알고리즘

김재진*, 박남서***, 인치호**, 김희석***

극동정보대학 전산정보처리과*, 세명대학교 컴퓨터학과**, 청주대학교 전자공학과***

Tel. 043-879-3374 FAX. 043-229-8452

E-mail : kimjj@cs.kdc.ac.kr*, skydosa@chongju.ac.kr***, ich410@venus.semyung.ac.kr**, khs8391@chongju.ac.kr***

Low Power CPLD Technology Mapping Algorithm for FLEX10K series

Jae-Jin Kim*, Nam-Seo Park***, Chi-Ho Lin**, Hi-Seok Kim***

Dept. of Computer Information Process, Keukdong College**

Dept. of Computer Science, Semyung University**

Dept. of Electronic Engineering, Chongju University***

Abstract

In this paper, we consider the problem of CLB based CPLD technology mapping for power minimization in combinational circuit. The problem has been previously proved to be NP-hard, and hence we present an efficient heuristic algorithm for it. The main idea of our algorithm is to exploit the "cut enumeration" and "feasible cluster" technique to generate possible mapping solutions for the sub-circuit rooted at each node. However, for the consideration of both run time and memory space, only a fixed-number of solutions are selected and stored by our algorithm. To facilitate the selection process, a method that correctly calculates the estimated power consumption for each mapped sub-circuit is developed. The experimental results show that our approach is shown a decrease of 30.5% compared with DDMAP and that of 15.63% for TEMPLA in the power consumption.

I. 서론

VLSI 제조 및 설계 기술의 발달과 더불어 최근 휴대용

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.

전자 제품의 수요가 급증함에 따라 회로의 전력 소모를 개선하기 위한 저전력 회로의 설계가 중요한 사항으로 등장하고 있다. 따라서 저전력 회로 설계 자동화에 관한 연구가 활발히 진행되고 있다.[1]

CMOS 소자로 구현된 VLSI 회로는 내부 노드 값의 스위칭 동작(switching activity)에 의한 전력 소모가 전체 전력 소모량의 90% 이상을 차지하므로 회로의 소모 전력을 감소시키기 위하여 스위칭 동작을 감소시키는 방안이 제안되었다.[2][3] 최근에 발표된 저전력 기술 매핑 알고리즘으로는 분할 계산(cut enumeration) 알고리즘이 있으며 LUT 구조에 적용 가능하도록 구성되어 있다. 분할 계산 알고리즘은 TD(transition density)와 propagation delay를 고려하여 노드 분할을 수행한다.[4][5][6][7] 그러나 이러한 알고리즘들은 현재 많이 사용하고 있는 CLB 구조로 되어 있는 FLEX10K 계열의 CPLD에 적용하기에는 어려움이 많다. 또한 출력의 수를 고려하지 않은 단점도 가지고 있다.

따라서 본 논문에서는 이러한 단점을 보완하여 저전력으로 회로를 구현할 수 있는 새로운 CPLD 기술 매핑 알고리즘을 제안하였다.

II. 관련 연구

FPGA 또는 CPLD를 이용한 저전력의 기술 매핑을 수행하기 위해서는 대상 소자를 구성하고 있는 구성요소인 LUT나 CLB의 구조에 맞도록 소모 전력을 고려하여 회로를 분할하여야 한다. 최근에 발표된 분할 계산 알고리즘

리즘은 LUT 구조에 맞도록 저전력의 회로를 구현할 수 있는 알고리즘으로서 세 단계로 구성되어 있다. 분할 계산은 불린 네트워크 N에 대해 저전력의 회로 분할을 수행하여야 한다. 회로 분할은 게이트의 단수(p)를 설정하여 LUT 구조에 맞도록 매핑하고 LUT의 출력 예지 수(out-degree)를 계산한다. 2개 이상의 출력 예지를 갖는 LUT를 복제(duplication)하거나 우선 매핑한다. 그러나 분할 계산 알고리즘은 LUT의 구조에 맞도록 구성되어 있어 CPLD를 구성하고 있는 CLB의 구조에 적용하기에 어려움이 많다. 특히 제약 조건이 되는 K-매핑 가능 셀의 경우 분할 계산에서는 입력 변수의 수가 제약 조건이 되므로 OR-터프수를 고려하여야 하는 CPLD의 구조에 적합하지 않은 단점이 있다. 또한 게이트의 단수를 설정하는 p의 값도 LUT에 비해 CLB의 크기가 크고 OR-터프수가 제약 조건이 되므로 현실성이 부족하다. 노드 복제(duplication)를 수행한 후 그래프 분할을 수행하는 방법은 스위칭 동작이 증가하게 되는 단점이 있다.

III. 전력 모델

조합 논리 회로는 DAG로 재구성한다. DAG를 구성하는 각각의 노드는 m-입력, q-출력을 갖는 게이트를 의미한다. m-입력은 In(x)로 정의되고 (x_1, x_2, \dots, x_m) 으로 표현된다. q-출력은 Out(y)로 정의되고 (y_1, y_2, \dots, y_q) 로 표현된다. In(x)는 초기 입력(PI)을 포함한다. 최종 출력(PO)은 1개의 출력만을 가지고 있다. 각 노드는 1 이상의 OR-터프수를 가지고 있으며 OR-터프수는 Num(k)로 정의하고 $(N_{Or1}, N_{Or2}, \dots, N_{Ork})$ 로 표현된다. 따라서 각 노드는 (식 1)과 같은비용을 갖는다.

$$C(n) = [Num(k), In(x), Out(y)] \quad (식 1)$$

$$Num(k) = \prod_{p=1}^m [Num(p)] \quad Num(k)=1 \quad (식 2)$$

$$\sum_{i=1}^m \sum_{j=1}^m [Num(i) \cdot Num(j)] \quad Num(k) > 1 \&\&AND$$

$$\sum_{i=1}^m \sum_{j=1}^m [Num(i) + Num(j)] \quad Num(k) > 1 \&\&OR$$

$$In(x) = \sum_{i=1}^m [In(x_i) - 1] \quad (식 3)$$

(식 2)는 노드의 OR-터프수를 계산하는 수식으로 노드의 OR-터프수가 1인 경우는 AND 연산만을 가지고 있으므로 곱으로, 2이상인 경우는 합의 형태로 계산하여 현재 노드의 OR-터프수를 계산한다. (식 3)은 입력의 수를 계산하는 수식이다.

소모 전력을 계산하기 위해 각 노드를 구성하고 있는 게이트에 대한 EP(equilibrium propability)와 TD를 계산하여야 한다. 각각의 노드는 INVERTER와 AND, OR 게이트이며 각 게이트에 대한 EP와 TD는 다음과 같다. 신호 x에 대해 EP는 $p(x)$, TD는 $d(x)$ 로 정의한다.

게이트의 출력 수는 $out(x)$ 라 정의한다. 출력 신호 y에 대해 다음과 같은 수식을 정의한다.

INVERTER게이트의 경우

$$p(y) = \frac{1 - p(x_1)}{out(x)} \quad (식 4)$$

$$d(y) = d(x_1) \cdot out(x) \quad (식 5)$$

AND 게이트의 경우

$$p(y) = \frac{\prod_{i=1}^m p(x_i)}{out(x)} \quad (식 6)$$

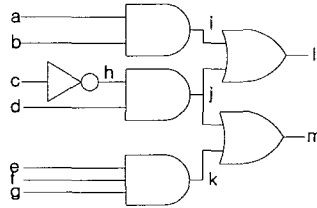
$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m p(x_j)) d(x_i)] \cdot out(x) \quad (식 7)$$

OR 게이트의 경우

$$p(y) = \frac{1 - \prod_{i=1}^m (1 - p(x_i))}{out(x)} \quad (식 8)$$

$$d(y) = \sum_{i=1}^m [(\prod_{j=1, j \neq i}^m (1 - p(x_j))) d(x_i)] \cdot out(x) \quad (식 9)$$

입력 a, b, c, d, e, f, g의 EP를 각각 0.1, 0.2, 0.3, 0.4, 0.5, 0.6, 0.7로 주고 TD를 1,000으로 주어졌을 경우, (식 4)에서 (식 9)의 수식을 사용하여 EP와 TD를 계산하는 방법은 그림 1에 나타내었다.



h에 대해 $EP = \frac{1-0.3}{1} = 0.7$

$TD = 1,000 \times 1 = 1,000$

i에 대해 $EP = \frac{0.1 \times 0.2}{1} = 0.02$

$TD = [(0.1 \times 1,000) + (0.2 \times 1,000)] \times 1 = 300$

j에 대해 $EP = \frac{0.7 \times 0.4}{2} = 0.14$

$TD = [(0.7 \times 1,000) + (0.4 \times 1,000)] \times 2 = 2,200$

k에 대해 $EP = \frac{0.5 \times 0.6 \times 0.7}{1} = 0.21$

$TD = [(0.5 \times 1,000) + (0.6 \times 1,000) + (0.7 \times 1,000)] \times 1 = 1,800$

l에 대해 $EP = \frac{1 - [(1-0.02) \times (1-0.14)]}{1} = 0.1572$

$TD = [(1-0.02) \times 2,200 + (1-0.14) \times 300] \times 1 = 2,414$

m에 대해

$$EP = \frac{1 - [(1-0.14) \times (1-0.21)]}{1} = 0.3206$$

$TD = [(1-0.14) \times 1,800 + (1-0.21) \times 2,200] \times 1 = 3,286$

그림 1. EP와 TD 계산

CMOS 게이트의 전력은 (식 10)과 같이 나타낼 수 있다.

$$P_{avg}(y) = \frac{1}{2} C V_{dd}^2 d(y) \quad (식 10)$$

C는 load capacitance이고 V_{dd} 는 인가 전압을 나타낸다. 따라서 소비 전력을 감소시키기 위해서는 전체 회로의 $d(y)$ 의 값을 줄여야 한다.

CPLD를 구성하고 있는 CLB에 대한 소비 전력을 계산하여 저전력을 구현 한다. CLB로 구성되어 있는 CPLD의 소비 전력은 (식 11)과 같이 나타낼 수 있다.

$$P_{max}(M) = \sum_{i=1}^m \left(\frac{1}{2} C_{in} V_{dd}^2 d(p_i) \right) + \sum_{C_j \in C} \left(\frac{1}{2} (C_{out} + fanout(C_j) C_{in}) V_{dd}^2 d(C_j) \right) \quad (식 11)$$

$d(p_i)$: 초기 입력 p_i 의 TD

$fanout(C_j)$: CLB C_j 의 출력 수

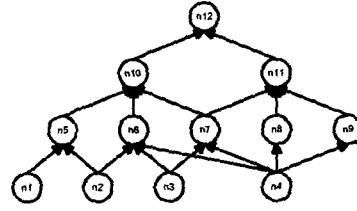
$d(C_j)$: CLB C_j 의 TD

IV. FLEX10K 계열에 대한 저전력 CPLD 기술매핑 알고리즘

본 논문에서 제안한 FLEX10K 계열에 대한 저전력 CPLD 기술 매핑 알고리즘은 스위칭 동작을 고려한 저전력 기술 매핑 알고리즘을 제안하였다.

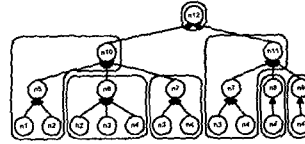
주어진 불린 네트워크의 소비 전력을 계산하여 저전력의 그래프 분할을 수행한다.

저전력을 고려한 그래프 분할은 불린 네트워크를 DAG형태로 변환하여 수행한다. 저전력을 위한 그래프 분할을 위해 DAG를 구성하고 있는 노드들 중에서 나가는 예지의 수가 가장 많은 노드를 검색한다. 나가는 예지의 수가 많은 것은 다른 노드들에 영향을 가장 많이 끼치므로 노드에서 스위칭 변환이 발생되면 많은 노드에서 스위칭 변환이 발생되기 때문에 우선적으로 노드들을 병합하여 매핑 가능 클러스터를 생성한다. 예를 들어 그림 2의 (a)와 같은 DAG가 있을 경우 (b)는 저전력을 고려하지 않고 매핑 가능 클러스터를 생성했을 경우의 결과이다. n7 노드는 n10과 n11에 입력으로 사용되는 노드이다. 따라서 (b)와 같이 매핑 가능 클러스터를 생성하여 매핑 했을 경우 n7의 스위칭 변화에 의해 n7과 n10, n11, n12노드가 모두 스위칭 변화를 일으키게 되어 소모 전력이 증가한다. (c)는 본 논문에서 제안한 저전력을 고려하여 생성한 매핑 가능 클러스터이다. 가장 많은 출력 예지를 가지고 있는 n4노드에 대해 우선 상위 노드와 결합하여 매핑 가능 클러스터를 생성하고, n3 노드에 대해 수행한다.

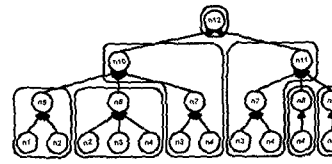


(a) DAG

$$\begin{aligned} n12 &= n11 + n10 \\ n10 &= n3 + n4 + n5 + n6 \\ n6 &= n3 + n4 + n2 \\ n5 &= n1 + n2 \\ n11 &= n3 + n4 + n8 + n9 \\ n8 &= n4 \\ n9 &= n4 \end{aligned}$$



(b) 저전력을 고려하지 않은 매핑 가능 클러스터



$$\begin{aligned} n12 &= n11 + n10 \\ n10 &= n3 + n4 + n5 + n6 \\ n6 &= n3 + n4 + n2 \\ n5 &= n1 + n2 \\ n11 &= n3 + n4 + n8 + n9 \\ n8 &= n4 \\ n9 &= n4 \end{aligned}$$

(c) 저전력을 고려한 매핑 가능 클러스터
그림 2. k=5일 때 매핑 가능 클러스터 생성

팬 아웃 프리 트리가 생성되면 클러스터를 만들기 위해 초기 비용을 이용하여 CLB의 OR 텀수를 초과하지 않는 범위 내에서 최대의 노드를 포함하도록 구성한다. 주어진 CPLD의 내부를 구성하고 있는 CLB의 OR 텀수를 k라 정의한다. 따라서 매핑 가능한 클러스터 생성은 전체 비용을 계산하여 k 값보다 작도록 클러스터를 생성한다. 전체 비용을 계산은 (식 2)를 이용한다.

저전력을 고려한 그래프 분할 알고리즘은 그림 3에 나타내었다.

Algorithm LP_CPLD

Input : k, mn, N, 각 입력에 대한 EP와 TD, C_{in} , C_{out}

Output : 저전력 매핑

- 0 N에 대한 DAG 생성
- 1 PI를 제외한 모든 노드의 TD 계산
- 2 for 각 노드 v에 대해
- 3 find 출력 예지의 수가 가장 많은 노드
- 4 매핑 가능 클러스터 (LP_FC(V)) 생성
- 5 가장 노드 생성
- 6 k를 만족하는 매핑 가능 클러스터 생성
- 7 end for

그림 3. 저전력을 고려한 그래프 분할 알고리즘

본 논문에서 제안한 저전력을 고려한 알고리즘의 복잡도(complexity)는 $O(n)$ 이다.

V. 실험 결과

본 논문에서 제안한 저전력을 고려한 CPLD 기술 매핑 알고리즘을 벤치마크에 적용하여 전력 소모량을 측정하였다. 실험을 위한 대상 소자는 ALTERA사의 FLEX10K를 선정하여 실험하였다. 각 입력에 EP는 0.5, TD는 1,000으로 설정하였으며 C_{in} 과 C_{out} 은 10 pF으로 설정하였다.

실험 결과 기존의 CPLD 기술 매핑 알고리즘인 DDMAP이나 TEMPLA에 비해 각각 30.5%와 15.63% 감소된 결과를 나타내었다.

표 1은 기존의 CPLD 알고리즘과 소모 전력을 비교한 표이다.

VI. 결론

본 논문에서는 저전력을 고려한 CPLD 기술 매핑 알고리즘을 제안하였다.

제안된 알고리즘은 회로를 구현할 대상 소자에 맞추어 소모 전력을 줄여 기술 매핑 할 수 있는 알고리즘으로서 저전력을 고려한 그래프 분할을 수행하였다.

실험 결과 기존의 CPLD 기술 매핑 알고리즘들에 비해 소모 전력이 감소된 결과를 나타내었다.

참고 문헌

- [1] S. Devadas, S. malik, "A Survey of Optimization Techniques Targeting Low Power VLSI Circuits", in Proc. 32nd DAC, pp.242-247, June 1995.
- [2] A. Chandrakasan, T. Sheng, and R. Brodersen, "Low Power CMOS Digital Design", Journal of Solid State Circuits, vol. 27, no. 4, pp. 473-484, April 1992.
- [3] R.J Francis, J. Rose and Z. Vranestic, "Chortle-crf : Fast Technology Mapping for Lookup Table- Based FPGAs", 28th ACM/IEEE Design Automation Conference, June 1991, pp.227-233.
- [4] Zhi-Hong Wang, En-Cheng Liu, Jianbang Lai, Ting-Chi Wang, "Power Minimization in LUT-Based FPGA Technology Mapping", ASP-DAC, pp.635-640, January 2001.
- [5] A. H. Farrahi and M.Sarrafaezadeh, "FPGA Technology Mapping for Power Minimization", Proc. Int. Workshop on field Programmable Logic and Applications, pp. 66-77, 1994
- [6] C. -C. Wang and C. -P. Kwan, "Low Power Technology Mapping by Hiding high-Transition Paths in Invisible Edges of LUT-Based FPGAs", Proc. Int. Symp. on Circuits and Systems, pp. 1536-1539, 1997
- [7] R.J Francis, J. Rose and Z. Vranestic, "Technology Mapping of Lookup Table-Based FPGAs for Performance", 1991 IEEE Conference on Computer Aided Design, pp. 568-571
- [8] E. M. Sentovice et al., "SIS : A system for sequential Circuit Synthesis", Technical Report UCM/ERL M92/41, Electronics Research Laboratory, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1992
- [9] Jason Helge Anderson, Stephen Dean Brown, "Technology Mapping for Large Complex PLDs", Design Automation Conference, 1998, pp. 698-703
- [10] Jae-Jin Kim, Hi-Seok Kim, Chi-Ho Lin, "A New Technology Mapping for CPLD under the time constraint" ASP-DAC, pp.235-238, January 2001.

표 1. 다단의 수를 고려하지 않은 상태의 소모 전력 비교

	DDMAP				TEMPLA		본 연구	
	입력수	출력수	블록	전력	블록	전력	블록	전력
alu4	14	8	200	94.05	182	85.62	183	71.6
cps	24	109	160	82.3	147	71.8	153	57.8
apex4	9	19	203	77.93	201	78.32	193	72.5
misex3	14	14	220	77.04	184	71.3	197	68.87
ex5p	8	63	34	34	176	37.1	203	39.3
s38417	1664	1742	1301	513.25	824	463.8	916	356.34
seq	40	29	356	89.67	292	87.13	357	78.6
fir	897	1232	1562	699.83	489	472.3	536	391.6
pmac	45	67	1011	94.35	397	72.5	428	64.3
psdes	34	23	324	78.53	251	69.34	254	64.28
sort	78	19	291	67.39	241	62.49	263	60.83
total				1908.34		1571.7		1326.02