

# 적은 면적을 갖는 저전력, 고해상도 확장 계수 A/D 변환기 설계

김 정 열, 임 신 일  
서경대학교 컴퓨터공학과  
전화 : 02-940-7183 / 핸드폰 : 019-282-8146

## A Design of Low Power, High Resolution Extended-Counting A/D Converter with Small Chip Area

Jung-Yul Kim, Shin-II Lim  
Dept. of Computer Engineering, Seokyeong University  
E-mail : yarly@home.skuniv.ac.kr

### Abstract

An extended-counting analog to digital converter (ADC) is designed to have a high resolution(14bit) with low power consumption and small dia area. First order sigma-delta modulator with a simple counter for incremental operation eliminates the need of big decimation filter in conventional sigma-delta type ADC. To improve the accuracy and linearity, extended mode of successive approximation is followed. For 14-bit conversion operation, total 263 clocks(1 clock for reset, 256 clocks for incremental operation and extended 6 clocks for successive approximation operation) are needed with the sampling rate of 10 Ms/s.

This ADC is implemented in a 0.6um standard CMOS technology with a die area of 1 mm × 0.75 mm.

### I. 서론

일반적으로 시그마-델타 변조기는 과 표본화(over sampling)한 신호를 잡음변형(noise shaping)하여 신호

대 잡음비(SNR, signal to noise ratio)를 향상한다[1]. 따라서 측정기나 의료 및 광학장비와 같은 고해상도 응용 분야에 많이 사용되고 있다. 그러나 과표본화에 따른 입력신호의 주파수 제한과 잡음변형을 수행하기 위한 디지털 저역 통과 필터의 사용은 상당한 하드웨어 증가를 가져온다.

저전력을 소비하고 적은 하드웨어 면적을 가지면서 14비트 정도의 고해상도를 구현할 수 있는 A/D 변환기를 설계하였다. 설계한 A/D 변환기는 2가지 동작 모드를 갖는다. 첫 번째는 1차 시그마-델타 변조기 구조를 갖는 증가형(incremental) A/D 변환기 모드로 상위 비트를 변환하였다. 두 번째 확장 모드는 축차근사(successive approximation) A/D 변환기 모드로 나머지 하위 비트를 변환하여 변환시간을 줄였다. 또한 델타-시그마 변조기의 잡음변형(noise shaping)을 완성하기 위해 필요한 디지털 저역 통과 필터는 간단한 계수기(counter)로 대체하여 칩 면적과 소비전력을 줄였으며 겹치지 않는 2상 클럭(non-overlapping 2-phase clock)을 사용하였다. 0.6um CMOS 공정을 이용하여 설계하였고 14비트(8+6 비트) 정도의 해상도를 얻기 위해서는 10 MHz의 클럭을 사용하는 경우 입력신호 16 KHz이하가 요구되는 영역에 응용 가능하다. 또 고해상도(14비트 이상)를 얻기 위해서는 변환 시간을 늘리는 경우 그 이상의 신호 주파수 영역도 응용 가능하다.

그림 1 (a)는 일반적인 1차 시그마-델타 변조기의 구조를 나타내고 그림 1 (b)는 설계한 확장계수 A/D 변환기의 전체적인 블록도이다. 상위 비트는 증가형 A/D 변환기로 값을 결정하고 하위비트는 증가형 A/D 변환 후 잉여(residue) 전압을 축차근사 A/D 변환기로 결정한다.

설계한 증가형 A/D 변환기는 1차 시그마-델타 구조를 바탕으로 증가형 A/D 변환기를 구현하였으며 디지털 저역 통과 필터 대신 일반적인 이진 계수기로 대체하여 하드웨어 부담을 줄였다. 이후 양자화기를 통과한 전압은 D/A 변환기를 거치게 되는데 이는 축차근사 변환기 구조로 설계하였다. 축차근사 변환기는 비교적 빠른 변환 속도와 높은 정밀도를 가지며 회로가 간단하고 전력소모가 적기 때문에 광범위하게 사용되고 있다.

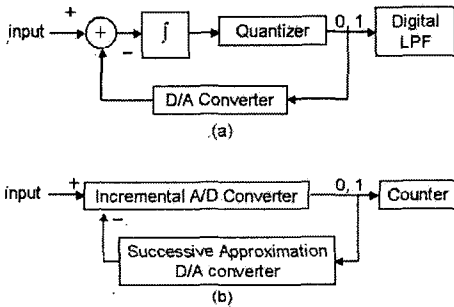


그림 1. (a)일반적인 1차 시그마-델타 변조기 구조와 (b) 설계한 확장계수 A/D 변환기 구조

## II. 본론

### 2.1 확장 계수 A/D 변환기의 구조와 동작원리

설계한 A/D 변환기 회로를 그림 2에 나타내었다. 시그마-델타 변조기 구조를 갖는 증가형 A/D 변환기는 스위치드-캐패시터 회로를 사용하여 구현하였고 확장 계수 변환을 하는 축차근사 A/D 변환기는 저항배열을 이용하였다.

설계한 회로를 이용하여 6비트의 A/D 변환을 하는 경우를 고려해 보자. 상위 3비트는 증가형 A/D 변환으로 하위 3비트는 축차 근사 A/D 변환을 각각 수행한다고 하면 그림 3과 같은 작업 시간표가 가능하다. 증가형 A/D 변환은 9 클럭(initial 포함)이 소모되고 축차근사 A/D 변환은 추가 확장 3 클럭이 소모되게 된다. 따라서 9+3=11 클럭 안에 모든 변환이 종료된다.

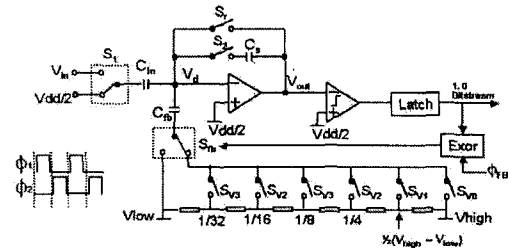


그림 2. 확장 계수 A/D 변환기 회로

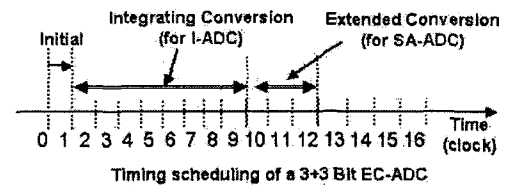


그림 3. 6(3+3)-비트 확장 계수 A/D 변환기의 시간 작업표

실제 구현한 회로는 10 Mhz의 클럭을 사용하였으며 그림 3과 같은 클럭을 가하여 한 번의 A/D 변환을 마치게 된다. 14-bit 변환을 상위 8-bit 는 증가형 A/D 변환을 하고 하위 6비트를 축차근사 변환을 하였을 때 총 변환시간(T)은 아래 식(1)과 같다.

$$T = (1 + 2^{N_i} + N_a) / F_{clk} \quad (1)$$

여기서  $F_{clk}$ 는 클럭 주파수이고  $N_i$ 는 증가형 A/D 변환 비트 수이며  $N_a$ 는 축차근사 변환 비트 수이다. 따라서 총 263 클럭이 소모되고 최종 변환시간은  $T=26.3\mu s$  가 걸리게 된다. 따라서  $1/T=38$  KHz이고 Nyquist 표본화(sampling) 이론(theory)에 따라 16 KHz 이하의 신호를 충분히 받을 수 있다.

설계한 변환기는 스위치드-캐패시터 회로를 사용하여 증가형 A/D 변환기를 설계하여 한번의 변환이 끝날 때마다 그림 3에서처럼 initial 클럭을 두어 초기화해 주어야 한다.

증가형 A/D 변환기는 출력 전압  $V_{out}$ 이 기준전압  $v_{dd}/2$  보다 클 때는 참조 전압(reference voltage,  $V_{ref}/2$ )을 빼주고 작을 때는 참조 전압을 함하여 출력전압,  $V_{out}$ 을 항상  $V_{dd}/2 \pm V_{ref}/2$  범위 안에 있게 해야한다. 그림 2에서 출력전압  $V_{out}$ 이  $V_{dd}/2$  보다 작게(크게) 되면 비교기는 1(0)을 출력하고 이 값은 클

력 $\phi_1$ 이 1(0) 일 동안 스위치 Sfb를 Vhigh(0이면 Sfb는 Vlow)와 연결 시킨다. 이 때 클럭  $\phi_2$  가 1 이 되는 순간 그림 4의 클럭  $\phi_{fb}$ 와 같은 신호는 Exor 게이트 출력을 반전시켜 스위치 Sfb는 Vhigh에서 Vlow 쪽(Vlow에서 Vhigh쪽)으로 스위칭 하게 되며 Vhigh 전압과 Vlow 전압의 차이 전압( $\Delta V_{fb} = V_{high} - V_{low}$ )은 Cfb에 의해 출력전압을  $V_{out} + \Delta V_{fb} (-\Delta V_{fb})$ 가 되도록 출력 전압에  $\Delta V_{fb}$  더하게(감하게) 된다. 여기서  $\Delta V_{fb}$ 는  $V_{ref}/2$ 와 같도록 설계하여 출력 전압은 최고  $V_{dd}/2 + V_{ref}/2$ 에서 최소  $V_{dd}/2 - V_{ref}/2$  전압 사이에 있게 된다. 또한  $C_{in} = C_s = C_{fb}$ 가 되도록 설계 하였다.

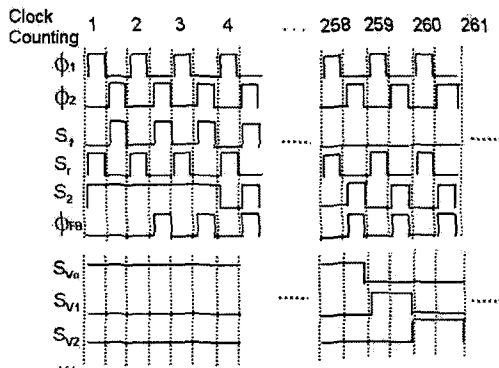


그림 4. 스위치 조정 신호도(14-bit)

2.2 확장 계수 A/D 변환기의 모의 실험 결과

그림 5는 8 비트 변환 시 Vout 전압을 나타낸 것이다. Vout이 참조전압(Vdd/2) 보다 몇 번이나 컸는지를 일반적인 이진 카운터를 통해 계수함으로써 상위 비트(MSB 4bit)를 결정할 수 있다.

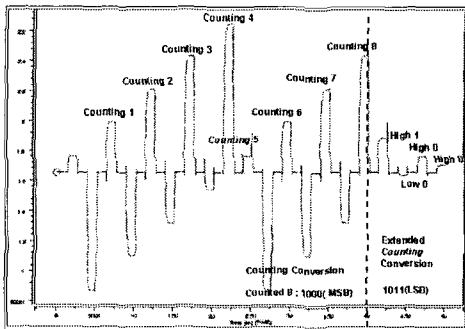


그림 5. 8(4+4) bit 변환 모의실험

또한 하위 4-비트는 참조전압보다 Vout이 크게 되

면 1의 값을 가지며 작으면 바로 0의 값을 갖게 된다. 그림 6은 14-비트(8+6) 변환시 증가형 A/D 변환에서 측차근접 A/D 변환으로 전환될 때를 확대한 것이다. 증가형 변환이후 잉여 전압으로 측차근접 6비트 변환을 수행하고 있다.

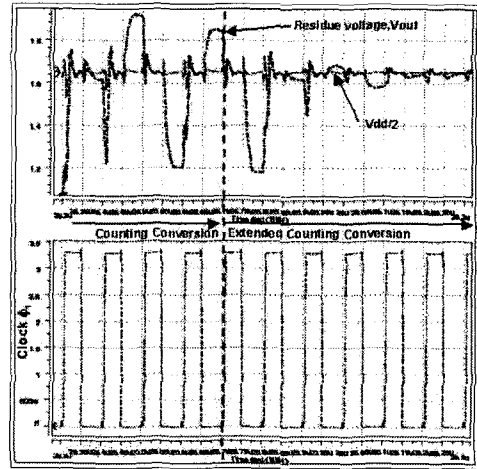


그림 6. 14(8+6) bit 변환 모의실험

표 1. 설계한 확장계수 A/D 변환기의 특성

Technology	0.6um 2P/3M Standard CMOS
Supply voltage	3.3V
Resolution	14 bit (Incremental 8 bit, SA 6 bit)
Signal	16 KHz
Clock	10 Mhz
Die area (패드 제외)	1mm × 0.75mm
Power consumption	3.11 mW(at 3.3V)

III. 결론

설계한 확장 계수 A/D 변환기는 시그마-델타 변조기 구조를 수정한 증가형 A/D 변환기를 통해 고해상도를 구현하였고 측차근사 방법을 적용하여 변환시간을 줄였다. 또한 디지털 저역 통과 필터를 계수기로 대체함으로써 칩면적을 적게 차지하도록 설계하였다.

따라서 적은 면적으로 고해상도와 중간 속력을 요구하는 여러 응용분야에서 사용될 수 있다. 설계한 확장계수 A/D 변환기의 특성을 표 1에 요약하였다. 그림 7은 레이아웃한 그림이다. 0.6  $\mu\text{m}$  일반 CMOS 공정을 사용하였고 면적은 1 mm  $\times$  0.75 mm이다. 소모전력은 3.3V에서 10 MHz로 동작할 때 3.11 mW이다.

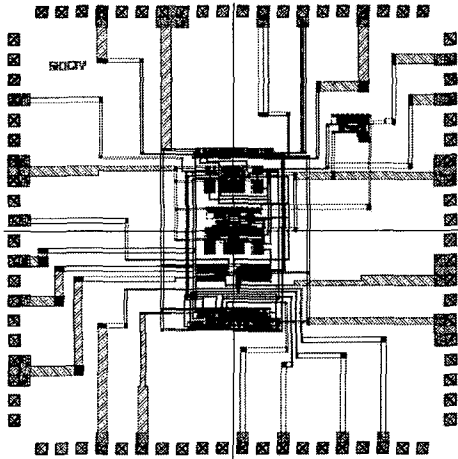


그림 7. 확장 계수 A/D 변환기의 레이아웃(layout)

#### 참고문헌

- [1] Steven R. Norsworthy Richard Schreier Gabor C. Temes, *Delta-Sigma Data Converters Theory, Design, And Simulation*, IEEE Press. 1997
- [2] Christer Jansson, "A High-Resolution, Compact, and Low-Power ADC Suitable for Array Implementation in Standard CMOS", *IEEE Tr. Cir. & Sys.-I*, Vol. 42, no. 11, NOVEMBER 1995.
- [3] Jacques Robert, Gabor C. Thmes, Vlado Valencic Roger Dessouravy, and Philippe Deval, "A 16-bit Low-Voltage CMOS A/D Converter", *IEEE Journal of Solid-State Cir*, Vol. SC-22, NO. 2, APRIL 1987