

# 대용량 케이블 점검을 위한 모듈형 입·출력 버퍼 제어 시스템 설계 및 구현

양 종 원, \*김 대 중, \*이 상 혁  
국방과학연구소, \*(주)LG이노텍  
전화 : 055-540-6315 / 핸드폰 : 016-595-6315

## Design and Implementation of modularized I/O Buffer Control System for Large Capacity Cable Check

Jong Won Yang, Dae Jung Kim, Sang Hyeok Lee  
Agency for Defense Development  
E-mail : alfred@add.re.kr

### Abstract

This paper presents a study on the design and implementation of modularized I/O buffer control system for large capacity cable check. A 8bit I/O buffer basic module which has feedback loops with input and output buffers is simulated in PSpice and implemented with logic gates. This system is composed of 18 sub-boards which have 3 channels of 32bit data buses, and of a main board with MPC860 microprocessor.

### I. 서론

장·탈착이 빈번하여 고장이 우려되는 케이블에 대한 점검은 관련 장비 운용의 효율성 측면에서 필수적이다. 그러나, 분리 가능한 케이블에 대한 단선, 단락 검사를 수동으로 점검할 경우 많은 시간이 소요되며 자칫 검사자의 실수를 유발할 가능성이 있다. 따라서, 케이블에 대한 자동 검사 장치가 필요하게 되었으며 이를 통해 케이블 점검에 대한 신뢰도 향상 및 점검 소요 시간을 현저히 감소시킬 수 있게 되었다[1].

그러나, 기존의 아날로그 신호 입·출력에 의한 릴레이 매트릭스 방식은 점검하고자 하는 핀의 개수만큼 비례하여 A/D 변환기 및 릴레이를 사용하게 되므로

대용량 케이블을 점검할 경우 장비 자체의 크기가 커지게 되므로 대용량 점검에는 적합하지 않다. 특히, 모듈화 되어 있지 않아 점검하고자 하는 케이블 개수가 달라질 경우 이에 맞추어 재설계를 해야 하는 단점을 가지고 있으며 케이블 연결 정보 변경이 어려워 임의의 케이블에 대한 점검에도 어려움이 있다.

본 논문에서는 다량의 케이블 점검에 적합하도록 입·출력 버퍼 방식을 사용한 점검 시스템 구조를 설계하고 이를 H/W로 구현하였다. 설계된 입·출력 버퍼 방식은 단순한 Logic Gate들로 구현할 수 있어 소형화가 가능하고 VME 방식의 보드로 구성할 수 있는 장점으로 인해 모듈화 및 확장성이 용이하여 대용량의 케이블에 대한 점검이 가능하다.

### II. 모듈형 입·출력 버퍼 처리 장치

#### 2.1 기본 원리

점검 시스템이 그림 1과 같이 8개의 노드를 가진 입·출력 포트 구성되고 점검 대상 케이블이 1개의 연결라인만을 가진 선(W1)이며 그 선의 연결은 노드 2와 노드 7을 연결하는 선이라고 가정해 보자. 이 때의 케이블에 대한 연결 정보는 그림 1과 같이 작성되는데 wnum[]은 연결개수 정보로서 해당 노드에 1을

쓰고 전체 8개 노드에 대한 정보를 모두 읽었을 때에 1이 들어오는 개수를 의미하는데, 이는 해당 노드에 대하여 자기 자신을 포함하여 몇 군데나 연결되는가를 나타낸다. w[][]는 연결정보로서 해당 노드가 어느 노드와 연결되는가를 나타내는 것으로써 그림 1은 노드 2와 노드 7이 연결되어야 한다는 것을 표현한 것이다.

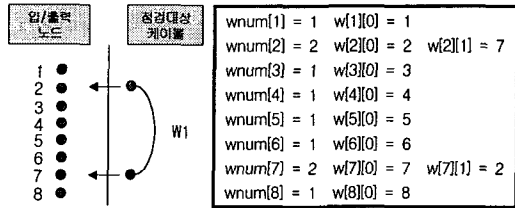


그림 1. 8개 노드에 대한 점검 구성 및 연결정보

먼저 노드 1에 '1'을 쓰고 전체 8개 노드의 데이터를 한꺼번에 읽는다. 노드 1은 외부에 연결되는 케이블이 없으므로 읽은 데이터는 자기 자신 밖에 없을 것이다. 따라서 이미 정의한 노드 1에 대한 연결개수정보 및 연결정보와 비교하면 wnum[1]= 1, w[1][0]=1 이므로 읽은 데이터가 자기 자신이므로 노드 1을 정상으로 판단한다. 그러나 만약 미리 정의한 1의 개수가 다를 경우 또는, 1의 위치가 상이할 경우 이를 고장으로 판별한다. 이를 노드 8까지 수행한 결과는 표 1과 같다.

표 1. 노드별 입·출력 결과

번호	1	2	3	4	5	6	7	8
노드	1	1	0	0	0	0	0	0
	2	0	1	0	0	0	0	1
	3	0	0	1	0	0	0	0
	4	0	0	0	1	0	0	0
	5	0	0	0	0	1	0	0
	6	0	0	0	0	0	1	0
	7	0	1	0	0	0	0	1
	8	0	0	0	0	0	0	0
1의개수	1	2	1	1	1	1	2	1

2.1 입·출력 버퍼 모듈 설계

입·출력 버퍼방식은 위의 기본 원리를 바탕으로 하드웨어로 구성한 것으로써 위의 각 노드는 버퍼로 구성되고, 각 노드는 데이터 입·출력 기능이 있어서 출력된 데이터가 버퍼를 통해 래치(Latch)된 상태에서 궤환을 통해 입력 노드로 재입력되는 방식이다. 즉, 그림 1의 8개 노드는 각각 8개 버퍼로 구성되며 노드에 연결된 케이블의 정보를 읽기 위한 각 입·출력 버퍼의 기본적인 동작은 표 2와 같은 특성을 가진다.

표 2. 입·출력 버퍼 방식의 동작특성

- 기본 동작은 쓰기(WR),읽기(WR),초기화(Reset)
- 읽기/쓰기 동작이 동일한 버퍼에서 수행된다.
- 제어신호 1 CLK에 쓰기 동작이 발생한다.
- 제어신호 1 CLK에 읽기 동작이 발생한다.
- 출력 신호는 버퍼를 통해 래치(Latch) 된다.
- 'L'(Low) 출력 신호는 연결 정보 획득을 위해 High Impedance를 발생한다.
- 'H'(High) 출력 신호는 궤환을 통해 자기 자신으로 재입력된다.
- 읽기/쓰기 동작은 채널 단위로 수행된다.
- 쓰기 동작은 전체 채널내에서 'H' 출력이 1개만 발생하도록 한다.

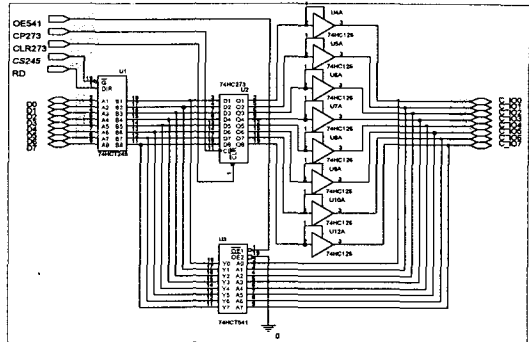
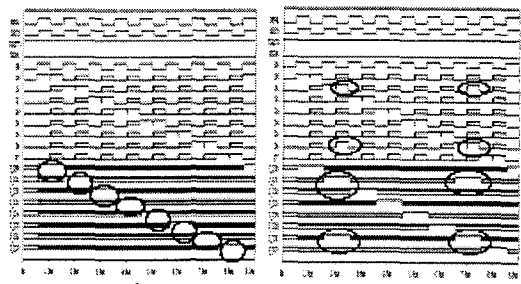


그림 2. 8비트 처리 입·출력 버퍼 기본모듈



(가)모두 Open된 상태 (나)노드2와 7연결  
그림 3. 8비트 처리 출력결과

입·출력 버퍼 방식을 이용하여 하드웨어로 구현하기 위한 시뮬레이션을 OrCAD Capture 9.0(PSpice 9.0)을 사용하여 수행하였다. 이를 위하여 1채널을 8비트로 구성한 입·출력 버퍼 기본 모듈을 그림 3과 같이 4종류의 Logic Gate를 이용하여 설계하였다. 기본 모듈에 사용된 소자로는 74HCT245, 74HC(T)273, 74HC(T)126, 74HCT541이며 제어신호는 RD, CS245, CLR273, CP273, OE541의 5가지로 구성하였다. 모두 Open된 상태와 노드2와 노드7이 연결된 상태에 대한 결과는 그림 3과 같다[2,3].



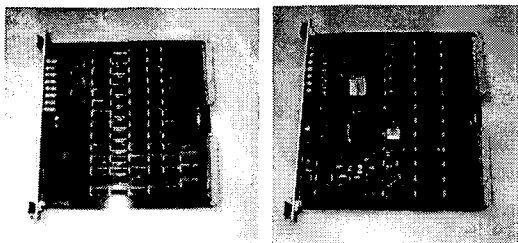
입·출력 버퍼 처리장치에 대하여 5개씩 4그룹으로 구분하여 설계하였는데 이는 최대 20개까지 제어가 가능하다. 각 보드별, 채널별 제어신호 발생은 GAL을 이용하여 프로그래밍하였고 입·출력 버퍼 처리장치 제어용 메인 프로그램은 메모리 소자를 사용하여 표 3과 같이 프로그래밍하였다.[4]

표 3. 주처리장치 메인 프로그래밍

```

void Write_Read(unsigned long *OUT)
{
    for(i=0; i<3; i++){ // 채널개수
        data = 0x00000001; // 데이터 쓰기 준비
        for(j=0; j<32; j++){ // I/O버퍼처리장치 내의 32비트모듈
            *IOTEST = ( (i*32)+(j+1) ) % 16 ;
            *OUT = data; // 데이터 쓰기
            ProcWait(300);
            for(k=0; k<3; k++){ // 채널개수
                for(m=0;m<18;m++){
                    databuf.buf32[m] = BDL_IN[k];
                    // 18개 I/O 처리장치에 대해 32비트씩 데이터 읽기
                } /* FOR 1 END */
                data = data * 2; // 쓰는 데이터 증가
            } /* FOR 2 END */
            OUT++; // 쓰는 어드레스 증가
        } /* FOR 3 END */
    } /* End of void Write_Read() */
}
    
```

그림 8은 VME 방식으로 구현된 입·출력 버퍼 처리장치 및 주처리장치이다.



(가) 입·출력 버퍼 처리장치 (나) 주처리장치  
그림 8. 구현된 입·출력버퍼 처리장치 및 주처리장치

### 3.3 클라이언트(PC) 구성

클라이언트는 PC로 구성되어 HDLC 통신을 통하여 주처리장치(서버)에게서 점검 결과를 받아 케이블 연결 정보를 기반으로 단선, 단락을 판단한다. 케이블 연결 정보는 그림 1과 같은 케이블 정보를 DB화하고 사용자가 케이블에 대한 정보를 쉽게 편집이 가능하여 임의의 케이블에 대한 점검 수행이 가능하도록 하였다. 그림 9는 점검 케이블 선택에 대한 GUI 와 점검

결과를 보여준다. 점검하고자 하는 케이블에 대한 모든 점검을 수행하여 그 결과가 정상적으로 수행됨을 확인하였다.

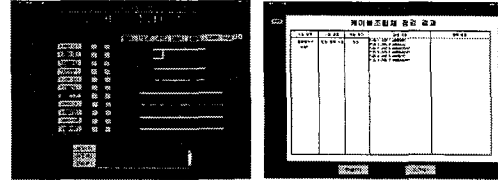


그림 9. 점검 케이블 선택 화면 및 점검 결과

## IV. 결론

본 논문에서는 기존의 릴레이 매트릭스 방식이 대용량 케이블의 점검에 적합하지 않다는 단점을 보완하여 새로운 입·출력 버퍼방식을 이용한 대용량 케이블 점검 시스템을 설계 및 구현하였다.

케이블 설계 변경이 잦은 시스템에 적용 가능하도록 32비트 3채널로 구성된 입·출력 버퍼 처리장치를 VME 방식의 보드로 모듈화하여 가변적인 구성이 용이하도록 하였다. 케이블 연결 정보는 모듈화된 설계에 적합하도록 편집이 용이한 DB로 구축하였다. 또한, 18개의 입·출력 처리장치를 제어하는 마이크로프로세서(MPC860) 기반의 주처리장치 설계로 1728개 노드에 대하여 고속 점검이 가능하다.

본 시스템 설계 내용은 케이블 점검을 필요로 하는 임의의 대용량 케이블 점검에 대하여 효율적인 적용이 가능하다.

## 참고문헌

- [1] McConnell, A., "An Automatic Cable Checker; a fourth generation device", IEEE Proceedings of, 1991. vol.1, pp.23-27.
- [2] Radu M. Secareanu, "Low Power Digital CMOS Buffer Systems for Driving Highly Capacitive Interconnect Lines.", IEEE Midwest Symp. on Circuits and Systems, Lansing MI, Aug 8-11, 2000.
- [3] 김영로 외, "클럭주기 최소화를 위한 효율적인 연결구조 할당 알고리즘", 전자공학회논문지, 32-A 권 6호, 1995년 6월, pp 849-861.
- [4] Motorola Inc., PowerPC Micro-processor Family: The Bus Interface for 32-Bit Microprocessors, 1997.