

단일 톤 신호의 페이지 측정기법 및 FPGA 구현

안 병 선, 김 종 윤, 장 태 규
 중앙대학교 전자전기공학부

An FPGA implementation of phasor measurement algorithm for single-tone signal

Byung-Sun Ahn, Chong-Yun Kim, Tae-Gyu Chang
 School of Electrical Engineering, Chung-Ang University
 E-mail : bsahngo@wm.cau.ac.kr

Abstract

This paper presents an implementation method of phasor measurement device, which is based on the FPGA implementation of the sliding-DFT. The design is verified by the timing simulation of its operation. The error effect of coefficient approximation and frequency deviation in the recursive implementation of the sliding-DFT is analytically derived and verified with the computer simulations.

I. 서론

SDFT는 시간에 따라 변하는 스펙트럼 특성을 추적하는 경우에 유용하며 영상처리, 적응 필터링 등에서 그의 응용을 찾을 수 있다. 이러한 DFT는 첫 번째 주파수 성분이 페이지와 같음을 이용하여 페이지 측정에 응용할 수 있다. 이 때 DFT의 복소수 계수를 유한 비트로 근사 표현하고, 순환구조로 계산한다면 범용 마이크로 컨트롤러나 FPGA로 구현하기가 더욱 경제적이다. 이러한 구현에 있어서 고속연산과 경제성을 고려하여 유한 bit의 고정소수점 연산을 수행하게 된다. 그러나 순환구조 구현은 오차과급 특성 때문에 계수 근사 구현이나 주파수 변이에 따른 오차 영향에 민감하다. 따라서 계수 근사 bit수와 DFT 구간길이 등의 설계변수를 결정할 때는 계수 근사와 주파수 변이에 따른 오차 영향을 고려해야한다.

2절에서는 SDFT에 기초한 페이지 연산 알고리즘과 계수 근사에 따른 오차 영향 분석에 대하여 설명하였으며, 3절에서는 주파수 변이에 대한 오차 영향 분석 방법을 제시하였다. 이러한 결과를 기반으로 VHDL로 하드웨어를 기술하고 이를 FPGA로 합성하여 수행한 동작 시험 결과와 해석식에 대한 시뮬레이션 결과를 4절에 제시하고 5절에서 결론을 기술하였다.

II. 순환 DFT에 기초한 페이지 연산 알고리즘과 오차영향해석

본 장에서는 페이지를 연산하기 위한 순환 SDFT 기법을 기술하고 있으며, 순환 알고리즘의 계수 근사 구현에 따른 오차의 영향을 해석적으로 구하는 과정을 기술하였다.

1. 페이지 연산을 위한 순환 DFT 알고리즘

DFT 순환식은 DFT 값을 표현할 때 sliding-index 'n'을 이용해서 표현할 수 있으며, DFT 순환식에서 위상 측정은 모든 주파수 성분이 아닌 첫 번째 bin 주파수 성분만을 이용한다. 신호열 $x(n)$, $x(n+1)$, ..., $x(n+N-1)$ 의 N-points DFT는 식 (1)과 같이 표현된다.

$$X_1(n) = \sum_{m=0}^{N-1} x(n+m)W_N^m \quad (1)$$

여기서, W_N 은 복소수 진동계수(twiddle coefficient)로 $e^{j2\pi/N}$ 와 같다. $X_1(n)$ 은 n-번째 데이터블록의 첫 번째 bin 주파수 성분을 나타내며, 식 (1)에서 $X_1(n+1)$ 과 $X_1(n)$ 의 관계를 통해 식 (2)와 같이 위상 측정을 위한 순환식을 얻을 수 있다.

$$X_1(n+1) = W_N[X_1(n) + x(n+N) - x(n)] \quad (2)$$

여기서, $X_1(n+1)$ 은 창을 한 샘플 지연시킨 다음 창의 데이터블록의 첫 번째 주파수 성분을 나타낸다. 식 (2)에서 다음 블록의 첫 번째 주파수 성분 $X_1(n+1)$ 은 현재 블록의 $X_1(n)$ 에 블록에 새로 들어오는 신호 $x(n+N)$ 을 더하고 블록에서 나가는 신호 $x(n)$ 을

텐 후에 진동계수 W_N 을 곱해서 얻을 수 있음을 나타낸다. 그러나 식 (2)와 같은 방법으로 위상을 측정하면 결과 값이 매번 반시계 방향으로 $2\pi/N$ 만큼씩 돌아가는 형태로 나타나게 되는데, 이런 형태로 계산이 행해지면 정상상태에서 페이지가 일정치 않게 된다. 따라서 정확한 위상 측정을 하기 위해서는 순환 방식을 사용할 때 $\exp\{-j(2\pi/N)n\}$ 만큼 보정해 주어야 하며, 그 결과 식을 식 (3)에 나타내었다.

$$X_p(n+1) W_N^{n+1} = W_N [X_1(n) W_N^n + x(n+N) - x(n)]$$

$$X_p(n+1) = X_p(n) + W_N^n \cdot \{x(n+N) - x(n)\} \quad (3)$$

여기서, $X_p(n) = X_1(n) W_N^n$ 을 나타내는 것으로 보정된 페이지 값을 나타낸다. 이와 같은 방법으로 순환 DFT를 구하면 정상상태에서 항상 동일한 페이지를 가지게 된다. 그림 1에서 보듯이 N 샘플 차이가 나는 입력 신호 $x(n+N)$ 과 $x(n)$ 의 차에 진동계수를 곱하고 이를 누적시킴으로써 실시간으로 페이지를 측정할 수 있다.

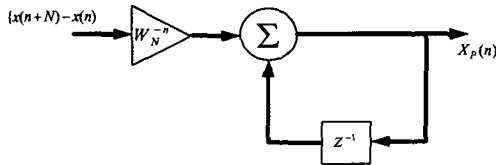


그림 1. 페이지 측정 순환식의 신호 흐름도

2. 계수 근사에 따른 오차 영향 분석

위상 측정을 위한 순환 DFT 알고리즘의 구현에 있어 계수를 근사화하고 순환 DFT를 수행하면 블록내의 실제 페이지 값과 근사 계산된 페이지 값은 차이가 생기게 되고, 순환 구조로 인해 오차가 누적되게 된다. 오차의 영향을 해석하기 위해서 근사 순환 DFT식을 이용하여 오차 방정식(error dynamics)을 정의하고 이의 통계적 특성을 이용하여 오차의 특성을 분석한다. 오차 전력은 오차과급의 주요 영향 요소인 근사 bit수, DFT 구간 길이와 잡음에 관한 closed-form으로 유도되어 진다. 대상신호는 응용측면에서 일반성을 고려하여 단일 sine파에 평균이 '0'인 가우스 백색신호가 가산된 신호로 설정하였다.

식 (3)에서 계수의 유한 비트로 근사 구현한다면 다음의 식 (4)와 같이 근사 페이지 값 $X_p(n+1)$ 과 양자화된 진동계수 W_N^{-n} 을 이용하여 기술할 수 있다.

$$X_p(n+1) = X_p(n) + W_N^{-n} \{x(n+N) - x(n)\} \quad (4)$$

이 때 페이지 오차 $E(n+1)$ 을 근사 페이지 값과 실제 페이지 값의 차이로 정의하여 식 (5)와 같이 나타낼 수 있다.

$$E(n+1) = X_1(n+1) - X_1(n) \quad (5)$$

식 (5)에 (3)식과 근사 페이지 연산 순환식 (4)를 대입하고 $E(n+1)$ 과 $E(n)$ 의 관계로 정리하면 (6)과 같은 오차방정식을 얻는다.

$$E(n+1) = E(n) + (W_N^{-n} - W_N^n)(x(n+N) - x(n)) \quad (6)$$

이 오차방정식은 진동계수오차 $W_N^{-n} - W_N^n$ 와 입력신호의 계측 오차에 따라 특성이 결정된다. 오차 방정식을 통해 순환 DFT 구현에 있어 오차의 영향을 해석하기 위하여 오차 전력을 구한다. 오차 전력의 유도에서 필요한 기하학적 해석을 위해 새로운 변수 δ_n 과 입력 항 $U(n)$ 을 도입하여 식 (6)을 (7)과 같이 다시 쓸 수 있다.

$$E(n+1) = E(n) + \delta_n W_N^n U(n) \quad (7)$$

여기서, $\delta_n = \frac{W_N^{-n} - W_N^n}{W_N^n}$, $U(n) = x(n+N) - x(n)$

을 나타낸다. 이 오차방정식은 입력이 $U(n)$ 인 1차 시스템 방정식 형태로 나타나며, 오차방정식의 특성을 결정하는 δ_n 는 계수 양자화 비트 수에 따라 결정된다.

본 논문에서는 순환 DFT의 오차특성을 나타내는 관계식을 얻기 위해 오차 전력을 구하였으며, 오차전력은 δ_n 의 기하학적 분포특성에 관계하는 비트 수, DFT 블록 길이, 부가 잡음에 관한 식으로 나타난다. 오차전력은 다음에 식 (8)과 같이 블록길이만큼의 오차 누적으로 유도할 수 있다.

$$E(n) = \sum_{m=0}^{N-1} \delta_m W_N^m U(m) \quad (8)$$

오차의 평균전력밀도의 기대치 σ_E^2 은 (8)의 양변에 절대값 제곱을 취하고 평균을 취하여 식 (9)와 같이 나타낼 수 있다.

$$\sigma_E^2 \triangleq \epsilon \{ |E(n)|^2 \}$$

$$= \frac{4}{3} A_b^2 \cdot \sigma_n^2 \cdot N \quad (9)$$

여기서, $U(m)$ 의 전력은 N 샘플 떨어진 신호의 차이로 한 주기를 N 번 샘플링하기 때문에 잡음의 전력으로 나타낼 수 있다. 진동계수의 크기를 b 비트로 근사화하면, 근사계수 \mathcal{W}_N^{-m} 는 복소수 평면상에서 2^{-b} 의 길이를 갖는 정사각형 격자점으로 표시할 수 있다.

$$\begin{aligned} \epsilon\{|\delta_m|^2\} &= \int \int_R |\delta_m|^2 \cdot p_\delta dR \\ &= \frac{2}{3} \Delta_b^2 \end{aligned} \quad (10)$$

여기서, $\Delta_b = 2^{-b}$, $p_\delta = \frac{1}{4\Delta_b^2}$.

식 (9)에서의 해석식을 통해 주파수 변화가 없는 입력 신호에 대해 잡음성분만이 있는 상황에서 입력 신호의 한 주기를 N 샘플로 샘플링한 후, 순환 DFT 알고리즘을 수행하게 되면 error canceling 효과가 생겨 오차 전력이 일정한 상수로 수렴하는 특성을 알 수 있다. 이는 pole이 단위원에 존재하는 시스템이 발산하지 않는 특이한 경우라고 할 수 있다. 이를 통하여 순환 알고리즘을 수행하는 경우 오차의 누적이 없어 이의 하드웨어 구현이 가능함을 알 수 있다.

III. 주파수 변이에 따른 오차 영향 해석

본 장에서는 위상 측정에 있어서 또 하나의 오차 요인으로써 기본 주파수 60 [Hz]에 대하여 주파수 변이가 생겼을 때 발생하는 오차 영향에 대하여 기술하고 있다. 주파수 변이가 생기게 되면 위상이 변하게 되며, 순환 DFT를 수행함에 있어 변화된 위상 측정시 오차가 발생하게 된다. 이러한 오차의 양은 주파수 변이값에 따라 최대 위상 오차를 해석적으로 구할 수 있어 오차 영향의 Upper bound를 제공할 수 있다. 오차의 영향을 해석하기 위해서 페이저 측정을 위한 DFT 식에 주파수 변이값, Δf ,을 대입하고, 이를 토대로 주파수 변이에 대한 오차의 양을 분석한다. 대상 신호는 일반성을 고려하여 단일 sine파를 설정하였으며, 주파수 변이는 기본 주파수에 비하여 작은 값이라고 가정하였다.

신호열 $x(n)$, $x(n+1)$, ..., $x(n+N-1)$ 의 N -points DFT는 식 (1)에서 표현한 것 같이 나타낼 수 있으며 신호에 주파수 변이값, Δf 를 포함하여 표현하면 다음과 같다.

$$x(n) = \cos\left(\frac{2\pi(f+\Delta f)}{60N}n + \phi\right), \quad n=0, 1, \dots, N-1 \quad (11)$$

식 (11)을 이용하여 위상 측정을 위한 식 (1)에 대입하여 수식을 전개하면 다음 식 (12)와 같다.

$$X_1(l) = \frac{\bar{x}}{N} \frac{\sin \frac{N\theta_1}{2}}{\sin \frac{\theta_1}{2}} A + \frac{\bar{x}^*}{N} \frac{\sin \frac{N\theta_2}{2}}{\sin \frac{\theta_2}{2}} B \quad (12)$$

$$\begin{aligned} A &= e^{j\frac{\pi}{60N}(\Delta f(2l+N-1)+120l)} \\ B &= e^{-j\frac{\pi}{60N}(\Delta f(2l+N-1)+120(l+N-1))} \end{aligned}$$

여기서, $\bar{x} = e^{j\theta}$ 를 나타내는 것으로 원 신호의 위상각

을 나타내고, $\theta_1 = \frac{2\pi\Delta f}{60N}$, $\theta_2 = \frac{2\pi(2+\frac{\Delta f}{60})}{N}$ 을 각각 나타내고 있다. 식 (12)를 통해 현재 시간 n 에서의 페이저의 참값, $\bar{x} e^{j\frac{2\pi\Delta f}{60N}n}$ 에 대하여 측정 오차가 발생할 것을 알 수 있으며, 오차의 양이 하나의 기준값을 중심으로 주기적으로 진동하는 것을 알 수 있다. 이 식을 통해 페이저 오차의 upper bound의 값을 해석적으로 구하고자 한다.

주파수 변이값이 기본주파수에 비하여 월등히 작고 DFT 구간 길이가 충분히 크다면 식 (12)는 다음과 같이 나타낼 수 있다.

$$\begin{aligned} X_1(l) &= \bar{x} e^{j\frac{\pi}{60N}(\Delta f(2n+N-1))} + \bar{x}^* \frac{\Delta f}{120} e^{-j\frac{\pi}{60N}(\Delta f(2n+N-1)+120(2n+N-1))} \end{aligned} \quad (13)$$

식 (13)은 두 복소수의 합으로 생각할 수 있으며, 두 복소수의 관계를 통해 위상 참값에 대한 오차의 양을 기하학적으로 해석할 수 있다.

$$E_{\max} = \tan^{-1}\left(\frac{|\Delta f|}{120}\right) + \frac{|\Delta f|\pi(N-1)}{60N} \quad (14)$$

여기서, E_{\max} 는 주파수 변이에 따른 최대 페이저 오차를 나타낸다.

IV. FPGA에 기초한 시스템 구현 및 시뮬레이션 결과

본 장에서는 3절에서 설계한 페이저 연산 장치를 하드웨어로 구현한 결과와 동작 시험 결과를 제시하였다. 설계한 페이저 연산 장치를 VHDL로 기술하고 이에 대한 하드웨어 시뮬레이션을 수행하여 설계의 정확성을 확인하였다. 또한 오차 영향에 대한 시뮬레이션을 통해 해석식의 정확성을 확인하였다.

그림 2에서는 설계한 페이저 연산 장치의 내부 동작을 보여주는 하드웨어 시뮬레이션 결과를 나타내었다.

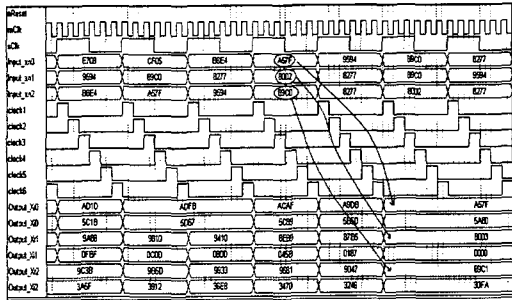


그림 2. 페이지 연산 장치의 시뮬레이션 결과

그림 3는 구간 길이에 대하여 근사 bit 수를 바꾸어 가며 오차 전력의 해석식과 이에 대한 시뮬레이션 결과 비교를 보여주고 있으며, SNR은 10[dB]로 하였다. 그림에서 점선은 각 구간길이와 근사 bit 수에 따른 해석식을 나타내고 있으며, 시뮬레이션은 각 구간길이에 대하여 시행 횟수를 달리해 수렴한 값들을 나타내고 있다. 그림에서 보듯이 해석식과 시뮬레이션 결과가 일치함을 알 수 있다.

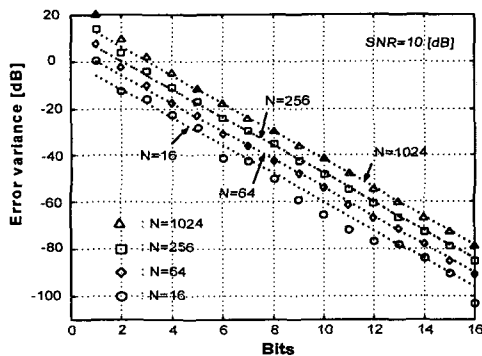


그림 3. 계수 근사 비트수(Bits)에 따른 시뮬레이션 실험과 해석식을 통해 구한 오차 전력(σ_E^2) 비교.

또 본 논문에서 유도한 페이지 오차의 upper bound 에 대한 해석식 (14)을 검증하기 위해서 해석식과 시뮬레이션 결과를 비교하였다. 그림 4는 주파수 변이 파라미터로 해서 최대 페이지 오차에 대한 해석식과 시뮬레이션 결과를 비교하고 있다. 입력 신호는 기본 주파수가 60 [Hz]인 단일 sine파로 하였다. DFT 구간 길이는 8, 128 의 두 가지로 경우로 하였으며, 주파수 변이는 -1~1[Hz]의 범위로 시뮬레이션을 수행하였다. 그림과 같이 해석식과 시뮬레이션 결과가 거의 일치하는 것을 볼 수 있다. 또 DFT 구간 길이가 충분히 큰 경우와 주파수 변이가 작은 경우에 해석식과 시뮬레이션 결과가 더 정확하게 일치하는 것을 알 수 있다.

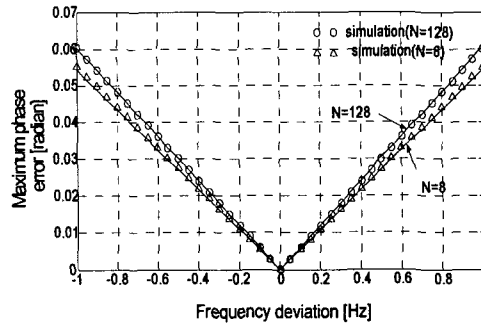


그림 4. 해석적으로 구한 주파수 변이에 따른 최대 페이지 오차와 시뮬레이션으로 얻어진 오차전력(σ_E^2) 비교.

V. 결론

본 연구에서는 페이지 연산 장치를 설계하고, 이를 FPGA로 합성한 결과와 이의 동작 시험 결과를 기술 하였다. 또한 순환 알고리즘에서의 계수 근사에 따른 오차 영향과 주파수 변이에 따른 오차 영향 해석식을 각각 유도하였으며, 이에 대한 시뮬레이션을 통해 해석식의 정확성을 확인하였다. 본 연구에서 설계한 위상 측정 장치는 적은 하드웨어로도 정밀하게 위상을 측정할 수 있어 경제성 및 성능 측면에서 매우 경쟁력이 있으며, 오차 영향 해석은 실제로 순환 DFT 기반의 위상 측정 알고리즘을 구현함에 있어 설계 지침으로 유용한 결과라 할 수 있겠다.

Reference

- [1] Gabor Peceli, "A Common Structure for recursive Discrete Transforms," *IEEE Trans. on Circuits and Systems*, Vol. CAS-33, No. 10, pp. 1035-1036, Oct. 1986.
- [2] Frabcoise Beaufays, Bernard Widrow, "On the Advantages of the LMS Spectrum Analyzer Over Nonadaptive Implementation of the Sliding-DFT," *IEEE Tran. on Circuits and Systems-part I : Fundamental Theory and Applications*, Vol. 42, No. 4, pp. 218-220, April 1995.
- [3] A. V. Oppenheim and C. J. Weinstein, "Effects of finite register length in digital filtering and the Fast Fourier Transform," *Proceedings of IEEE*, vol.60, no. 8, pp. 957-976, Aug. 1972.
- [4] *IEEE Std 1344-1995, IEEE Standard for Synchronphasors for Power Systems.*