

Support Vector Machine 기반 생체인식 전용 VLSI 구조

반성범, 정용화, 정교일
한국전자통신연구원 정보보호연구본부

VLSI Architecture using Support Vector Machine-based Biometric Authentication

Sung Bum Pan, Yongwha Chung, Kyo-II Chung
Electronics and Telecommunications Research Institute
E-mail : sbpan@etri.re.kr

Abstract

In this paper, we propose a VLSI architecture for computation of the SVM(Support Vector Machine) that has become established as a powerful technique for solving a variety of classification, regression, and so on. When we compare the proposed systolic arrays with the conventional method, our architecture exhibits a lot of advantages in terms of latency and throughput rate.

I. 서론

모든 사회 생활이 오프라인에서 이루어져 개인이 직접 활동하면서 모든 일을 처리하였던 과거와는 달리 현재는 온라인 활동이 많아지면서 비대면 온라인 상에서 올바른 사용자가 사용하고 있는지의 여부가 중요한 문제로 대두되기 시작하였다. 일상생활에서 널리 사용되고 있는 사용자가 알고 있는 정보 또는 소지하고 있는 장치를 이용한 사용자 인증 방법은 망각, 분실 또는 도난 등의 이유로 높은 보안 성능을 제공하지 못하게 되었다. 반면에 개인별로 차이가 있는 사용자의 고유한 생체정보 또는 독특한 행동을 이용하는 생체인식 기술을 이용하면 분실 및 도난 등의 문제가 없어 기존의 방법에 비해 높은 보안 성능을 제공할 수 있다.

생체인식은 지문, 손 모양, 홍채, 얼굴 모양 등의 신체적 (physical) 특징을 이용한 방법과 서명, 음성, 걸음걸이 등의 행동학적 (behavioral) 특징을 이용하는 방법으로 나누어진다. 또한 생체인식 시스템은 생체정보를 획득한 후 올바른 사용자 여부를 판단하는 것이므로, 기본적으로 카메라 또는 마이크 등의 생체정보를 획득하는 센서와 범용 CPU, DSP 또는 생체인식 전용 하드웨어를 이용한 생체인식 연산을 수행하는 프로세서로 구성된다.

본 논문에서는 생체인식 시스템의 핵심부분인 생체인식 알고리즘의 전용 하드웨어 구조를 제시한다. 제안한 생체인식 전용 하드웨어 구조는 최근 생체인식 알고리즘 중 높은 인식 성능과 뛰어난 범용성으로 각광받고있는 SVM(Support Vector Machine)[1-5]을 채택하였다. 본 논문에서 제안한 SVM 전용 VLSI 구조는 vector-matrix multiplication 구현 모듈을 기본으로 하여, 얼굴/화자/지문 등 다양한 종류의 생체인식에 적용이 가능하다. 또한 하드웨어 자원이 부족한 보안 토큰이나 스마트 카드에서도 인식 어려움을 향상시키기 위해 동시에 여러종류의 생체정보를 활용하는 다중 생체인식 알고리즘의 구현이 가능하다.

본 논문의 구성은 II장에서 생체인식 기술에 관하여 설명한다. III장에서는 SVM 구현의 핵심 모듈인 vector-matrix multiplication 모듈의 시스톨릭 어레이 (systolic array) 구조를 제시한 후 IV장에서 결론을 내린다.

II. 생체인식 기술

생체인식은 그림 1과 같이 얼굴 모양, 홍채, 망막, 손등의 정맥, 지문 등 신체적 특성을 이용한 방법과 서명, 키보드 타이핑 습관, 걸음걸이 습관 등 행동학적 특성을 이용한 방법으로 나눌 수 있다.

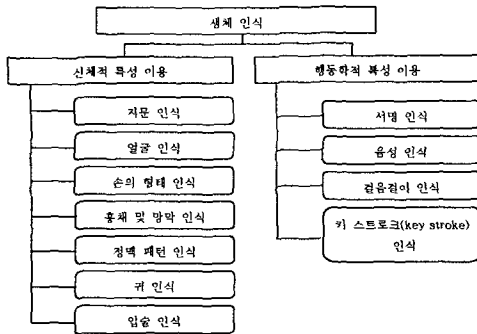


그림 1. 생체인식의 종류

대표적인 생체인식 기술의 특징을 사용 편리성, 에러 원인, 인식률 등의 측면에서 비교한 것을 표 1에 나타내었는데, 각각의 응용 분야에 따라 적합한 생체정보를 선택하여야 함을 나타내고 있다. 또한 하나의 생체인식만이 사용되는 것이 아니라 얼굴, 음성, 입술 모양 등의 여러 개의 생체인식 기술이 동시에 사용되는 다중 생체 인식 방법을 이용하여 좀 더 높은 인식률을 제공하는 연구도 필요함을 알 수 있다.

그림 2는 생체정보를 이용한 인증과 인식을 수행하는 과정을 설명한 것으로, 응용 분야에 따라 각 과정

이 수행하는 기기 또는 환경의 차이만 있을 뿐 전체 수행과정은 같다. 그러므로 사용하는 생체정보에 독립적인 인식 알고리즘을 사용하면 다양한 종류의 생체정보에 모두 적용이 가능하게 되고, 인식 성능을 향상시키기 위한 다중 생체 인식 시스템 구현이 용이하게 된다.

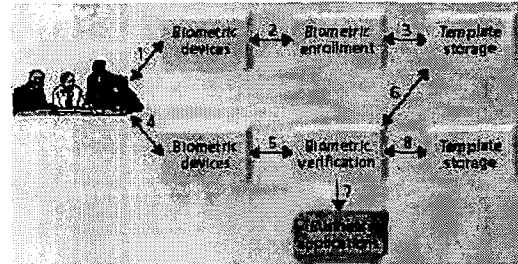


그림 2. 생체인증 및 인식 과정

그러므로 III장에서는 여러 생체정보에 적용되어 우수한 인식 성능을 나타내고 있는 SVM의 VLSI 구조에 대하여 설명한다. 특히 SVM 구현시 많은 계산 시간을 요구하는 vector-matrix multiplication 연산을 위한 시스템릭 어레이 구조에 대하여 설명한다.

III. SVM 계산을 위한 VLSI 구조

SVM은 2가지 부류를 효율적으로 분류하는 방법으로, n 차원 공간 위에서 두 부류 사이의 거리를 최대화하여, $sgn(wx+b)$ 의 부호로서 어느 부류에 속하는지를 결정하는 것으로 SVM 알고리즘은 기본적으로

$$y = sgn\left(\sum_{m=0}^{M-1} (a_m y_m K(X_m, X) + b)\right) \quad (1)$$

표 1. 생체인식 기술 비교

특징	지문	손모양	망막	홍채	얼굴	서명	화자
사용 편리성	high	high	low	medium	medium	high	high
에러원인	dryness, dirt, age	hand injury, age	glasses	poor lightning	lighting, age, glasses, hair	changing signature	noise, colds, weather
인식률	high	high	very high	very high	high	high	high
거부감	medium	medium	medium	medium	medium	very high	high
보안성	high	medium	high	very high	medium	medium	medium
영구성	high	medium	high	high	medium	medium	medium

이다. 여기서 많은 계산 시간을 요구하는 연산만을 vector-matrix multiplication으로 다시 표현하면

$$Y^{(M)} = W^{(M,N)} X^{(N)} \quad (2)$$

이다[6,7]. 식(2)의 연산을 수행한 후에 SVM 계수를 곱하거나 더하면 식 (1)을 계산할 수 있다.

그림 3은 식 (2)를 구할 수 있는 VLSI 구조이다. 즉, 각각의 연산기에 W 행렬의 값을 저장한 후에 입력 벡터인 X 를 모든 연산기에 그림과 같이 동시에 입력한 후 결과값을 동시에 더하여 출력 벡터 Y 를 구하는 것이다. 그러나, 하드웨어 구현시 모든 연산기에 동시에 입력시키기 어려우며, 모든 연산기의 결과를 동시에 계산하여 Y 벡터를 구하는 것도 불가능하다.

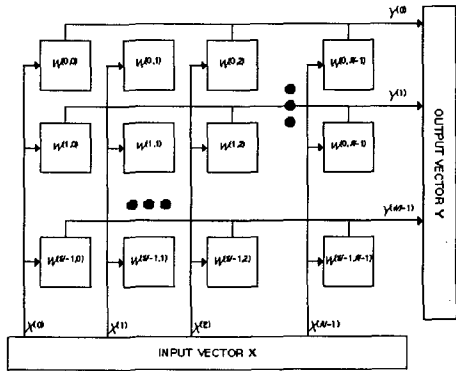
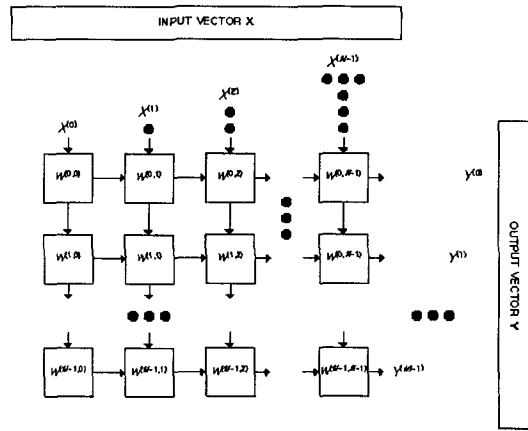
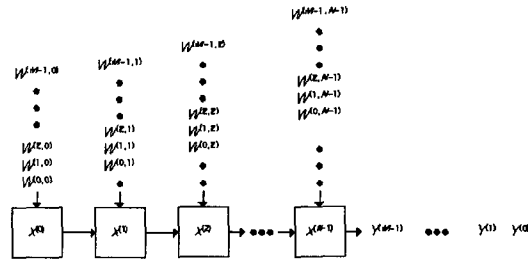


그림 3. SVM 계산을 위한 기본 구조

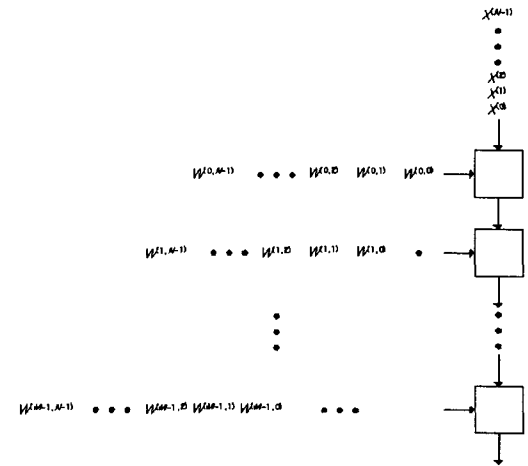
그러므로 본 논문에서는 그림 4와 같이 하드웨어 구현시 많은 장점을 가지고 있어 영상처리 알고리즘의 하드웨어 구현시 많이 적용되고 있는 시스틀릭 어레이 구조를 이용한 vector-matrix multiplication 구조를 제시한다. 시스틀릭 어레이는 VLSI 기술을 이용하여 특정한 알고리즘의 수행 속도를 향상시키기 위해 최대한의 동시실행 (concurrency)을 이룬 전용 하드웨어 구조이다. 이의 특징은 모듈성 (modularity), 규칙성 (regularity), 국부적 연결성 (local interconnection), 고도의 종속 연결성 (pipelining), 잘 동기된 다중처리 (multiprocessing) 등이다. 이 구조는 제어 가 간단하고 단위시간당 처리량 (throughput)이 많아 DSP (Digital Signal Processing) 분야에 많이 사용된다.



(a) 2차원 시스틀릭 어레이 구조



(b) 1차원 시스틀릭 어레이 구조 (Type I)



(c) 1차원 시스틀릭 어레이 구조 (Type II)

그림 4. SVM 계산을 VLSI 구조

그림 4(a)는 2차원 시스틀릭 어레이 구조를 이용한 것으로 그림 3과 같이 각각의 PE(Processing Element)에 행렬 W 계수값을 저장한 후에 입력 벡터 X 를 순차적으로 입력시켜 결과 벡터 Y 를 구하는 구조이다. 그림 4(b)와 4(c)는 1차원 시스틀릭 어레이 구조를 이용한 것으로 그림 4(b)는 각각의 PE에 입력 벡터 X 를 저장시켜 놓은 후 행렬 W 를 입력시켜 계산하는 구조이며 그림 4(c)는 입력 벡터 X 와 행렬 W 를 입력 시킨 후 결과값이 각각의 PE에 저장되게 되는 구조이다.

그림 4에 제시한 각각의 구조는 PE의 개수, 소요시간 (latency), 단위시간당 처리량 등에 차이가 있으므로, 최종적으로 구현하는 시스템에 맞게 선택하여 사용하여야 한다. 또한, 식 (2)를 그림 4와 같이 구현할 때 벡터와 행렬의 크기인 M 과 N 이 작으면 구현에 어려움이 없지만, M 과 N 이 커지면 하드웨어 크기가 커지게 되어 하드웨어 구현의 어려움이 따르게 된다. 그러므로 그림 4의 구조를 기본으로 하여 모듈화 해서 SVM 하드웨어를 구현해야 한다.

IV. 결론

본 논문에서 제시한 vector-matrix multiplication 용 시스틀릭 어레이 구조를 기본으로 하면, 얼굴, 지문 등 다양한 종류의 생체인식에 적용이 가능한 SVM 전용 하드웨어 구현이 가능하다. 또한, 다양한 종류의 생체정보를 이용한 생체인식에서 우수한 성능을 나타내는 SVM을 구현하였으므로, 하드웨어 자원이 부족한 보안 토크인이나 스마트 카드에서도 다중 생체인식 시스템 구현이 가능하게 된다.

SVM 하드웨어 구현을 위한 앞으로의 연구는 본 논문에서 제시한 다양한 구조에 관한 성능 분석과 하드웨어 구현시 발생하는 고정소수점 연산에 따른 성능 분석이 이루어져야 하며, 최종적으로는 보안토크인이나 스마트 카드에 적용하여야 한다.

참고문헌

- [1] A. Jain, R. Bole, and S. Panakanti, *Biometrics: Personal Identification in Networked Society*, Kluwer Academic Publishers, 1999.
- [2] B. Scholkopf C. Burges, A. Smola, *Advances in Kernel Methods: Support Vector Learning*, The MIT Press, 1999.
- [3] M. Schmidt and H. Gish, "Speaker Identification via Support Vector Classifiers," *Proc. of Conf. on Acoustics, Speech, Signal Proc.*, pp. 105-108, 1996.
- [4] Y. Yao, P. Fransconi, and M. Pontil, "Fingerprint Classification with Combinations of Support Vector Machines," *Proc. of AVBPA2001(LNCS 2091)*, pp. 253-258, 2001.
- [5] C. Kotropoulos, and I. Pitas, "Using Support Vector Machines to Enhance the Performance of Elastic Graph Matching for Frontal Face Authentication," *IEEE Trans. PAMI*, vol. 23, pp. 735-745, 2001.
- [6] D. Auguita, A. Boni, and S. Ridella, "Learnig algorithm for nonlinear support vector machines suited for digital VLSI," *Electronics Letters*, vol. 35, pp.1349-1350, 1999.
- [7] R. Genov, and G. Cauwenberghs, "Charge-Mode Parallel Architecture for Matrix-Vector Multiplication," *Proc. 43rd IEEE MWSCAS'2000*, MI, 2000.