

# Si기반 n-MOSFET의 임팩트이온화모델 분석

고석웅<sup>\*</sup> · 김재홍<sup>\*</sup> · 임규성<sup>\*\*</sup> · Chaisak Issro<sup>\*</sup> · 정학기<sup>\*</sup>

<sup>\*</sup>군산대학교 · <sup>\*\*</sup>논산백제병원

## Analysis of Impact Ionization models for Si n-MOSFET

Suk-woong Ko<sup>\*</sup> · Jae-hong Kim<sup>\*</sup> · Kyu-sung Lim<sup>\*\*</sup> · Chaisak Issro<sup>\*</sup> · Hak-kee Jung<sup>\*</sup>

<sup>\*</sup>Kunsan National University

<sup>\*\*</sup>Back-Jae Hospital in Nonsan

E-mail : a-molla@hanmail.net

### 요 약

반도체소자의 전자전송특성을 해석하기 위하여 임팩트이온화현상은 매우 중요하다. 임팩트이온화는 전자-정공쌍들의 생성과정이므로 소자에 인가되는 전압이나 온도에 따라 소자의 특성이 변화될 수 있다. 본 연구에서는 Constant Voltage 스케일링이론을 적용하여 게이트 길이를 50nm까지 스케일 다운하였으며 TCAD시뮬레이터를 이용하여 세 가지 모델-Van Overstraeten, Okuto, Ours-에 대하여 임팩트이온화와 breakdown등을 비교 분석하였다.

### ABSTRACT

For analysis of semiconductor's electrons transmission characteristics, Impact ionization(I.I.) is very important. I.I. are generation process of electron-hole pairs. Therefore, the characteristics of device can change along with applied voltage or temperature.

In this paper, we are scaled down the gate length to 50nm. Also, using TCAD simulator, we are analyzed I.I. and breakdown about three models-Van Overstraeten, Okuto and Ours models.

### 키워드

Impact ionization, TCAD simulator, breakdown

## I. 서 론

최근 반도체 집적기술의 눈부신 발전들은 소자들 나노구조로 만들 수 있도록 스케일링할 수 있는 능력이 향상되었기 때문이다. 그러나 소자의 크기가 나노구조로 줄어들면  $V_T$ 의 증가, 전달컨덕턴스의 감소 그리고 DIBL(drain induced barrier lowering)과 SCE(short channel effect)등과 같은 여러 가지 문제들이 발생하게 된다. 따라서 본 연구에서는 이러한 문제들을 해결하기 위하여 LDD(lightly doped drain)구조를 사용하였으며, 특히 단채널에 따른 임팩트이온화현상에 대한 여러 모델들을 본 논문에서 제시하는 모델과 비교 분석함으로써 제시하는 모델이 타당함을 입증할 것이다.

## II. 본 론

본 연구에서는 정전압 스케일링 이론[4]을 적용하여 소자의 크기와 농도를 조정하였으며 표 1에 스케일링 조건들을 각 게이트길이에 대하여 나타내었다.

임팩트이온화는 핫 캐리어에 의한 산란에 의하여 전자-정공쌍을 생성하는 과정으로 전자전송특성을 해석하는데 있어 아주 중요한 현상중의 하나이다. 본 연구에서는 MC(Monte Carlo)방법을 이용하여 구한 임팩트이온화계수를 이용하여 nMOSFET의 임팩트이온화현상을 고찰하였으며, 이에 따른  $I_d$ - $V_d$ 를 분석하였다. 또한 본 연구에서 구한 임팩트이온화계수에 의한 효과를 고찰하기 위하여 Okuto모델과 Van Overstraeten모델을 TCAD시뮬레이터를 이용하여 비교, 분석하였다.

표 1. 게이트길이에 따른 스케일링 조건

Gate length(nm)		180	100	50
도핑농도(/cm)	Source & Drain	$5.0 \times 10^{19}$	$1.62 \times 10^{20}$	$6.48 \times 10^{20}$
	Gate	$2.0 \times 10^{16}$	$6.48 \times 10^{16}$	$2.59 \times 10^{17}$
	LDD	$8.0 \times 10^{18}$	$2.59 \times 10^{19}$	$1.04 \times 10^{20}$
	Substrate	$3.0 \times 10^{16}$	$9.72 \times 10^{16}$	$3.89 \times 10^{17}$
Oxide thickness(nm)		4	2.22	1.11

본 연구에서 사용된 임팩트이온화에 식은 다음과 같다.

$$G^H = \alpha_n n v_n + \alpha_p p v_p \quad (1)$$

여기서  $\alpha_n, \alpha_p$ 는 임팩트이온화계수이다. 임팩트이온화계수는 임의의 전기장에 대하여 단위 길이당 발생하는 임팩트이온화의 수로써 정의된다. 각각 모델에서 임팩트이온화계수를 구하기 위하여 사용된 식은 다음과 같다. Van Overstraeten 모델 [1]은

$$\alpha(F) = \gamma a e^{-\gamma b/F} \quad (2)$$

으로 Chynoweth 법칙[2]을 이용하였다. 여기서  $\gamma$ 는

$$\gamma = (\tanh \frac{\hbar \omega_{op}}{2kT_0}) / (\tanh \frac{\hbar \omega_{op}}{2kT}) \quad (3)$$

으로 표현되며,  $\hbar \omega_{op}$ 는 optical phonon에너지이다. Okuto 모델[3]은

$$\alpha(F) = a[1 + c(T - T_0)] F e^{-(b(1 + d(T - T_0))/F)^2} \quad (4)$$

이다.

표 2에는 각 모델의 임팩트이온화계수에 대한 파라미터값을 나타내었다.

표 2. 임팩트이온화계수의 파라미터값들

	a	b	c	d
Van	$7.03 \times 10^5$ (/cm)	$1.23 \times 10^6$ (V/cm)	-	-
Our	$1.06 \times 10^6$ (/cm)	$1.40 \times 10^6$ (V/cm)	-	-
Okuto	0.426(/V)	$4.81 \times 10^5$ (V/cm)	$3.05 \times 10^{-4}$ (/K)	$6.86 \times 10^{-4}$ (/K)

본 연구에서는 TCAD의 dssis틀을 이용하여 각 모델의 전류-전압특성을 조사하였다.

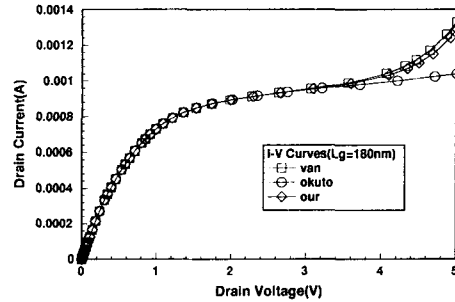


그림 1. 게이트 길이가 180nm일 때 전류-전압곡선

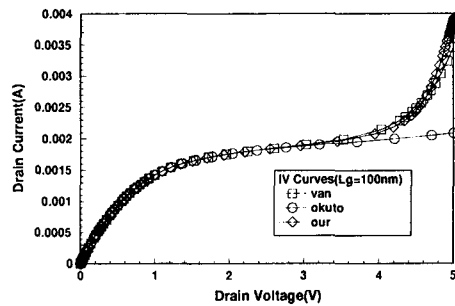


그림 2. 게이트 길이가 100nm일 때 전류-전압곡선

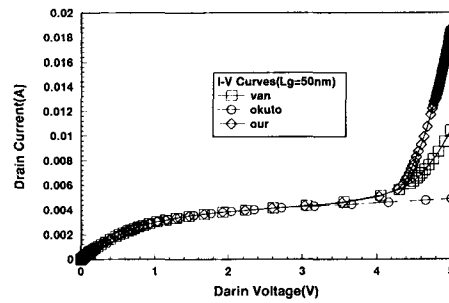


그림 3. 게이트 길이가 50nm일 때 전류-전압곡선

그림 1, 2, 3에서 게이트 길이가 작아짐에 따라 드레인 전류가 증가함을 볼 수 있는데 이것은 임팩트이온화가 장채널보다 단채널에서 활발히 일어난다고 있음을 알 수 있다. 또한 본 연구에서 구한 임팩트이온화모델이 Van모델과 일치함을 알 수 있다. 본 연구에서는 임팩트이온화현상을 보다 자세히 고찰하기 위하여 TCAD의 mdraw틀을 이용하여 구하였으며, 그 결과를 그림 4, 5, 6에 도시하였다. 그림에서 알 수 있듯이 게이트 길이가 작아짐에 따라 임팩트이온화가 많이 일어남을 알 수 있다.

V. 결론

본 연구에서는 nMOSFET의 정전압 스케일링에 따른 임팩트이온화현상을 본 연구에서 구한 임팩트이온화계수와 Van모델 그리고 Okuto모델을 이용하여 비교, 분석하였다. 그 결과 본 연구에서 구한 임팩트이온화계수가 Van모델과 일치하여 타당함을 증명하였으며, 게이트길이가 감소함에 따라 임팩트이온화현상이 활발히 일어남을 알 수 있었다. 이는 반도체소자의 설계시 중요하게 고려해야만할 사항임을 알 수 있다.

참고문헌

- [1] R. V. Overstraeten and H. D. Man, "Measurment of the ionization rates in diffused Silicon p-n junctions", *Solid-States Electronics*, vol. 13, pp. 583-608, 1970
- [2] A. G. Chynoweth, "Ionization rates for electrons and holes in Silicon, *Phys. Rev.*, vol. 109, no. 5, pp. 1537-1540, 1958
- [3] Y. Okuto and C. R. Crowell, "Threshold energy effects on avalanche breakdown voltage in semiconductor junctions", *Solid-States Electronics*, vol. 18, pp. 161-168, 1975
- [4] David J. Frank and Rovert H. Dennard and Edward Nowak and Paul M. Solomon and Yuan Taur and Hon-Sum Philip Wong, "Device Scaling Linitis of Si MOSFETs and Their Application Dependencies", *Proceeding of the IEE*, vol. 89, no. 3, pp. 259-288, 2001

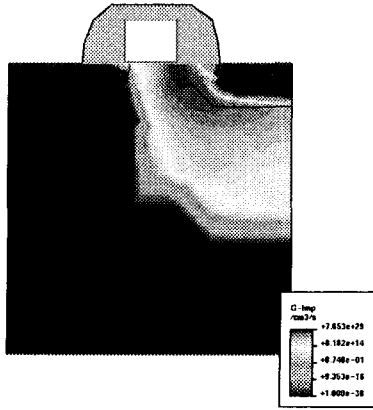


그림 4. 게이트길이가 180nm일 때 임팩트이온화

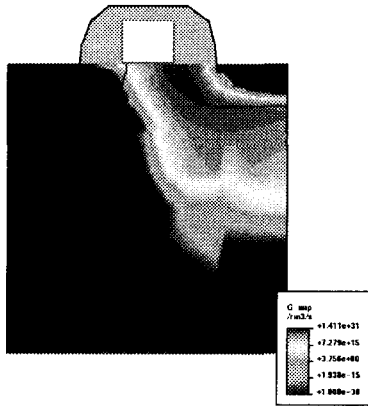


그림 5. 게이트길이가 100nm일 때 임팩트이온화

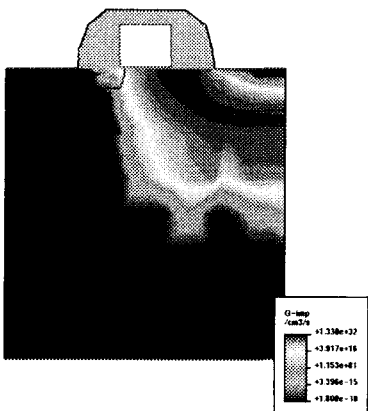


그림 6. 게이트길이가 50nm일 때 임팩트이온화