

# 나노 구조 MOSFET에서의 일반화된 스케일링의 응용

김재홍<sup>\*</sup> · 김근호<sup>\*\*</sup> · 정학기<sup>\*</sup> · 이종인<sup>\*</sup>

<sup>\*</sup>군산대학교 전자정보공학부 · <sup>\*\*</sup>논산 백제 병원 방사선과

## Application of Generalized Scaling Theory for Nano Structure MOSFET

Jae-Hong Kim<sup>\*</sup> · Geun-ho Kim<sup>\*\*</sup> · Hak-kee Jung<sup>\*</sup> · Jong-in Lee<sup>\*</sup>

<sup>\*</sup>School of Electronic and Information Eng. Kunsan National University

<sup>\*\*</sup>Department of Radiology, Back-jae hospital in Nonsan

E-mail : ndragon@kunsan.ac.kr

### 요 약

MOSFET의 게이트 길이가 50nm이하로 작아지면 소자를 설계함에 있어 고려해야 하는 많은 문제점들이 존재하게 된다. 본 논문에서는 MOSFET 소자에 대한 문턱 전압 특성을 조사하였다. 소자에 대한 스케일링은 generalized scaling을 사용하였고 게이트 길이 100nm에서 30nm까지 시뮬레이션 하였다. 이때 나노 구조 MOSFET에 대한 스케일링의 한계를 볼 수 있었다. 문턱 전압을 구하는 방법으로는 선형 추출 방법을 사용하였다.

### ABSTRACT

As the gate lengths of MOSFETs are scaled down to sub-50nm regime, there are key issues to be considered in the device design. In this paper, we have investigated the characteristics of threshold voltage for MOSFET device. We have simulated the MOSFETs with gate lengths from 100nm to 30nm using generalized scaling. Then, we have known the device scaling limits for nano structure MOSFET. We have determined the threshold voltages using LE(Linear Extraction) method.

### 키워드

Sub-50nm, nano, generalized scaling, LE(Linear Extraction) method

## I. 서 론

VLSI 회로의 특성파 속도 개선시키기 위해 MOS(Metal Oxide Semiconductor) 소자의 크기는 매우 작아지게 되었다.[1] 소자의 크기가 감소함에 따라 여러 가지 현상들이 일어나게 되는데 마이크로 이하 즉 서브마이크론 채널을 갖는 MOSFET에서 얇은 게이트 산화막과 높은 채널 도핑은 short channel 효과를 억압시키기 위해 사용되어졌고 Si/SiO<sub>2</sub> 경계면에서 큰 횡단 전계를 받게 된다. 이것은 반전층에서 Quantum mechanical(QM) 효과를 유도하고 QM 효과가 없는 고전적인 계산 방법과 비교했을 경우 반전층 전하량은 감소시키고, 문턱전압은 증가시키며, 산화막 커패시턴스를 감소시키게 된다.[2]

본 논문에서는 게이트 길이 100nm MOSFET 소자를 generalized scaling을 사용하여 게이트 길이

30nm까지 스케일링하여 모의 실험 하였다. 이때 각 게이트 길이에 대한 문턱 전압 관계를 가지고 스케일 이론의 한계를 고찰하였다.

## II. 이론적 배경

고집적 회로를 설계하기 위해 MOSFET의 크기는 줄어들어야 한다. 그러나 회로나 소자의 파라미터는 변화시키지 않고 표면상의 크기만을 축소한다면 MOSFET의 많은 특성들이 열화 된다. 따라서 소자의 특성을 유지하도록 하기 위해 적당한 스케일링이 필요한데 본 논문에서는 generalized scaling을 사용하여 소자의 크기를 축소하였다. 이때 소자의 길이와 폭은 스케일링 factor  $s(s>1)$ 만큼 감소시키고, 접합 깊이와 산화막 두께

도 같은 비율로 감소 시켰다. 그러나 공급전압은 스케일링 factor만큼 감소되지 않기 때문에 일정하게 유지하였다. 이때 도핑농도는  $\alpha$ s만큼 증가시켰다. 여기서  $s=1$ 일 경우 정 전계 스케일링(Constant Field Scaling)이고,  $\alpha=s$ 일 경우 정 전압 스케일링(Constant Voltage Scaling) 이론이 된다.

사용된 소자의 구조는 shallow  $n^+/p^+$  SDE 영역, deep  $n^+/p^+$  소스-드레인 영역(DSD) 그리고 SDE 주변을 둘러싼 halo doping profile로 구성되어 있다.[3]

본 논문에서는 ISE-TCAD를 사용하여 모의 실험을 하였으며 이 프로그램에서 문턱 전압을 구하는 방법에는 세 가지 방법이 있다. 첫째, 드레인 전류가 미터당  $0.1\mu A$ 가 흐를 때의 전압을 구하는 CC(Constant-current) 방법, 둘째 드레인 전류 축을 로그크기로 변환하여 나타낸 그래프에서 최대 기울기와 최소 기울기를 갖는 곳의 접선들이 만나는 지점의 전압을 구하는 방법, 마지막으로 본 논문에서 사용된 드레인 전류와 게이트 전압 특성곡선( $I_d-V_g$ )의 최대 기울기를 가지는 곳에서의 접선과 x축( $V_{gs}$ )과 만나는 지점의 전압을 구하는 선형 추출법이 있다.[4]-[6]

### III. 실험 및 고찰

본 논문에서는 게이트 길이( $L_g$ )가 100nm인 소자를 기본으로 하여 정 전계( $\alpha=1$ ) 및 정 전압( $\alpha=s$ ) 스케일링과 임의의  $\alpha$  값( $1 < \alpha < s$ )에 대하여 모의 실험 하였다.

이때 도핑 농도를 살펴보면 기판 도핑농도는  $1.75 \times 10^{17} \text{cm}^{-3}$ , shallow  $n^+/p^+$  SDE 영역은  $6.25 \times 10^{19} \text{cm}^{-3}$ , deep  $n^+/p^+$  DSD 영역은  $9.25 \times 10^{20} \text{cm}^{-3}$ 을 도핑 하였고, halo doping profile은  $3.75 \times 10^{18} \text{cm}^{-3}$ 을 도핑 하였다. 각각의 게이트 길이에 대해 드레인 전압  $V_d=0.05V$ , 소스 전압  $V_s=0V$ 를 이용하였다. 이때 게이트 전압( $V_g$ )은 0V에서 2V까지 변화 시켜가면서 모의 실험 하였다.

먼저 정 전계 및 정 전압 스케일링을 사용하여 게이트 길이 100nm를 기준으로 90nm부터 30nm까지의 문턱 전압 변화에 대한 모의 실험 결과를 그림 1에 나타내었다. 각 게이트 길이에 대해 이상적인 스케일링의 경우 일정한 문턱 전압을 가져야 하나 정 전압 스케일링을 적용 할 경우에는 문턱 전압이 증가하고 정 전계 스케일링을 적용 할 경우 문턱 전압은 감소하는 것을 볼 수 있었다.

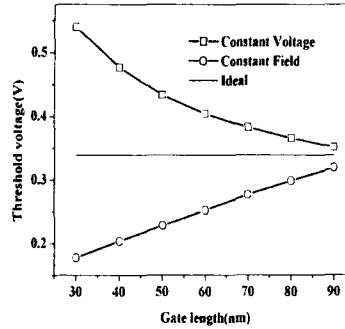


그림 1. 정 전압 스케일링과 정 전계 스케일링에 대한 문턱 전압 변화

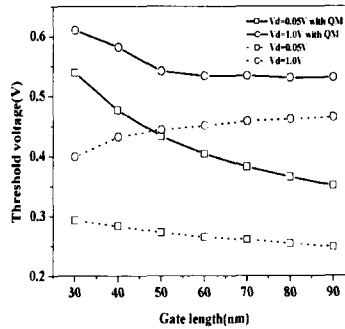


그림 2. 정 전압 스케일링을 적용할 경우 QM의 적용 유무에 따른 문턱 전압의 변화

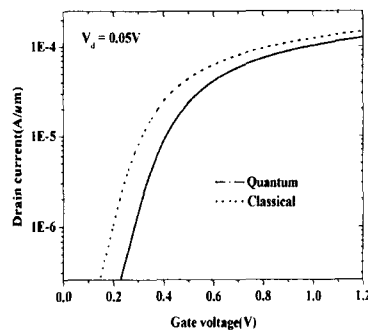


그림 3. 드레인 전류 대 게이트 전압

그림 2는 QM효과에 따른 문턱 전압의 변화를 나타낸 것이다. 드레인 전압이 높을 경우에는 QM 효과의 여부에 상관없이 문턱전압이 거의 일정하나 QM 효과를 적용시킬 경우 그림에서 보듯이 QM효과를 적용시킨 것과 그렇지 않은 것의 문턱 전압은 많은 차이가 발생한다. 특히 게이트

길이가 작아질수록 많은 차이가 나게 되는데 이런 이유는 너무 얇은 산화막으로 인해 반전된 실리콘 표면으로부터 전자들이 SiO<sub>2</sub>층의 전도대로 tunneling 대신에 SiO<sub>2</sub>층의 금지된 에너지 갭을 통해 직접적으로 tunneling 하기 때문이다.[7] 본 논문에서는 게이트 길이 50nm에서 많은 변화가 일어나는 것을 알 수 있었다.

그림 3은 드레인 전압이 0.05V일 때 게이트 길이 100nm에 대한 I<sub>d</sub>-V<sub>g</sub>특성 곡선을 나타낸 것이다. 이때 QM 효과 때문에 문턱전압은 오른쪽으로 이동한다. 여기서 QM 효과를 적용시킨 모델에서의 subthreshold slope는 79.75mV/dec, QM효과를 적용시키지 않았을 경우 subthreshold slope는 75.58mV/dec를 얻을 수 있었다.

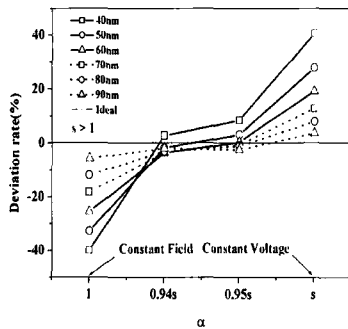


그림 4. generalized scaling에서 소자의 특성을 유지하기 위한 s값들(전압일정)

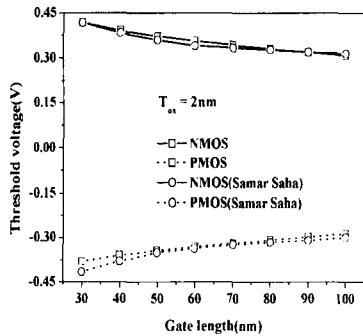


그림 5. Constant Field Scaling에 의한 문턱 전압 비교(T<sub>ox</sub>=2nm)

그림 4에는 게이트 길이 100nm에 대한 문턱 전압을 기준으로 s값의 변화에 따른 문턱 전압 변화율을 나타낸 것이다. 각 게이트 길이에 대한 변화율 ( $\Delta$ )은 다음과 같이 계산되었다.

$$\Delta = \frac{V_{th}(L) - V_{th}(100nm)}{V_{th}(100nm)} \quad (1)$$

이때  $L$ 은 게이트 길이를 나타낸 것이다. 게이트 길이가 작아질수록  $\alpha$ 값은 작아짐을 알 수 있었다. 특히 게이트 길이 50nm이하에서  $\alpha$ 값의 변화는 심화되는 것을 볼 수 있었다.

그림 5는 산화막 두께가 2nm일 때 문턱 전압의 변화를 모의 실험한 결과를 도시한 것이다. 이때 각 게이트 길이에서의 도핑 농도는 Constant Field Scaling을 적용하여 도핑 하였다. 산화막의 두께를 일정하게 유지시킬 경우 문턱 전압의 변화는 산화막을 스케일링 할 때 보다 작은 변화를 보여 주었다.

#### IV. 결론

본 논문에서는 일반화된 스케일링 이론에 의해 채널길이에 따라 MOSFET를 스케일링하였다. 나노 채널 MOSFET소자에서 QM 효과를 적용시킨 경우 문턱 전압은 QM 효과를 적용시키지 않을 때 보다 높은 문턱 전압을 갖는 다는 것을 알 수 있었다. 게이트 길이가 50nm이하일 경우 문턱전압의 변화가 심화되었는데 이런 이유는 너무 얇은 산화막 두께로 인해 direct tunneling 전류가 증가하기 때문이다. 소자의 크기가 감소할수록 문턱 전압이 증가하는 것을 볼 수 있었고 게이트 길이가 작아질수록 이상적인 특성을 가지기 위해  $\alpha$ 값이 작아지는 것을 볼 수 있었다. 또한, 정 전계 스케일링과 정 전압 스케일링 모두 나노 채널 MOSFET에서는 적합하지 않음을 볼 수 있었다. 따라서 나노 구조에서 소자의 특성을 유지시키기 위해서는 나노 구조에 맞는 보다 나은 스케일링 이론의 확립이 필요하겠다.

#### 참고문헌

- [1] D. G. Borse, S. J. Vaidya and Arun N. Chandokar, "Study of SILC and Interface Trap Generation Due to High Field Stressing and Its Operating Temperature Dependence in 2.2nm Gate Dielectrics, IEEE Trans. Electron Dev, Vol. 49, No. 4, pp. 699-701, 2002.
- [2] Sheng-Lyang Jang, Chwan-Gwo Chyau and Chong-Jye Sheu, "Complete Deep Submicron Metal Oxide Semiconductor Field Effect Transistor Drain Current Model Including Quantum Mechanical Effects", Jpn. J. Appl. Phys. Vol. 38, pp. 687-688, 1999.
- [3] Samar Saha, "Design Considerations for 25nm MOSFET Devices", Solid-State Electron, Vol. 45, No. 10, pp. 1851-1857, 2001.
- [4] Jhung-soo Jhung, Kwang-gyun Jang,

- Sung-taik Shim and Hak-kee Jung,  
"Investigation of Threshold Voltage in  
MOSFET with Nano-Channel Length",  
proceeding of ISIC-2001, pp. 230-233, 2001.
- [5] Kazuo Terada, Katsuhiko Nishiyama,  
Kei-Ichi Hatanaka, "Comparison of  
MOSFET threshold voltage extraction  
methods", Solid-State Electronics, Vol. 45,  
No. 1, pp. 35-40, 2001.
- [6] Morikazu Tsuno, Masato Suga, Masayasu  
Tanaka, Kentaro Shibahara, "Physically  
Based Threshold Voltage Determination for  
MOSFET's of All Gate Lengths", IEEE  
Trans. Electron Dev, Vol. 46, No. 7, pp.  
1429-1434, 1999.
- [7] Yuan Taur, Tak H. Ning, "Fundamentals of  
Modern VLSI Devices", Cambridge, pp.  
96-97, 2000.