

LVDS(Low Voltage Differential Signaling) Interface Logic을 이용한 신호전달 특성 분석

김석환* · 최익성** · 허창우*

목원대학교 전자 및 컴퓨터공학과

한국전자통신연구원 네트워크 핵심기술연구부 IP스위칭팀

Analysis on Signal Transmission Specific property
using Low Voltage Differential Signaling Interface Logic

Soke-Hwan Kim* · Ick-Sung Choi** · Chang-wu Hur*

*Dept. of Electronic & Computer Engineering, Mokwon Univ.

** IP Switching Team Electronics Telecommunication Research Institute.

요 약

고도로 발달된 정보화 시대에서 우리가 원하는 정보를 짧은 시간, 적은 비용으로 서로 주고받기 위해서는 이것에 맞는 시스템이 요구된다. 반도체 chip의 대용량과 고속화됨으로써 TTL, LVTTTL 등이 data 100Mbps 정도를 안전하게 전달 할 수 있는 능력이 있으므로 그 이상을 전달할 수 있는 새로운 Logic level이 필요하게 되었다. 이에 맞추어 신호 level의 여러 가지 중 본 논문에서는 Virtex II XC2V 1000 FF896을 이용하여 Differential I/O LVDS(Low Voltage Differential Signaling) level 특성을 clock, Data와의 전송 관계를 Eye_Pattern을 통해 살펴보았다.

1. 서 론

컴퓨터와 통신기술의 발달은 고속 및 대용량화된 정보를 전달할 수 있는 소자의 개발을 전제로 하며 이는 반도체 소자의 고속화 및 고밀도, 대용량화를 유도하고 있다. 이에 맞추어 새로이 등장한 신호 level이 GTL, HSTL, SSTL 등이 있다.

수백 Mbps에서 수 Gbps 정도의 data를 에러 없이 전송하기 위해서는 광 대역 특성을 갖도록 하기 위하여 신호 level의 패턴길이의 변화, 주파수의 변화에 따른 S/N의 변화 뿐만 아니라 이를 가능하게 하는 것이 도체 접지 면을 갖는 신호전송선(micro strip)의 중요점이다.

유전체 손실의 주파수에 따른 큰 변화는 도체 손실과 복합적으로 작용하여 전체 전송특성을 크게 열화시키므로 도체 손실과 아울러 유전체 손실을 고려한 광 대역의 정확한 해석이 필요하다.

일반적으로 PCB 기판으로 사용되는 기판이 저주파에서는 거의 유전손실이 없으므로 이를 무시하는 경향

이 있으나, 대부분의 유전손실을 주파수에 따라 크게 증가되어 고주파에서는 많은 전송 특성변화가 생긴다. 적절한 재료특성과 저 가격으로 고 밀도 반도체 소자의 재료로 사용할 수 있는 FR-4 composite를 사용한 micro strip 전송선의 유전체 손실을 해석하였다.

고속 고밀도 반도체 소자 패키지 및 회로 기판에 사용되는 대표적인 재료인 세라믹이나 테프론은 고주파 특성이 좋으나 매우 고가이고 가공성이 떨어지므로 저 가격의 다양한 Molding compounds나 회로기판 재료는 매우 저가이고 가공성이 뛰어나지만 아니라 적절한 전기적 특성과 재료 적 신뢰성이 매우 우수하여 현재 가장 많은 반도체 패키지 및 회로 기판으로 사용되고 있다. 반면에 이러한 FR-4 composite는 높은 유전체 손실로 인하여 고주파이상에서는 부적합하다고 일반적으로 인식되어 있다. 그럼에도 불구하고 FR-4 composite는 저가격의 장점 때문에 정확한 정량적 특성 해석 및 상용한계 주파수의 규명 없이 몇몇 저 성능 고속 소자 및 회로기판에 시험적으로 이용됨으로써 그 실용화 및 적용 범위가 제한되어왔다.

II. 본론

1. LVDS의 개요

LVDS I/O의 경우 output buffer쪽에서는 일정하게 전류의 흐름을 유지하면서 전류방향만 바꾸도록 구성되고 input buffer 쪽에서는 100Ω의 종단저항에 걸리는 전압차이를 감지하여 증폭하는 구조로 되어있다.

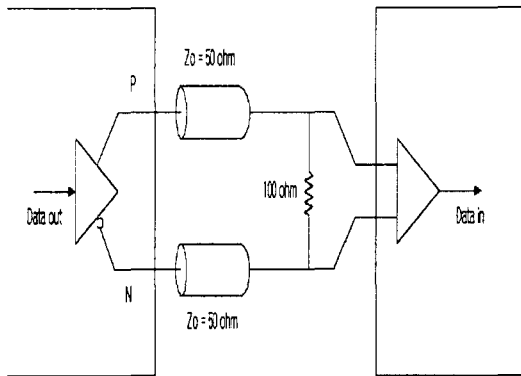


그림 1. LVDS_Terminate

LVDS는 Point to Point 전송을 위하여 정의된 것으로 여러 개의 장점을 가지고 있다. 저전압 신호의 스윙은 작은 전력 소비를 많이 봐야 4mA를 100Ω 종단저항에 보낸다. 이 특성은 LVDS가 병렬 링크 데이터 전송에 적합하도록 한다.

Data 통신, 원거리 통신, Digital Video와 컴퓨터 networking은 고속데이터 전송에 대해서 필요성이 증가하였다.

새로운 원거리 통신 cross point switch는 고효율 데이터 통신 backbone이고 채널 링크와 bus 확장 적용은 multi-Gbps 데이터 경로에 요구된다.

LVDS는 기존의 single-end schemes들과 달리 1쌍의 differential pair를 통해 데이터를 전송함으로써 common-mode noise 감소와, 전력소비 및 전자파 장애를 줄이는데 크게 기여하였다.

LVDS는 수백 Mbps에서 수 Gbps 데이터 전송할 수 있는 low swing 과 differential signaling 기술이다. LVDS는 독립 전류원을 이용한 current mode driver와 low swing 기술을 이용함으로써 전력 소비와 노이즈 제거면에서 탁월한 성능을 나타낸다.

2. 보드설계 시 고려할 사항

디지털 시스템의 동작 속도가 빨라지고 크기가 감소함으로써 고속회로기판을 설계할 때 반사, 누화, 연결 지연시간 등의 신호 잡음을 분석하는 검증 작업은 매우 중요하다. 따라서 인쇄회로 기판 설계의 초기의

단계부터 신호 순수성 검증을 충분히 고려해야 한다. 다수의 고속 고 집적 회로 소자를 인쇄회로 기판에 실장 하는 추세이다. 고속 인쇄 회로 기판의 신호 선은 배선형태에 따라 여러 가지 신호잡음을 발생시킨다. 이런 문제점은 보드 시험단계에서 디버깅 시간과 시스템 개발 시간을 길어지게 한다.

과거의 인쇄회로 기판 설계 및 검증은 (a)와 같이 이루어져 왔다. 특별한 배선 규칙이나 신호검증을 거치지 않고 인쇄회로 기판의 배치 및 배선을 수행하고 보드시험과정에서 신호의 이상유무를 파악하여 문제점이 발생하면 인쇄회로 기판을 다시 제작하여야 했다. 이런 문제점을 해결하기 위한 것이 (b)와 같은 경우이다. 비용과 시간을 절약하며 정확한 특성을 미리 파악해서 어느 주파수대역, 어떤 data 전달특성이 있는가를 미리 분석하여 나중에 최종적인 배선 및 설계 단계를 거치게 되는 것이다. 이렇게 함으로써 비용과 시간을 줄이고 정확한 특성을 미리 파악함으로써 응용 범위도 그만큼 증가할 수가 있는 것이다.

(a) 배치 → 배선 → 인쇄회로 기판제작 → 보드시험 → 배치 → 배선 ...

(b) 배선 규칙설정 → 1차 배선 → 신호라이브러리 개발 → 신호검증 → 최종배선

LVDS에서의 신호전달원리는 부하저항 R에 흐르는 전류의 방향에 따라 결정된다. LVDS에서 사용되는 differential data 전송방법은 수신 단에서 오직 두 신호차이만을 보기 때문에 single end 구성보다 common mode 노이즈에 강하며, 지상의 데이터의 많은 양을 전송하는 것은 빠르고 저 전력, 저 잡음이 요구된다.

III. 측정 결과

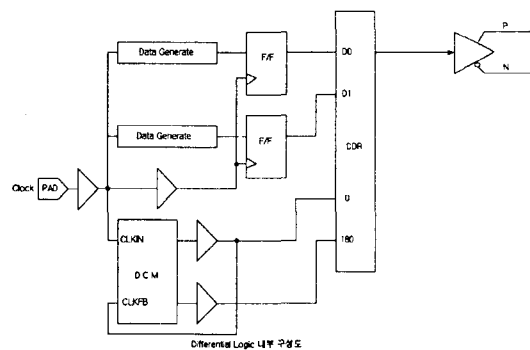
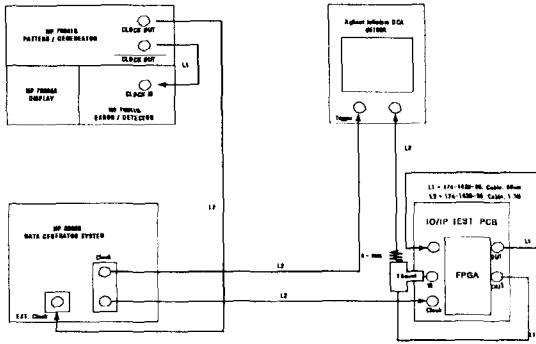


그림 2. LVDS FPAG 구성



I/O IP TEST Block Diagram (Differential Logic)

그림 3. 장비 구성도

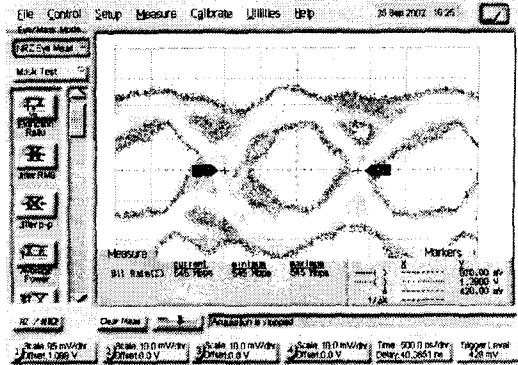


그림 6. LVDS_33 500Mbps

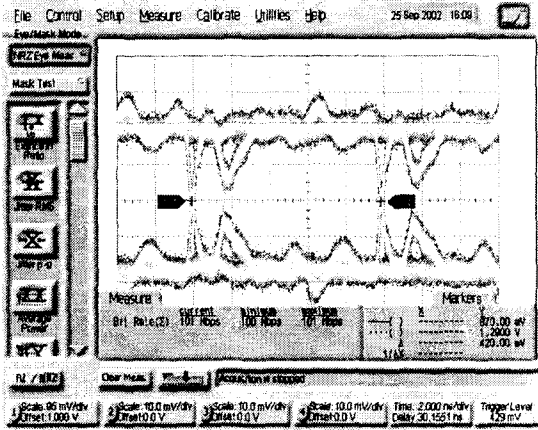


그림 4. LVDS_33 100Mbps

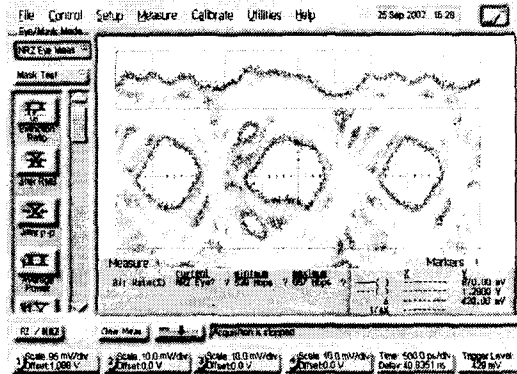


그림 7. LVDS_33 600Mbps

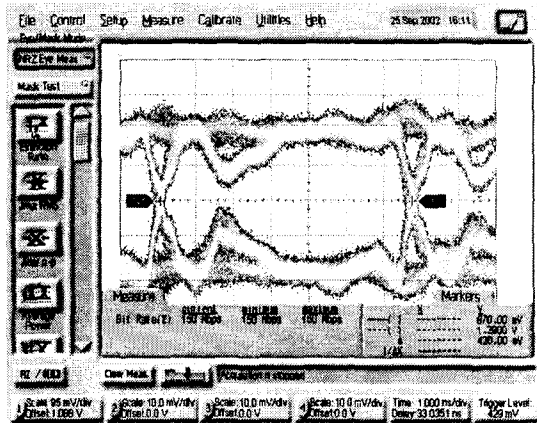


그림 5. LVDS_33 150Mbps

시험환경

Xilinx Virtex II XC2V FF896.
 FPGA와 SMA와의 trace 길이 : 13cm.
 주파수의 변화에 따른 데이터의 전달특성.
 DCM(Digital Clock Manager)
 VHDL code, File Compiler II

IV. 결 론

본 논문은 ETRI IP 스위칭 팀에서 실행하고 있는 신호 level의 특성분석 측정의 한 내용이며 설계된 PCB는 FR-4 재질로 구성되어있으며 Xilinx Virtex II XC2V 1000 FF 896을 이용하였다.

본 FPGA는 VHDL code로 coding 하였으며 chip 내부에는 데이터를 생성하는 component를 구성하였고 작성된 VHDL code는 FPGA에 맞도록 File Compiler II를 이용하여 conversion 하였다.

반도체 chip의 고속화, 대용량화됨으로 저속의 신호 level은 이에 맞추어 고속으로 동작할 수 있는 새로운 logic level을 요구하게 되었다. 이것에 대한 주목적은 Speed up이므로 데이터를 전송하는 속도는 증가하나 이에 맞추어 데이터를 전송할 수 있는 능력이 있는지도 중요하게 되었다.

구성된 FPGA 동작은 장비에서 받은 Clock에 의해 Data Generator에서 데이터를 생성하고, Clock pad를 통한 Clock 신호는 DCM(Digital Clock Manager)에 의해 0도 180도 위상 차가 나는 Clock이 생성되고 DDR(Double Data Rate)에 입력된다. 이는 두 개의 위상차가 발생하는 Clock 신호는 각각의 "High"일 때 data를 낚아채어 결국에 두 배의 Data를 내보내게 된다.

DDR에 의해 출력된 Data는 입력 Clock의 두 배의 값을 나타내며 주파수가 높아질수록 신호 level이 떨어짐을 볼 수 있었다. 500Mbps가 넘어가면 eye_pattern이 많이 감겨있는 것을 볼 수 있었다. 설계되는 FPGA 내부는 사용자가 어떤 구성을 하느냐에 따라 동작범위, 신호전달 특성이 바뀌게 된다.

Digest of Technical Papers 2001.

9. 이제서, 임재원, 송성준, 송성식, "Design and Implementation of CMOS LVDS 2.5Gb/s Transmitter and 1.3Gb/s Receiver for Optical Interconnections".

참고문헌

1. 유창식, 김원찬, "저전력형 TTL-to-CMOS 변환기의 설계", 전자공학회논문지 제 31권 A편 제6호 1994.4.
2. 최성훈, 최철용, 김용연, "GTL+ 인터페이스 로직의 신호검증", 정보과학회 논문지(C) 제3권 제2호 1997.4.
3. 홍정기, 김성일, 이해영, "FR-4 Composite 기판의 성분 구성비에 따른 광대역 유전상수 모델 및 전송 특성해석", 전자공학회논문지 제33권 A편 제12호 1996.12.
4. 홍정기, 김영국, 이해영, "FR-4 Composite 기판을 이용한 Microstrip 전송선의 광대역 전송특성 해석", 전자공학회논문지 제33권 A편 제2호 1996.2.
5. Andrea Boni "1.2-Gb/s True PECL 100K Compatible I/O Interface in 0.35 μ m CMOS" IEEE Journal of Solid-State Circuits, Vol.36, NO.6, June 2001.
6. 이천오, 정태식, 최우영 "3Gbps급 0.25 μ m CMOS LVDS I/O Interface의 설계"
7. 김희철, 은진화, 이상선, 최명렬 "LCD 시스템을 위한 Modified LVDS 인터페이스 회로 및 코딩기법" 멀티 미디어학회 논문지 제3권 제4호 2000.8.
8. Brian Young "An SOI CMOS LVDS Driver and Receiver Pair" Symposium on VLSI Circuits