Silicon wafer상에 초고집적회로 형성을 위한 무전해 구리 도금 연구

A study of copper electroless plating for the VLSI formation on the Silicon wafer

최경수*, 민봉기*, 최순돈*, 신현준**
* 영남대학교 공과대학교 금속 및 재료공학부
** 영남이공대학 뉴-테크디자인계열

1. 서론

최근 반도체 소자의 급속한 발전으로 대용량화 및 소형화가 요구되어 초고집적(VLSI)소자 내에 수백만 개 이상의 트랜지스터를 집적시키기에 이르게 되었다. 전자 공학의 핵심인 반도체 공학의 발전은 차세대 system분야에 적용되어 더 작고 더 빠르고 더 많은 기능을 갖게 하는 원동력으로 집적도가 높은 회로 형성 기술의 발전을 가능하게 할 수 있다.[1-2)]

그러나 현재 사용되어지고 있는 PCB(Print Circuit Board)나 BGA(Ball Grid Array), CSPC(Chip Sized Package)의 방법으로는 차세대 제품의 고성능화와 안정성 및 미량의 불순물도 첨가되지 않는 극도의 미세한 회로를 형성하기란 어렵다.[3)] 그러므로 차세대 기술로 각광 받고 있는 웨이퍼 프로세서의 연구 개발이 필수적이라 하겠다.

VLSI 기술 혁신과 최근의 전자 산업 구조변화는 결국 반도체 기술혁신의 원동력이 되어 정보통신의 고속화와 전자 산업 발전의 가속을 가져오게 되는 것이다. 현재 반도체 산업 분야의 수출 활성화로 인해 Si wafer를 생산하는 업체 역시 활기를 띠고 있다. Si wafer를 이용한 반도체 집적기술의 발전이 계속 진행되고 있으며 앞으로 항공·우주산업, 군사기기, 첨단 컴퓨터, 통신기기 등의 주요한 첨단 소재산업으로 각광을 받을 것이다.

Wafer 상에 전극 형성 방법으로는 전해도금, 무전해도금 등의 습식 도금법과 Sputtering, Ion plating, CVD, 진공 증착 등의 건식 도금법이 있다. 건식 도금의 경우 조업조건의 까다로움과 초기 설비비가 많이 들어간다. 또한 건식도금의 방법으로는 trench 및 hole의 경우 입구가 close-up이 되기 때문에 내부에 전극을 형성 시킬 수가 없다. 전해 도금의 경우, 상온·상압의 조건에서 공정이 진행되고 원료의 순환 공급이 가능하며 낮은 RPT(Raw Process Time)을 기대할 수 있으나 비전도체에는 도금 할 수가 없다.[4-5)]

이에 비해 무전해도금의 방법을 이용할 경우 상감기술(Damascene Process)로 대표되는 trench 및 via hole을 채우는데 우수한 특성을 나타낸다.

무전해도금의 방법은 넓은 공간을 차지하지 않고 내식성, 균일 도금층 및 밀착성이 우수한 도금법이다.[6-7)] 또한 비전도성 물질에도 전극을 형성 할 수 있고 전원이 불필요하다는 장점을 지니고 있다.

따라서 본 연구에서는 전기 도금의 방법을 이용하여 Silicon wafer 상에 형성된 Trench에 금속패턴을 형성할 수 있도록 무전해 도금의 방법으로 균일한 seed layer를 형성하여 전도성 소지를 만들 수 있는 방법을 제안하고자 한다.

2. 실험방법

본 실험에 사용되어지는 시편은 지름이 50㎛이고 깊이가 300㎛ trench 와 지름이 50㎛이고 깊이가 500㎛인 through-hole이 있는 Si wafer를 사용하였다.

Si wafer의 전처리 공정으로 아세톤으로 세척을 하여 표면 청정화를 실시하였다. 알칼리 탈지는 암모니아를 이용하여 유기물을 제거하고, 산세척으로 금속이온을 제거한 후 자연 산화막 제거와 갈고리효과(Anchoring Effect)를 부여하기 위하여 etching을 하고 seed형성을 위하여 Catalyzing공정과 Accelerating공정을 거쳤다. 구리 도금액으로 $CuSO_4 \cdot H_2O$와 착화제로 EDTA-2Na를, 환원제로는 CHOH를 기본욕으로 사용하였고 이 기본욕에 여러 종류의 첨가제의 영향과 pH의 변화에 대해서 알아보았다.

SI wafer소지의 trench 및 via hole상에 seed 형성 여부는 코팅층의 표면과 단면은 주사전자현미경(Scanning Electron Microscopy, SEM ; Hitachi S-4200, Japan)과 EDS(Energy Dispersive X-ray Spectrometer, EDS : Horiba X-300, Japan)를 사용하여 관찰하였다.

3. 실험결과

VLSI형성을 위하여 Si wafer 상에 seed 형성을 위한 무전해 구리 도금을 실시하여 다음과 같은 결과를 얻었다. 첫째, 회로 형성에 강력한 절연막인 SiO_2와 Si 사이에 선택적 도금이 되었다. 둘째, 도금액의 교반이 활발히 이루어 졌을 경우 균일한 seed층을 얻을 수 있었으나 액의 교반이 원활하지 않을 경우 첨가제를 사용하여도 균일한 도금층을 얻을 수 없었다. 세째, 안정제를 사용하지 않을 경우 치환 반응이 급속히 진행되었으며, 계면활성제를 사용하지 않을 경우 trench 및 via hole 내부에 균일한 seed 막을 얻을 수 없었다. 네째, trench 및 via hole상에 seed 형성을 위하여 pH12.5 bath temp. 60℃와 강한 교반이 이루어 져야 했다.

참고문헌

1. 伊藤隆司, 石川. "VLSI 薄膜 技術" 機電研究社 (1993)
2. K. Numazawa "表面技術"42. (1991) pp.297
3. Robert J. contolini, Anthony F. Bernhardt, Steven T. Mayer "Electrochemical Planarization for Multilevel Metallization' J. Electrochem. Soc. Vol. 141, No. 9, pp2503-2510(1994)
4. Glenn O. Mallory and Juan B. Hajdu"Electroless plating" AEAFS, pp 401-511(1990)
5. T. Osaka, H. Takematsu and K. Nihei : J. Electrochem. Soc. 1021, May (1980)
6. V. I. Pavlenko and D. S. Yas, " The copper plating of graphite powders in the manufacture of copper-graphite Materials," Prosh. Met., No. 2(158), pp. 9-13, Feb. 1976
7. T. F. Yudina, V. Omelchenko and L. L. Kuzmin, " Chemical copper plating of powderedmaterials,"Izv.Vussh. Ucheb, Zabed., Kim. Tekhol., vol. 13(9), pp. 1331-1335, (1970)
8. 김남일, 장시성, "무전해 도금" 동화기술, pp 56-61 (1996)