

XIC tools을 사용한 고온 초전도 Rapid Single Flux Quantum 1-bit A/D Converter의 Simulation 과 회로 Layout

남두우*, 홍희송*, 정구락**, 강준희*
인천대학교 물리학과 *, 한국 광기술연구원 **

Simulations and Circuit Layouts of HTS Rapid Single Flux Quantum 1-bit A/D Converter by using XIC Tools

Nam Doo-Woo*, Hong Hee-Song*, Jung Ku Rak**, Joonhee Kang*
University of Incheon, Department of Physics *
Korea Photonics Technology Institute **

chelae75@chollian.net

Abstract - In this work, we have developed a systematic way of utilizing the basic design tools for superconductive electronics. This include WRSPICE, XIC, margin program, and L-meter.

Since the high performance analog-to-digital converter can be built with Rapid Single Flux Quantum (RSFQ) logic circuits the development of superconductive analog-to-digital converter has attracted a lot of interests as one of the most prospective area of the application of Josephson Junction technology. One of the main advantages in using Rapid Single Flux Quantum logic in the analog-to-digital converter is the low voltage output from the Josephson junction switching, and hence the high resolution.

To design an 1-bit analog-digital converter, first we have used XIC tool to compose a circuit schematic, and then studied the operational principle of the circuit with WRSPICE tool. Through this process, we obtained the proper circuit diagram of an 1-bit analog-digital converter circuit. Based on this circuit we performed margin calculations of the designed circuits and optimized circuit parameters. The optimized circuit was laid out as a mask drawing. Inductance values of the circuit layout were calculated with L-meter. Circuit inductors were adjusted according to these calculations and the final layout was obtained.

1. 서 론

일찍부터 선진 외국에서는 초고속 전자소자 분야의 중요성을 인식하고 저온 초전도체를 사용한 단자속 양자회로의 개발 연구를 시작하였고, 고온 초전도체가 발견된 이후에는 고온 초전도체를 이용한 회로의 개발에도 많은 연구가 이루어

지고 있다. 저온 초전도체의 경우 작동 온도가 약 4 K 부근에 머무는 단점이 있으나, 고온 초전도체의 경우에는 30 K - 40 K 정도로 작동 온도가 높아 상업적 냉각기의 사용이 가능하게 된다. 이러한 상업적 냉각기의 사용은 초전도체를 보다 실용적인 시스템에 적용 가능토록 하여 준다. 또한 저온 초전도체의 스위칭 속도보다 고온 초전도체의 스위칭 속도가 훨씬 빠르므로 이를 이용한 고기능 전자회로의 개발 전망을 밝게 하여준다.

본 연구에서는 기존에 개발된 저온 초전도체를 사용한 단자속 양자회로의 개념을 고온 초전도체에 적용하여 고온 초전도체 단자속 양자 1-bit A/D Converter 회로를 시뮬레이션을 통하여 설계하였으며 회로 구성요소들의 최적 값들을 알아내고 회로의 layout을 하였다.

2. 본 론

2.1 회로의 구성

본 연구에서는 Xic와 WRspice라는 software를 사용하여 회로를 시뮬레이션 하였다. 또한 Xic를 사용하여 layout을 하고 L-meter를 사용하여 layout에 대한 inductor 값을 결정하였다. WRspice를 사용한 회로의 시뮬레이션을 통하여 Xic로 설계된 회로의 정상적인 작동여부를 알 수 있게 되며 또한 각 device의 회로요소들에 대한 최적 값을 찾아 최적의 작동성능을 발휘할 수 있는 회로를 설계할 수 있었다. Xic는 회로의 layout을 하는데도 사용된다. 본 연구에서 설계한 회로는 1-bit A/D converter로써 Fig.1에 보여진 바와 같이 전체 회로는 크게 세 부분으로 나눌 수 있다. 우선 Input signal에 비례하여 일정한 pulse를 보내주는 pulse generator 부분과 counter의 역할을 하는 T Flip-Flop(Toggle Flip Flop)부분이 있고 pulse generator와 T Flip-Flop 간의 간섭을 최소화시키는 역할을 해주는 JTL(Josephson Transmission Line)부분이 있다.

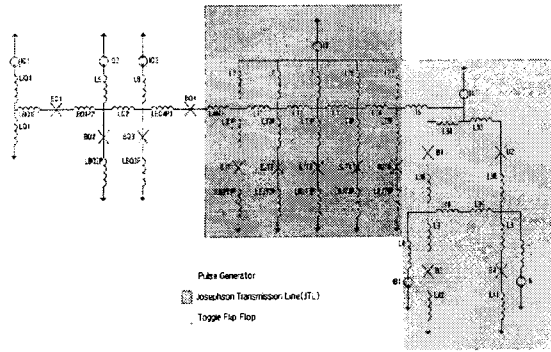


Fig. 1. Circuit diagram of 1-bit A/D Converter

회로의 설계에서 $I_c R_n$ 은 0.3mV로 되도록 하여 시뮬레이션을 수행하였으며, Junction의 최소 임계전류(I_c) 값은 $2\mu\text{m}$ 의 선폭을 갖는 0.4mA로 제한하여 회로를 구성하였다.

본 연구에서는 pulse generator, JTL, 그리고 T Flip-Flop부분을 따로 설계하여 각 device의 작동이 최적의 값을 구한 후에 Fig.1과 같이 각 회로들을 조합하여 1-bit A/D Converter를 구성하였다. 각 회로들을 조합하여 1-bit A/D Converter로 구성하였을 때 각 회로요소들의 최적 값이 여러 변수들에 의하여 변할 수 있으므로 pulse generator \rightarrow JTL \rightarrow T Flip-Flop의 순으로 회로의 최적 값을 구해나갔다. 이렇게 하여 회로의 최적 값을 구한 것을 바탕으로 하여 Xic와 L-meter를 사용하여 회로의 layout을 수행하였다.

2.2 시뮬레이션 및 layout

SFQ(Single Flux Quantum) Pulse Generator는 일정하게 증가하는 전류가 입력되면 일정한 주기의 SFQ Pulse를 생성하는 회로로서 quantizer의 기능을 하는 회로이다. Fig.2는 실제 이 회로가 동작하는 것을 나타낸 시뮬레이션 결과를 나타낸 그림이다.

SFQ Pulse Generator가 동작하는 과정은 Fig.1에서 Pulse Generator 부분의 IQ1에서 일정하게 증가하는 전류가 흐르게 되면 LQBQ1P1 - BQ1 - LBQ1P2 - BQ2를 따라 점점 증가하는 전류가 흐르다가 어느 시점이 되면 BQ2가 스위칭하게 되고 스위칭한 전류가 LBQ1P2와 LQ2에 전류가 흐르게 된다.

LBQ1P2 쪽으로 흐르는 전류는 BQ1에서 스위칭하게 되어 IQ1 - LIQ1 - LBQ1P1 - BQ1 - LBQ1P2를 따라 흐르는 전류를 차단하게 된다. 반면에 LQ2로 흐르는 전류는 BQ3를 스위칭하게 되고 여기서 생긴 pulse가 LBQ4P1-BQ4를 따라 JTL로 들어가게 된다. IQ2와 IQ3는 bias전류를 흘려주어 Junction이 스위칭 대기상태가 되도록 만들어준다. 그러면 일정하게 증가하는 전류에 의해 일정한 시간 간격을 두고 BQ2와 BQ3에서

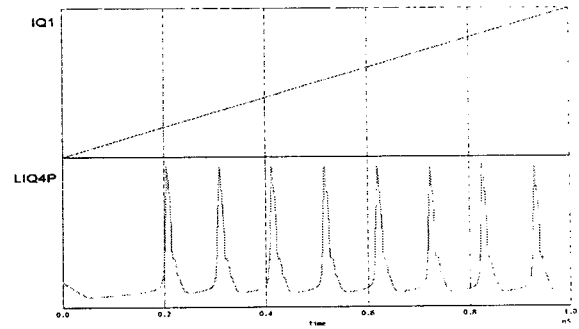


Fig. 2. Simulation results of an SFQ Pulse Generator

pulse가 발생하게 된다. 이렇게 발생한 pulse는 JTL을 통과해서 T Flip-Flop회로에 전해지게 된다.

Fig.1에서 JTL 부분은 SFQ generator와 T Flip-Flop 간의 간섭을 최소화 해주는 역할을 해준다. 뿐만 아니라 pulse generator에서 발생한 pulse를 보정하는 역할을 하여 T Flip-Flop이 정상적으로 작동할 수 있는 sharp pulse를 보내주는 역할을 한다. 반복된 시뮬레이션 결과를 통하여 이 회로에서 JTL을 5개 이하로 구성하게 되면 pulse generator에서 실제 발생한 pulse보다 많은 pulse가 JTL에서 발생하게 되어 T Flip-Flop에서 오작동을 하게 되는 것을 알 수 있었으며 JTL을 5개로 구성하였을 때 최적의 시뮬레이션 결과를 얻을 수 있었다.

Fig.1에서 T Flip-Flop에 첫 번째 pulse가 입력되면 우선 B2와 B3이 스위칭 하게 되고 이어서 두 번째 pulse가 들어오게 되면 B1, B4가 스위칭 하게 된다. Fig.3은 T Flip-Flop회로의 동작을 나타낸 그림으로 입력된 voltage pulse의 모양과 junction들이 2π 만큼 스위칭 되는 모습을 보여주고 있다. Fig.4에서 보여진 것과 같이 L39와 L40에서 처음 pulse가 들어오면 일정한 전류가 흐르게 되고 두 번째 pulse가 들어오면 전류가 감소하는 것을 알 수가 있다. 이렇게 L39와 L40에서 디지털 정보가 전류의 흐름으로 저장되어 이 회로가 정상적으로 작동하는 것을 알 수 있게 된다.

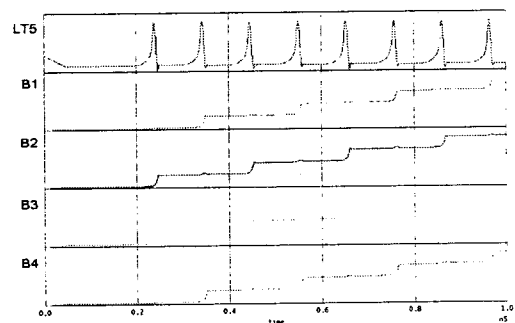


Fig. 3. Simulation results of a T Flip-Flop

Table 1. Margin for T Flip-Flop

	Center	(-) margin(%)	(+) margin(%)
I4	0.5	30.00	32.00
IB1	0.25	60.00	60.00
I5	0.1	130.00	90.00
B1	0.5	32.00	8.00
B2	0.4	37.50	20.00
B3	0.5	28.00	26.00
B4	0.7	12.86	17.14

(Unit - Junction:mA, Inductor:pH)

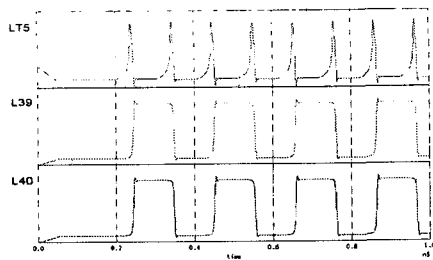


Fig. 4. The current flows in L39 and L40

Table 1은 T Flip-Flop 회로의 margin 결과이다. Table 1은 T Flip-Flop이 정상적으로 동작하는 범위 내에서 Inductor, Junction 그리고 bias current의 값을 바꾸어 가면서 최소 값과 최대 값을 얻었으며 단위는 Junction의 임계전류의 경우 mA이며, Inductor는 pH이다.

Fig.5는 Fig.1의 회로도 layout한 그림이다. 이 layout에서 보는 것과 같이 SFQ Pulse Generator, JTL, T Flip-Flop 이렇게 세 부분으로 구성되어있다. Layout에서 Junction의 Ic값이 0.4mA가 될 때 2 μ m의 선 폭을 가질 수 있도록 하였다. Fig.5에서 빨간색 부분이 Bottom Layer이고 연두색 부분이 Top Layer를 나타낸다. 이 Layout에서 Bottom Layer와 Top Layer가 교차하는 부분이 Junction이 된다. Bottom Layer Line과 Top Layer Line 사이의 간격은 최소 값이 2.5 μ m이며, Top Layer Line들 사이의 최소 간격은 2 μ m이다. 또한 Bottom Layer Line들 사이의 최소 간격을 3 μ m로 layout 하였다.

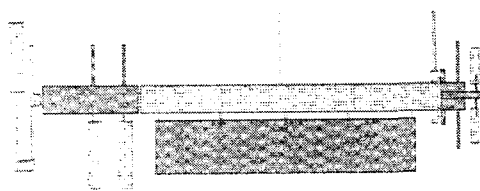


Fig. 5. 1-bit A/D Converter layout

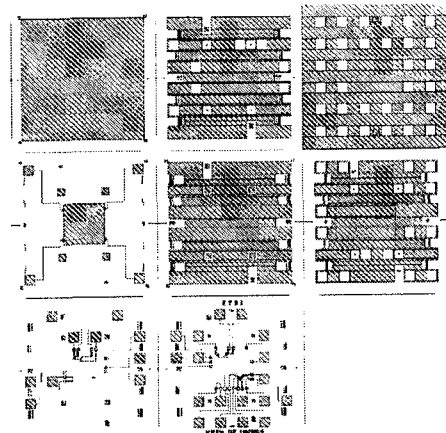


Fig. 6. Mask layout of an 1-bit A/D Converter

이는 실제 제작 시 Bottom Layer의 경사각이 Top Layer의 경사각보다 크기 때문에 Bottom Layer의 최소 간격을 크게 하였다. Ground layer와 Top, Bottom Layer의 접지면 면적은 18 μ m \times 18 μ m이다.

제작된 회로에 대하여 Ground와 상위 Layer와의 접지면 저항을 측정할 수 있도록 측정용 layout을 사용하였으며, Ground와 상위 Layer의 접지 되는 부분의 크기는 회로상의 크기와 동일하게 하여 회로 상에서 Ground 부분의 접지면 저항을 측정할 수 있도록 하였다. 또한 Bottom Layer와 Top Layer의 박막 특성을 4 단자법을 사용하여 측정할 수 있도록 설계하였다.

Fig.6은 실제 Mask의 모양을 나타내고 있다. 전체 Mask의 구성을 보면 첫 번째 줄에는 PR의 edge 제거용 mask, Ground pad 위의 insulator 제거용 mask, lift-off 방법을 사용하여 전극을 만들 수 있는 전극 mask, 두 번째 줄에는 Ground mask, 접지용 mask, Bottom electrode 위의 insulator 제거용 mask이고 세 번째 줄에는 Bottom electrode mask, Top electrode mask가 보여지고 있다.

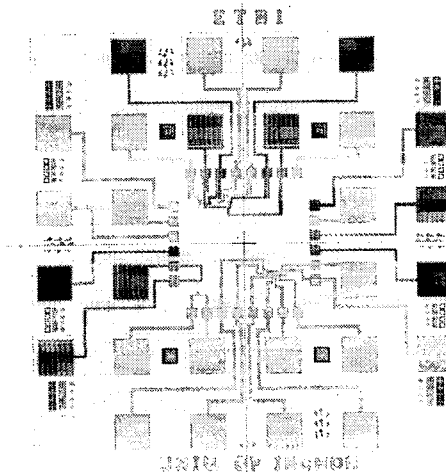


Fig. 7. The picture of mask layout where all the layers are overlaid

Fig.7은 이 회로에서 layout한 전체 Layout이 중첩되어 있는 모습을 나타낸 것이며 이는 완성된 sample를 나타낸 것이다.

3. 결 론

본 연구에서는 Xic라는 design tool을 사용하여 고온 초전도체에서의 1-bit A/D Converter 회로를 설계하였으며 WRspice를 사용하여 각 device의 최적값을 시뮬레이션을 할 수 있었다. 그 결과 Table 1에서 보는것처럼 T Flip-Flop 부분의 junction margin이 12%이상 됨을 알 수 있었다. 이렇게 시뮬레이션한 결과를 바탕으로 Xic를 사용하여 회로의 layout을 하고 L-meter를 사용하여 inductor의 값을 결정하였다. 위와 같은 과정을 거쳐 본 연구에서는 Fig.6과 같은 Mask layout를 얻을수 있게되었다.

감사의 글

본 연구는 21세기프런티어 연구개발사업인 차세대초전도응용기술개발 사업단의 연구비 지원에 의해 수행되었습니다.

[참 고 문 헌]

- [1] V. K. Semenov and M. A. Voronova, IEEE Trans. Magn. Vol.25,1432-1435(1989)
- [2] V.K.Semenov, IEEE Trans. Appl. Supercond. Vol.3, 2437-2440(1993)
- [3] A.H. Miklich, A. H. Worsham, D.L.Miller and J.X. Przybysz, IEEE Trans. Appl. Supercond. Vol.7, 2278-2281(1997)[4] S.P. Benz and C.A. Hamilton, Appl. Phys. Lett, Vol.68, 3171-3173(1996)
- [5] H.Sasaki, S. Kiryu, F Hirayama, T.Kihuchi, M. Maezawa and A. Shoji and S.V. Polonsky, EID-08/ASC98/p1-p4(1998)
- [6] V.K. Kaplunenko and E. Wikborg, IEEE Trans. Appl. Supercond. Vol.7, 2288-2291(1997)
- [7] R.D.Sandell, B.J. Darlymple and A.D. Simth, IEEE Trans. Appl. Supercond. Vol.7, 2468-2471(1997)
- [8] C.A. Hamilton, C.J Burroujhs and R.L.Kautz, IEEE Trans. Inst and Meas, Vol.44, 223-225(1992)
- [9] R. Polel, Metrologia, 153-174(1992)
- [10] K.K.Likharev and V.K.Semanov, IEEE Trans. Appl. Supercond. Vol.1, 3-28 (1991)