

터널링자기저항소자의 정전기 방전 시뮬레이션

승실대학교 박승영*, 최연봉, 조순철

Simulation of electrostatic discharge for tunneling
magneto-resistive (TMR) devices

Soongsil University S. Park*, Y. Choi, S. Jo

1. 서론

MRAM이나 고밀도 자기기록 헤드의 재료로 가장 주목받고 있는 것은 전자의 터널링 효과를 이용한 TMR 재료이다[1]. TMR 센서는 높은 $\Delta R/R$ 로 인해 자기 기록부분의 응용에 사용되는데 있어 많은 장점을 가지고 있다. 그러나 TMR 소자의 중심에 절연층은 매우 얇은 산화층이 사용되는데, 이것은 시편을 제조, 측정 등 손으로 다룰 때 직류접압이나 과도한 정전기 방전(electrostatic discharge;ESD)으로부터 전기적으로 과도한 스트레스에 의한 손상에 매우 민감하다[2,3]. 본 연구에서는 CMOS 트랜지스터의 gate 산화층이나 GMR헤드의 정전기 민감도 측정 및 평가에 널리 사용되고 있는[4] 인체모델(human body model; HBM)을 TMR 소자에 적용하여 그 특성을 알아보려고 하였다. 그리고 직류전압과 ESD에 의한 breakdown 전압을 비교하였다. 특히 PSPICE를 이용하여 접합부분의 모델링 요소들의 값들을 변화시켜 방전특성을 관찰함으로써 ESD 민감도를 좌우하는 주요한 요소가 무엇인지 알아보았다.

2. 실험방법

제조된 Substrate/Ta/NiFe/FeMn/NiFe/CoFe/Al₂O₃/CoFe/NiFe의 구조의 TMR 시편에 직류전압을 sweep하여 breakdown 전압과 failure 전압을 측정하였다. 그림 1은 이러한 구조를 갖는 시편의 접합구조에 대한 저항과 정전용량의 성분을 나타낸 것이다. 시편의 접합부위는 완전한 절연체가 아니기 때문에 저항과 정전용량은 병렬로 연결하였다. 그림 2는 그림 1을 바탕으로 전극의 저항과 정전용량 그리고 HBM 모델을 고려하여 시편의 전체 구조에 대한 모델이다. 각 저항 성분은 200 μ m \times 200 μ m 크기의 시편을 측정 한 값이 설정되었다. 그리고 Al₂O₃를 중심으로한 C4의 정전용량은 측정된 시정수를 기준으로 PSPICE를 이용하여 계산되었다[5]. HBM은 100 pF의 콘덴서에 충전된 전하가 1.5 k Ω 의 저항을 통해 방전되도록 하였다. 이때 콘덴서에 충전된 전압은 12 V이고, 저항 R5와 콘덴서 C4를 변화시켜 방전되는 현상을 PSPICE를 이용하여 살펴보았다.

3. 실험결과 및 고찰

그림 3은 접합을 통과하는 저항 R5를 실제 시편의 저항인 5.3 k Ω 로 설정하고 콘덴서 C4의 정전용량을 변화시켜가며 시뮬레이션한 결과이다. C4의 정전용량이 작으면 HBM 전압인 12 V에 근접한 피크전압을 보인다. 그리고 50 pF이상의 정전용량에서는 TMR 시편에 전달되는 전압의 최고치가 6.5 V 근처에서 0.2 V 이하로 거의 변화가 없음을 볼 수 있다. 그림 4는 콘덴서 C4의 정전용량을 90 pF으로 설정하고 R5를 변화시켜가며 시뮬레이션한 결과이다. R5가 크면 HBM 전압에 근접하고 10 Ω 까지 작아지면 시편에 전달되는 전압이 5 V까지 감소함을 볼 수 있다.

따라서 TMR 시편의 HBM 전압에 대한 내구성은 접합의 정전용량 그리고 top과 bottom 리드의 저항에 비례하고 접합을 통과하는 저항에 반비례함을 할 수 있다. 이것은 접합을 통과하는 저항을 줄이고 접합면의 정전용량을 향상시키면 HBM 전압에 대한 내구성을 향상시킬 수 있음을 의미한다. 그러나 접합면의 정전용량을 제어하는 것은 어려울 뿐 아니라 일정한 용량 이상에서는 더 이상 효과를 볼 수 없고, 이것이 클 경우 전달지연을 초래한다. 결국 TMR 시편의 접합을 통과하는 저항을 줄이는 것이 ESD에 대한 민감도를 최소화할 수 있는 방법이라 사료된다.

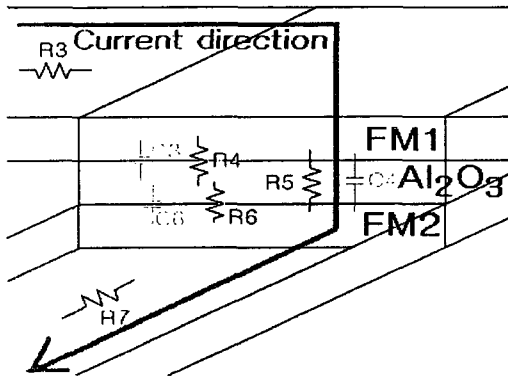


Fig. 1. Structure of TMR device and parasitic components. Numbers of each components are matched in Fig. 2.

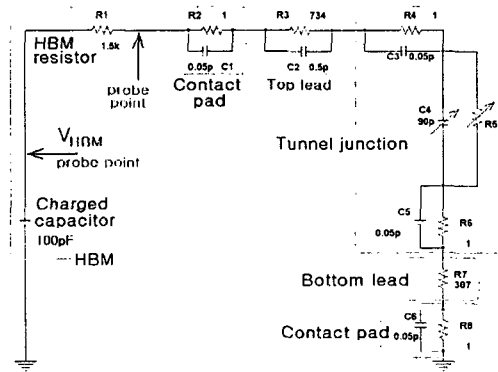


Fig. 2. Schematic diagram of TMR device utilizing PSPICE

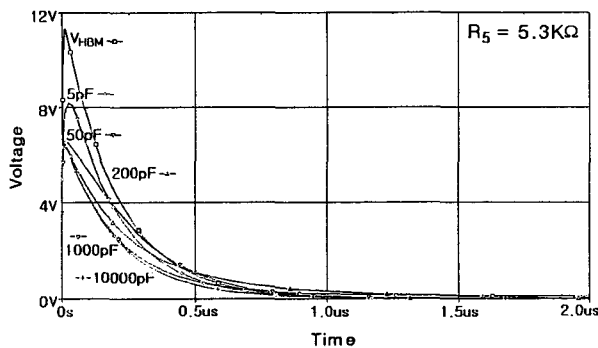


Fig. 3. Variation of junction capacitance(C4)

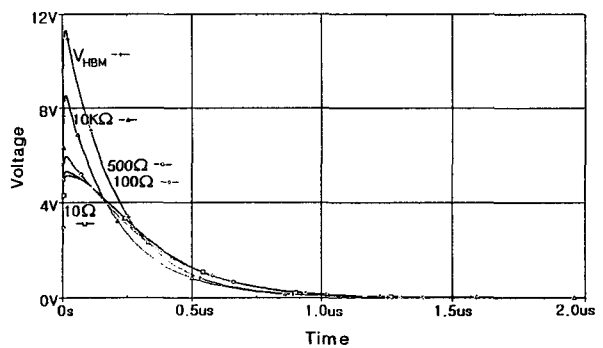


Fig. 4. Variation of junction resistance(R5)

참고문헌

- [1] S. S. P. Parkin, et. al., J. Appl. Phys., 85, 5828(1999)
- [2] W. Oepts et al., Appl. Phys. Lett., 73, 2363(1998)
- [3] A. Wallash et al., IEEE Tans. Magn., 36(5), 2809(2000)
- [4] M. J. S. Smith "Application-specific integrated circuits" Addison-Wesley Pub. Co., Inc. (1997), p. 100,, Chap. 2.
- [5] 박승영 외, 한국자기학회 춘계학술대회, 11(1), 34(2001)