

## PDP의 프라이밍 방전특성에 관한 연구

(A Study on the Characteristics of Priming Discharge in the PDPs)

손현성\*, 채승엽, 엄정덕

(Hyunsung Son, Soungyeop Chae, Jeongduk Ryeom)

경주대학교 컴퓨터전자공학부

## Abstract

Period which does an electric condition of panel in reset in the driving method of PDP is reset period. This research experimentally analyzed the priming discharge characteristic of reset period. The amount of wall charge and the accumulation time accumulated by priming discharge are unrelated to width of priming pulse. And, self-erase discharge has the relation in the amount of wall charge by priming discharge. Then, it relates also to space charge generated by priming discharge. Moreover, space charge which helps self-erase discharge exists to about  $22\mu\text{s}$  after generating priming discharge. And, it is suitable within  $12\mu\text{s}$  of priming pulse width for efficient reset.

## 1. 서 론

현재 플라즈마 디스플레이는 대화면 벽걸이 디스플레이로서 가정용 디지털 TV 뿐만 아니라 방송국 모니터, 공항 터미널, 지하철역 영화관등의 공공정보 표시용 디스플레이등 많은 응용분야에서 활발히 사용되기 시작하였다.

현재 사용 중인 플라즈마 디스플레이는 패널 구조가 교류구동형 면방전 구조이며 구동방식이 ADS 구동방식임은 이미 주지의 사실이다. 이 구조와 구동방식은 수명 측면에서 직류구동형 보다 장점을 가지며 휘도 측면에서 대향방전 구조보다 우수하다. 또한 대화면의 패널을 단순하면서도 쉽게 제어할 수 있는 구동회로의 설계를 가능하게 한다.[1] 그러나 학계, 업계에서는 PDP의 기술이 아직 개발단계에 있다고 보며 PDP의 성능, 가격, 품질 그리고 화질등을 개선하기 위하여 여러 가지 방전구조들에 대한 연구가 이루어지고 있고 더불어 이들 방전을 제어하는 기술들 역시 현재까지 많은 연구가 이루어져 왔다.

그 중 구동기술분야를 보면 HDTV 시대의 도래와 함께 고해상도 PDP에 적합한 고속구동을 위해 폭이 좁은 펄스에 의한 고주파 어드레스 구동기술, 상하분할 동시 구동기술등 여러 가지 구동방식들이 연구, 개발되고 있다.[2][3][4] 그러나 플라즈마

디스플레이는 대화면 디스플레이이므로 전극의 면적이 대단히 커서 고속구동기술을 적용하는 경우 패널 전면의 균제도가 저하하는 문제점이 있다. 이러한 문제점은 PDP의 전극들을 균일하게 초기화시켜야만 해결되며 이와 관련하여 초기화 구동기술이 많이 연구되고 있다. 이러한 초기화 구동기술은 일반적으로 고전압에 의한 패널전면의 강제방전을 그 근본으로 하고 있다. 이러한 강제방전은 그 다음에 자기소거방전을 수반하므로 이 자기소거방전에 의해 각 화소의 벽전하는 균일하게 초기화 될 수 있다.

본 연구는 이러한 초기화 방전 및 자기소거방전의 특성을 연구한 것으로 최적의 펄스전압과 초기화 방전 중의 방전특성의 시간적인 변화를 실험을 통하여 규명하였다.

## 2. 프라이밍방전 제어기술

PDP는 가로, 세로 백여 $\mu\text{m}$ 의 방전공간에 미세 방전을 일으켜 그 발광량을 제어하여 화상을 구현하는데 이러한 과정은 크게 초기화(reset)과정, 어드레스(address)과정 그리고 표시방전유지(sustain)과정의 세가지로 나눌 수가 있다. 그림 1은 본 연구에서 사용된 구동회로의 펄스 타이밍도이다. 여기에서는 초기화 기간에 강방전을 일으키는 정과 부

의 펄스를 X, Y 양측에 모두 주었으며 이어서 잔류벽전하를 소거하기 위한 2개의 제2 소거펄스를 인가하였다. 그리고 표시방전 유지기간의 첫 표시방전 펄스는 그 폭을 넓게 하여 안정적인 표시방전을 유도할 수 있게 하였다.

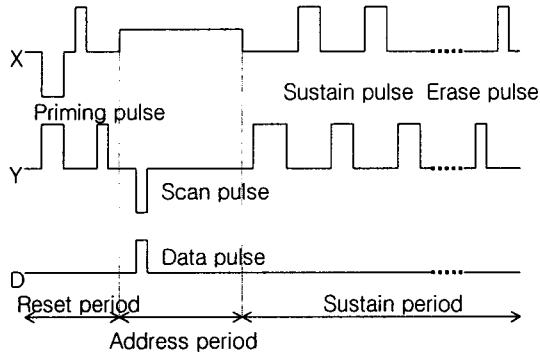


그림 1. 실험에 사용한 PDP의 구동펄스 타이밍도  
Fig. 1. Timing chart of driving pulses for the PDP using this experiment.

그림 1에 도시한 것과 같이 PDP는 초기화기간에 강방전인 프라이밍(priming)방전을 일으키는 과정을 설치한다. 이 프라이밍 방전은 패널 전면에 강한 방전을 일으켜 패널전면을 균일하게 초기화시키는 역할을 한다. 초기의 PDP에서는 패널전면의 벽전하를 완전히 소거시키는 용도와 방전시 발생하는 공간전하의 프라이밍 효과에 의해 어드레스 방전의 방전개시전압을 낮추는 두가지 목적으로 한 필드 안에 복수개로 있는 각 서브필드마다 한번씩의 초기화 방전펄스를 삽입하였다. 그러나 이경우 초기화 방전은 불필요한 배면휘도를 증가시키므로 명암비가 나빠져 시인성이 떨어진다. 이후 여러 연구결과에서 방전에서 발생하는 공간전하가 다음 방전에 영향을 미치는 것은 수십  $\mu\text{s}$  이내라는 것이 밝혀졌으며[5][6] ADS 구동법에서는 구동 특성상 어드레스 펄스들의 간격이 최대 1ms 이상임을 감안할 때 초기화 방전에서 발생하는 공간전하는 방전의 안정화에 거의 영향을 미치지 못한다. 그러나 초기화방전에 의해 준안정상태의 Ne 입자들이 다량 생성되고 이것이 어드레스 방전에 영향을 끼친다면 이러한 준안정상태의 원자는 수분 이상 생존이 가능하므로 페닝효과에 의해 방전전압이 낮아지고[1] 1ms이상의 시간간격에서도 균일한 방전특성을 얻을 수가 있다. 그리고 패널을

균일하게 만드는 공정기술이 발전함에 따라 매필드에 한번의 초기방전을 하더라도 안정된 어드레스 특성을 나타낼 수가 있게 되었다. 또한 초기화 방전에서 형성되는 잔류벽전하를 소거하기 위해서는 1, 2회의 소거방전을 병행하였는데 이러한 방전역시 배면휘도의 증가와 관련이 있으므로 이를 줄이기 위해서 강방전에 의한 자기소거방전(self-erase discharge) 기술이 개발되었다. 이 자기소거 방전은 강한 초기방전에 의해 형성된 과잉의 벽전하가 펄스전압이 사라진 직후 스스로 방전하게 함으로써 재결합에 의해 스스로 소멸되는 특징을 나타낸다. 이 기술은 배면휘도를 크게 줄일 수 있어 PDP의 화질을 높이는데 큰 기여를 하였다. 최근의 초기화 방전의 기술동향은 초기방전의 본래기능인 패널전면의 전기적 조건을 균일화하는 측면이 강조되면서 서서히 증가하는 램프형태의 과형에 의한 자기소거 방전을 응용한 초기화 방전 기술이 주로 연구되고 있다.[7] 이러한 램프과형은 각 전극에 잔류하는 벽전하의 양에 따라 각각 다른 전압에서 초기화 방전을 일으킬 수가 있어 초기화 방전의 강도를 크게 줄일 수 있으므로 불필요한 배면휘도를 많이 줄일 수가 있다. 그림 2는 초기화펄스에 의한 프라이밍 방전과 자기소거방전의 광출력을 측정된 것이다.

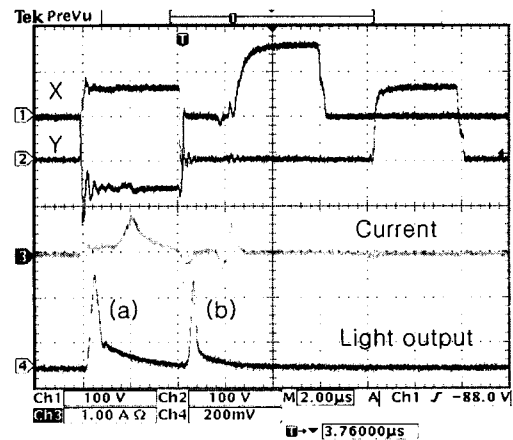


그림 2. 강방전에 의한 자기소거 방전

- (a) 프라이밍 방전
- (b) 자기소거방전

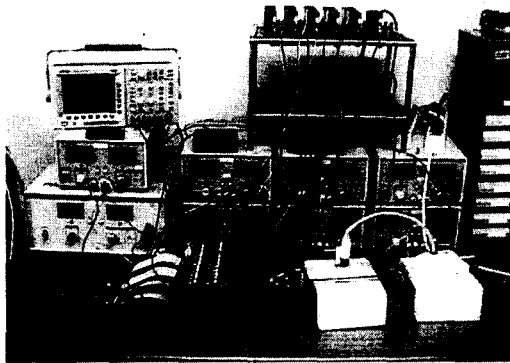
Fig. 2. self-erase discharge according to the strong discharge.

- (a) Priming discharge
- (b) Self-erase discharge

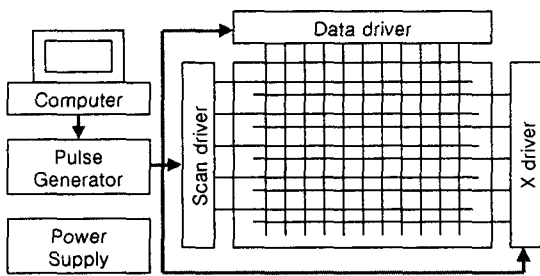
### 3. 프라이밍방전 특성 실험

#### 3.1 실험방법

그림 3은 본 연구에 사용된 실험장치이다. 본 실험장치는 크게 퍼스널 컴퓨터와 제어용 펄스 발생부, 고전압 펄스 발생용 스위칭회로인 고전압 드라이버부, 그리고 각종 전원공급장치로 나누어져 있다. 퍼스널 컴퓨터는 디지털 시스템 설계용 S/W가 인스톨되어 있어 구동펄스의 타이밍을 설계, 시뮬레이션한 후 펄스 발생부의 EPLD를 프로그래밍하는데 사용된다. 펄스 발생부는 EPLD와 몇 개의 멀티바이브레이터를 사용하여 설계된 각종 펄스들의 폭 및 인가타이밍을 미세조정하는 것이 가능하다. 고전압 드라이버부는 직접 PDP에 인가하는 고전압 펄스를 발생시키는 부분으로 N형과 P형의 고전압 FET가 쌍으로 되어있는 인버터 회로들로 구성되어 있다. 전원공급장치는 로직전원, 포토커플러용 전원 및 PDP 구동용 고전압 전원등의 DC 전원들로 이루어져 있다.



(a)



(b)

그림 3. 실험에 사용된 플라즈마 디스플레이 구동장치

(a) 구동 시스템의 사진

(b) 구동회로 시스템의 구성도

Fig. 3 Plasma display drive system used to

(a) image of driving system

(b) block diagram of driving system

그림 4는 본 연구에 사용된 초기화기간의 펄스 타이밍도를 자세히 나타낸 것으로 강방전 및 자기소거방전을 일으키기 위한 프라이밍 펄스와 이후 잔류할 지도 모르는 벽전하를 소거하기 위한 두 번의 제2 소거펄스(erase2 pulse)로 이루어진다. 본 연구에서는 프라이밍 펄스의 폭과 전압을 변화시킬 때 프라이밍 펄스와 자기소거 펄스 그리고 제2 소거펄스에 의해 방전이 어떻게 변화하는지를 실험하였다.

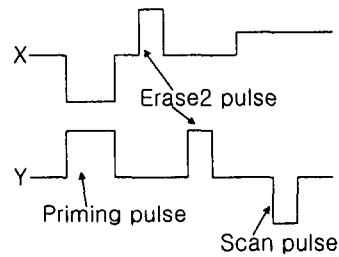


그림 4. 실험에 사용된 초기화 기간의 펄스 타이밍도

Fig. 4 pulse timing of reset period used to

experiment

#### 3.2 실험결과 및 검토

그림 2와 그림 5는 실험결과로써 방전에 의한 광출력을 측정 한 오실로스코프의 파형을 나타낸 것이다. 이 결과는 구동회로의 어드레스기간 및 표시방전기간의 펄스들은 최적화된 일정한 전압을 유지하면서 프라이밍 펄스의 폭만 변화시킨 것이다. 그림 2는 프라이밍 펄스폭이  $4\mu s$ 로써 자기소거방전이 강하게 일어나 잔류벽전하를 소거함으로써 제2방전이 일어나지 않고 있음을 보여준다. 그림 5의 (a)는 프라이밍 펄스 폭이  $10\mu s$ 로써 자기소거방전이 약해지고 상대적으로 증가한 잔류 벽전하에 의한 제2소거방전이 일어나기 시작하고 있음을 보여준다. 또한 (b)를 보면 프라이밍 펄스 폭이  $22\mu s$ 로써 자기소거 방전은 일어나지않고 전적으로 제2소거방전에 의해 소거가 일어나고 있음을 알 수 있다.

이러한 현상에서 강방전에 이어 자기소거방전이 쉽게 일어나기 위해서는 어느정도의 공간전하가 필요하다는 것을 알 수 있다. 또한 3가지 경우 모두 잔류파형을 보면 프라이밍 방전이 일어나고 약

2 $\mu$ s 정도에 최대치를 가지는데 이 전류는 벽전하의 축적시 나타나는 전류이다. 이로부터 벽전하 축적률은 방전직후부터 2 $\mu$ s 정도 지난 후에 최대가 되며 이후 축적된 벽전하에 의해 내부 전계가 약해지고 이로 인해 방전이 소멸되면서 벽전하 축적량도 점점 줄어드는 것을 알 수 있다. 또한 벽전하가 완전히 축적되는데 필요한 시간은 패널의 구조에 따라 편차는 있으나 프라이밍 펄스의 폭과는 무관하게 대략 4 $\mu$ s 가 필요하며 이는 기존의 연구 결과[8]하고도 일치함을 알 수 있다.

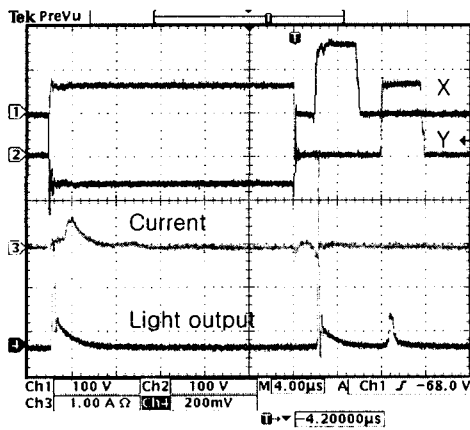
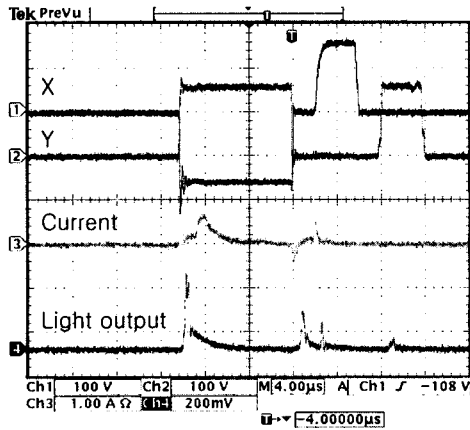


그림 5. 초기화 방전의 측정결과  
 (a) 프라이밍방전 + 자기소거방전 + 제2소거방전  
 (b) 프라이밍방전 + 제2 소거방전  
 Fig. 3 measurement results of reset discharges  
 (a) priming + self-erase + erase2 discharges  
 (b) priming + erase2 discharges

그림 6.은 프라이밍 펄스의 펄스폭에 대한 자기소거방전과 제2소거방전의 광출력의 변화를 정성적으로 비교한 것이다. 그림에서 보면 제2 소거방전

은 프라이밍 펄스폭이 대략 8 $\mu$ s 이후에서 나타나기 시작하며 이 시점으로부터 자기소거방전의 강도가 급격히 약해진다. 또한 자기소거방전은 프라이밍 펄스폭이 22 $\mu$ s 이후에 소멸되는 것을 알 수가 있다. 앞의 그림 2와 5에서 보면 프라이밍 방전에 의한 전류의 변화가 펄스폭에 관계없이 일정한 것을 알 수 있고 이로부터 추론하여 프라이밍 방전 전압이 일정한 경우 프라이밍 방전에 의해 축적되는 벽전하량은 일정한 것으로 가정할 수 있다. 그러므로 자기소거방전이 약해진다는 것은 공간전하의 영향이 약해진다는 것으로 볼 수 있으므로 방전에 의해 발생된 공간전하가 그 다음 방전에 영향을 미칠 수 있는 범위는 22 $\mu$ s 이내인 것으로 추측된다. 그러므로 자기소거 방전은 프라이밍에 의한 과잉벽전하에 의해서 뿐만 아니라 이때 발생하는 공간전하에 의해서도 영향을 받는다고 할 수 있다. 또한 자기소거방전이 효과적으로 일어나기 위해서는 프라이밍 펄스의 폭이 8 $\mu$ s 이내이어야 함을 알 수 있다.

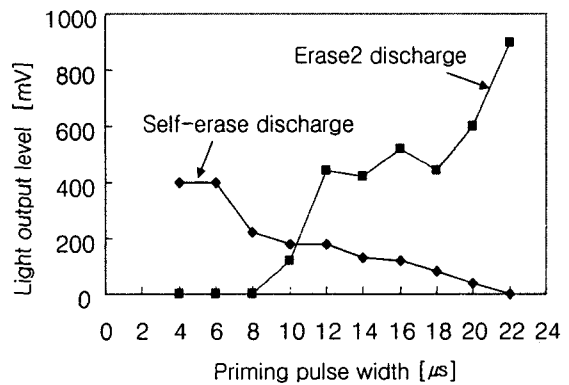


그림 6. 프라이밍 펄스폭과 초기화방전의 광출력과의 관계  
 Fig. 6 the relation between priming pulse width and light output of reset discharges

그림 7.은 프라이밍 펄스폭과 프라이밍 펄스전압과의 관계를 나타낸 것으로 각각의 영역 (a)는 표시방전이 안정한 상태로 유지되는 프라이밍 펄스 전압의 한계, (b)는 프라이밍 방전과 자기소거방전만 일어나는 영역, (c)는 프라이밍 방전과 자기소거방전 그리고 제2소거방전이 모두 일어나는 영역, 그리고 (d)는 프라이밍 방전과 제2자기소거 방전만 일어나는 영역을 나타낸다. 그림에서 보면 표시방전이 안정하게 유지되는 프라이밍 전압의 한계는

프라이밍 펄스 폭에 무관하게 일정함을 알 수가 있다. 또한 펄스폭이 넓어질수록 프라이밍 펄스전압이 높아져가는데 이는 강한 방전으로 공간전하의 양이 늘어나야 자기소거방전이 용이하게 일어날 수 있음을 시사하는 것이다. 그리고 펄스폭이 점점 넓어지면 자기소거방전의 한계 및 제2소거방전의 한계는 점점 포화되어가는 것을 알 수 있다. 이는 좀더 여러각도에서 실험해보아야 하지만 프라이밍 방전이 아무리 강해도 공간전하들이 생존할 수 있는 시간에는 한계가 있음을 나타낸다고 생각할 수가 있다. 그리고 펄스폭이 넓어짐에 따라 각 영역이 좁아지는 것을 알 수 있다. 이로부터 추론하면 프라이밍 펄스의 폭은 너무 넓지 않아야 하며  $12\mu\text{s}$  이내가 적당할 것이다.

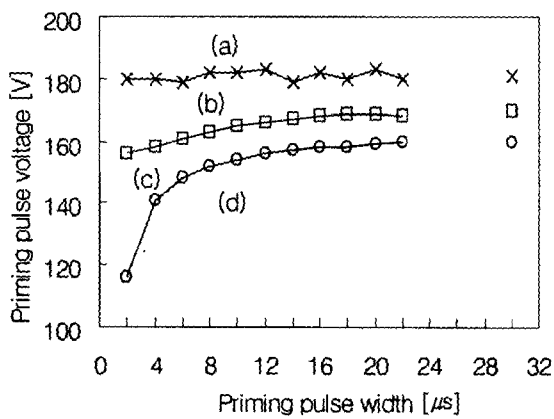


그림 7. 프라이밍 펄스폭과 프라이밍 펄스전압과의 관계  
Fig. 6 the relation between priming pulse width and priming pulse voltage.

#### 4. 결론

본 연구에서는 3전극 교류구동형 면방전 PDP의 구동특성 중 패널의 전기적 조건을 초기화하는 초기화기간의 프라이밍 방전특성에 대하여 실험을 통하여 해석하였다. 그리고 실험결과 다음과 같은 사실들을 알았다.

- (1) 프라이밍 방전에 의해 축적되는 벽전하량과 벽전하 축적 시간은 프라이밍 펄스 폭에 무관하다.
- (2) 프라이밍 펄스의 종료직후 발생하는 자기소거방전은 프라이밍 방전에 의한 벽전하량과 관련이 있을 뿐만 아니라 이때 발생하는 공간전하량과도 관계가 있다.
- (3) 방전에 도움을 주는 공간전하는 방전 발생후

$22\mu\text{s}$  정도까지 존재한다.

(4) 효율적인 초기화를 위한 프라이밍 방전전압은 펄스폭이 넓어짐에 따라 일정 전압에서 포화하는 경향을 지닌다.

(5) 프라이밍 펄스폭은  $12\mu\text{s}$  이내가 적당하다.

본 연구에서는 강방전 펄스에 대해 프라이밍 방전의 특성을 해석하였으나 추후에는 서서히 변화하는 램프형태의 프라이밍 펄스에 대해서 실험하여 본 결과의 타당성을 검증해볼 필요가 있다.

#### 참고 문헌

- [1] 御子柴 茂生, "플라즈마 디스플레이 最新技術", ED 리서치社, 1996.
- [2] H. Hirakawa, et al., "Cell Structure and Driving Method of a 25-in. (64-cm) Diagonal High-Resolution Color ac Plasma Display", SID 98 Digest, pp279~282, 1998.
- [3] J. Ryeom, et al., "The New Driving Scheme of Full TV Field Display for 42-in. WVGA PDP", SID 00 DIGEST, pp.738-741, 2000
- [4] E. Mizobata, et al., 'Development of a New Gray Scale Driving Method by Controlling Wall Voltage of Addressing Step', SID 02 Digest, pp.944-947, 2002.
- [5] 염정덕, "플라즈마 디스플레이의 공간전하 특성에 관한 연구", 조명·전기설비학회논문지 11월호, Vol.15, No.6 pp.1-7, 2001
- [6] Y.Takeda, et al., "A Technique for Reducing Data Pulse Voltage in AC-PDPs using Metastable-Particle Priming", IDW 99, pp747-750, 1999
- [7] L. F. Weber, "Plasma Display Device Challenges", ASIA Display 98, pp.15-pp.27, 1998
- [8] J. Ryeom, K. Y. Park, S. Mikoshiba, "A Drive-Voltage Reduction of AC PDPs by Use of Space-Charge-Control Pulses", Conference Record of the International Display Research Conference 1997, pp.390-393, 1997