

GaAs/Pt hybrid device의 diode 특성에 관한 연구

Seoul National University, Korea Institute of Science and Technology
 Seoul National University, Korea Institute of Science and Technology
 Andong National University, Korea Institute of Science and Technology
 Seoul National University
 Korea Institute of Science and Technology

J. H. Lee*
 S. H. Jang
 G. H. Kim
 K. H. Oh
 K. Y. Kim

1. 서 론

최근 자성박막과 이를 이용해 전자의 스핀을 제어할 수 있게 되면서, 이를 이용한 자기미세소자에 대해 많은 연구가 이루어지고 있다. 그 중 자성 다층박막과 자성 터널 접합에 대한 연구가 많이 행해지고 있는데, Co/Cu 다층박막으로 제조한 소자는 상온에서도 65%를 넘는 큰 자기저항비를 보여주고 있다[1]. 또 다른 자기전자소자로 스핀 밸브 트랜지스터(SVT)가 있다[2]. 스핀 밸브 트랜지스터는 두 반도체 기판 사이에 금속 박막을 다층으로 삽입된 구조로 구성되어 있다. 스핀 밸브 트랜지스터의 원리는 Fermi energy 부근 전자들보다는 hot electron의 스핀 의존 이동에 기반을 두고 있는데, 여기에서 hot electron의 에너지는 emitter의 Schottky barrier height에 의존한다. 주입된 전자는 collector의 Schottky barrier height를 넘는 경우에만 collector에 도달할 수 있다. 비록 상온에서 300% 이상의 큰 자기전류효과를 보이고 자기장에 민감하게 반응하지만, 수십 나노암페어 수준의 낮은 출력전류로 인해 SVT 소자의 응용이 제한된다[3]. 이에 한 면의 반도체 기판을 제거하고 두 자성층 사이에 터널층을 삽입한 구조가 Parkin에 의해 제안되어 Metal - Insulator - Metal - Semiconductor (MIMS) 구조의 SVT가 제작되었는데, 인가자장과 emitter-base간 전압에 따른 자기전류 거동은 양호한 특성을 보였으나 누설전류와 같은 문제점이 남아있다[4]. 실제 MIMS 타입의 소자에서는 금속-반도체간 전도도 불일치로 인해 그 특성이 제한되고 있다. 이러한 문제를 해결하기 위해 Dilute Magnetic Semiconductor가 제안되었으나 큐리온도가 매우 낮아 이 역시 사용하기에는 아직까지는 무리가 있는 것으로 알려져 있다.

MIMS 타입의 혼성소자는 비록 아직 해결되지 않은 문제를 안고있지만 다른 타입의 스핀소자에 비해 그 공정이 간단하면서도 기존의 트랜지스터와 비교해 큰 성능 향상을 기대할 수 있기 때문에, 본고에서는 MIMS 타입의 magnetic tunneling transistor 제작을 위한 사전 준비로 base와 collector 사이에 양질의 Schottky barrier를 형성하기 위한 연구를 수행하였다.

2. 실험 방법

Schottky diode는 n-type GaAs(100) (doping density $N_D=1-10 \times 10^{16}/\text{cm}^3$) 기판 위에 dc magnetron sputtering을 이용해 Pt t Å / IrMn 200 Å / Pt 30 Å을 증착하였다. Pt의 두께는 30, 50, 100 Å으로 바꾸어가며 쌓아 Pt층 두께변화에 따른 특성변화를 관찰하였으며, IrMn은 wire bonding시에 인가되는 열과 초음파 진동에서 Schottky barrier를 보호하기 위해, 마지막의 Pt 30 Å은 capping과 수월한 wire bonding을 목적으로 추가되었다. 기판의 자연산화막을 제거하는 데는 건식과 습식의 두 가지 방법을 사용하였다. 건식법을 사용한 시편은 in-situ sputter etch를 이용한 방법으로, photolitho공정을 거친 시편을 10W RF로 12분간 sputter etch하여 박막증착부분의 oxide를 제거하였다. 그리고 습식법을 사용한 시편은 TCE, acetone, MeOH를 이용해 precleaning을 한 후 0°C의 $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 을 8 : 1 : 1 로 섞은 용액에 1분 30초, $\text{HCl} : \text{H}_2\text{O}$ 을 1 : 10으로 혼합한 용액에 담가 oxide를 제거한 후 메탈마스크를 덮고 공정을 시작해 Schottky barrier를 제작하였다.

이렇게 제작한 시편과 PCB 기판을 wire bonding으로 연결한 후 전압을 -1 V에서 +1 V까지 인가하며 I-V curve를 얻은 후 barrier height와 ideality factor를 계산하였다.

3. 실험결과 및 고찰

그림 1, 2에 제작한 Schottky barrier의 특성을 요약하여 나타내었다. 본 실험에서 제작한 Schottky

barrier의 I-V curve는 양의 전압이 가해지는 범위에서는 전형적인 I-V curve의 모습을 보여주었다. barrier height는 0.684 eV에서 0.871 eV 사이에서 분포하였는데 wet cleaning을 한 경우에서 최대값과 최소값이 모두 얻어졌으며, dry cleaning을 한 시편에서는 0.771 eV에서 0.796 eV 사이로 비교적 안정적인 값이 얻어졌다. 누설전류가 가장 작은 V=0일 때의 값은 전반적으로 wet cleaning을 거친 시편이 dry cleaning을 거친 시편에 비해 높았지만 그 값은 7.0×10^{-10} 아래쪽에 있어 매우 작은 누설전류를 보여주었다. 하지만 전압을 음의 값으로 크게 인가함에 따라 leakage current가 점차적으로 증가하여 그 값이 -10^{-7} A에서 심한 경우 -10^{-4} A까지 증가하는 모습을 볼 수 있었다. 본 실험결과에서는 전반적으로 Pt의 두께가 두꺼운 시편에 비해서는 얇은 시편이, wet cleaning보다는 dry cleaning을 거친 시편에서 높은 barrier height와 낮은 leakage current를 얻을 수 있었다.

leakage current는 metal / semiconductor interface가 ion 충돌 등으로 인한 결함생성에서 기인한다고 알려져 있다. 같은 이유로 dry cleaning보다 wet cleaning에서 보다 좋은 negative bias 특성을 가진다고 알려져 있는데, 본 실험결과에서는 건식으로 산화막을 제거한 시편에서 오히려 비교적 양호한 negative bias 특성을 보이고 있다. 이는 좋지 않은 negative bias 특성의 원인이 cleaning 외의 다른 문제라는 것을 의미하는데, 이 부분에 대해서는 추가실험을 통한 원인규명이 필요하다. 또한 전반적으로 ideality factor가 1.4 이상의 큰 값을 가져, 제작한 Schottky barrier의 거동이 thermionic diffusion에 기반한 이론과는 어느 정도 맞지 않아 이 부분에 대한 공정개선이 요구된다.

4. 실험결과 및 고찰

제작한 GaAs/Pt Schottky barrier의 특성을 I-V curve를 통해 알아보았다. wet cleaning을 한 시편보다 dry cleaning을 한 시편에서, Pt의 두께가 두꺼운 시편보다 얇은 시편에서 전반적으로 안정적인 데이터와 높은 barrier height가 얻어졌다.

양의 전압이 인가될 때는 아무런 문제가 없었으나 음의 전압이 인가되면서 current의 세기가 증가한다는 문제점이 있었고, 양호한 barrier height에도 불구하고 ideality factor가 높아 열이온적 전자이동 외의 다른 요인이 개입하고 있음을 알 수 있었다.

5. 참고문헌

[1] S. S. P. Parkin, Z. G. Li, and D. J. Smith, Appl. Phys. Lett. **58**, 2710 (1991).
 [2] D. J. Monsma, J. C. Lodder, Th. J. A. Popma, and B. Dieny, Phys. Rev. Lett. **74**, 5260 (1995); D. J. Monsma, R. Vlutters, and J. C. Lodder, Science **281**, 407 (1998)
 [3] P. S. A. Kumar, R. Jansen, O. M. J. van't Erve, R. Vlutters, S. D. Kim, and J. C. Lodder, Physica C **350**, 166 (2001)
 [4] S. Dijken, X. Jiang, S. S. P. Parkin, Appl. Phys. Lett, **80**, 3364 (2002)

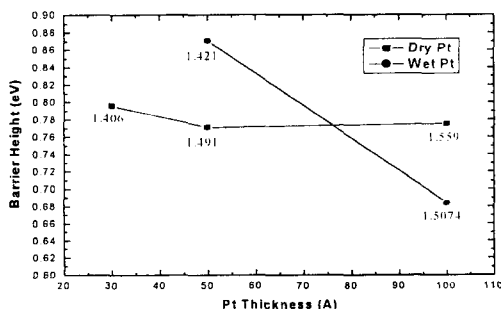


Fig. 1. Pt thickness dependence of barrier height.

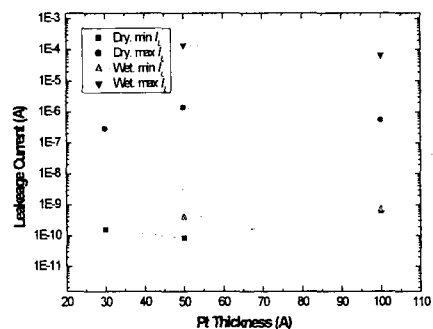


Fig. 2. Pt thickness dependence of Maximum / Minimum leakage current