

PDP 구동용 IPM 개발에 관한 연구

김진일<sup>1</sup>, 정진범<sup>1</sup>, 김희준<sup>2</sup>, 김선현<sup>1</sup>, 오필경<sup>1</sup>,  
<sup>1</sup>한양대 전자전기제어계측공학부, <sup>2</sup>한양대 전자 컴퓨터공학부, <sup>1</sup>화인SPN(주) 기술연구소.

A Study on The Development of IPM for PDP Drive.

Jin Il Kim<sup>1</sup>, Jin Beom Jeong<sup>1</sup>, Hee Jun Kim<sup>2</sup>, Sun Hwan Kim<sup>1</sup>, Pil Kyoung Oh<sup>1</sup>  
<sup>1</sup>Dept. of Electronic & Electrical & control & Instrumentation Engineering Hanyang Univ.,  
<sup>2</sup>School of Electrical Engineering & Computer Science Hanyang Univ.,  
<sup>1</sup>Fine SPN R&D Center

**Abstract** - Plasma Display Panel(PDP) has been recognized as one of the most competitive display panel. Hence, the importance of PDP driving circuit is getting higher and higher. At the same time, it is strongly required for the driving circuit to be high efficiency, high stability, and cost effective one. In this work, a stable PDP driving circuit is developed by improving the circuit configuration. And the reliability and the productivity of the driving circuit are improved by using the Intelligent Power Module(IPM) technology. Finally operating characteristics of the developed IPM driving circuit are verified by using signal source board developed.

벽 사이의 커패시터  $C_0$ 에 전하가 충전되게 되며, 이를 벽전하라 부른다. 이렇게 한 번 벽전하가 형성되게 되면, 방전전압보다 낮으며 방전전압의 1/2보다 높은 유지전압  $V_{sus}$ 가 반대 방향으로 인가 되어도, 이 셀은  $C_0$ 의 전압과  $V_{sus}$ 의 합의 전압이 방전벽에 걸리게 되므로 계속적으로 방전을 유지할 수 있다. 이렇게 초기 방전이 이루어진 셀은  $C_0$ 에 저장된 벽전하에 의해 교번의 유지전압  $V_{sus}$ 가 인가되면, 계속 점등되게 되고, 초기 벽전하가 형성되지 않은 셀은  $V_{sus}$ 를 인가하여도 계속 소등된 상태로 남는다. 이를 PDP 셀의 메모리 효과라 한다. 이로써 모든 셀을 한 가지 신호로 구동할 수가 있다.

1. 서 론

차세대 벽걸이형 텔레비전으로 주목받고 있는 PDP (Plasma Display Panel)는 기체 방전에 의해 생성된 Plasma를 이용하여 영상을 표시하는 장치이다. PDP는 두께가 10cm 이하라는 점과 무게가 CRT에 비하여 상당히 가벼우면서 대형화가 가능하다는 장점을 가지고 있어 차세대 가정용 디스플레이를 포함한 대형 디스플레이 분야에서 아주 높은 가능성을 가지고 있다고 할 수 있다. 그러나 PDP의 구동회로를 구성함에 있어 회로의 손실 감소와 안정성, 그리고 경쟁력 확보를 위한 제품 원가의 절감 등이 요구되어진다.

본 논문에서는 구동회로의 기술개발 및 개발을 통하여 PDP 구동 회로를 IPM(Intelligent Power Module)화 함으로써 제품의 생산성과, 신뢰성을 향상 시키고, 제품의 부피를 감소 시켰으며 저가의 구동 IC를 사용하여 원가절감을 통한 제품 경쟁력을 확보하였다. 또한 PDP 구동용 IPM의 동작확인을 위해 EPLD를 이용하여 PDP Drive Signal과 유사한 신호를 발생시키고, 공진 인덕터와 등가의 PDP 커패시터를 내장한 Signal Board를 제작하였으며 시뮬레이션 결과와 비교함으로써 구동회로의 안정적인 동작을 확인하였다.

2. 본 론

2.1 AC PDP의 동작 원리

AC PDP의 기본 동작원리를 이해하기 위해서는 그 구조를 이해하여야 한다. 그림 1은 AC PDP의 구조와 AC PDP의 가장 중요한 특징인 메모리 효과를 이해하기 위한 커패시터를 나타낸다. X전극과 Y전극 사이에 방전이 이루어질 수 있는 전압이 인가되게 되면,  $C_0$ 로 표시된 커패시터는 방전이 이루어지므로 양단이 단락된 형태로 보이게 된다. 방전전류가 흐르면서 전극과 방전

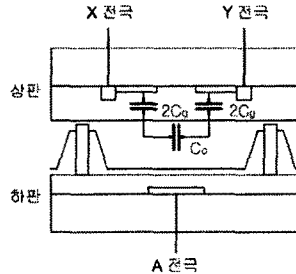


그림 1. AC PDP 셀의 구조

2.2 PDP 구동 회로

그림 2는 에너지 회수 회로를 내장한 PDP 구동회로의 구성을 나타내고 있다. 그림 2에서와 같이 PDP를 구동하기 위한 교번 전압은 서로 대칭의 구조를 가지고 있는 X전극과 Y전극이 서로 교번으로 동작함으로써 발생 하게 된다. 그러므로 X전극 하나만의 구동회로를 IPM화 하여 Y전극에 사용하여도 무방하다.

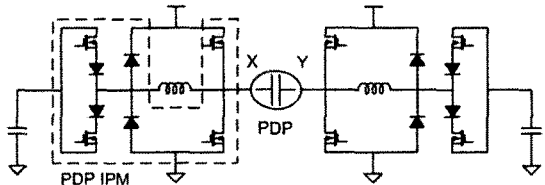


그림 2. PDP 구동 회로의 구성도

PDP 구동회로의 각 모드별 등가회로를 그림 3에 나타내었으며 모드별 회로 동작해석은 다음과 같다.

- Mode 0 ( $t_0-t_1$ ): PDP의 전압  $V_0$ 가 0 일 때, 스위치  $M_1$ 과 다이오드  $D_1$ 이 도통하게 되어 에너지 회수용 커패시터  $C$ 의 충전전압  $V_{sus}/2$ 에 의해 인덕터  $L$ 과 PDP의 커패시터가 공진하게 된다. 공진 반주기 동안  $V_0$ 는  $V_{sus}$ 로 상승하게 되고, 인덕터 전류  $I_L$ 은 반주기의 사인파를 형성한다.

- Mode 1 ( $t_1-t_2$ ): Mode 0 가 끝나는 시점  $t_1$ 에서 PDP 커패시터의 전압  $V_0$ 는  $V_{sus}$ 의 전압을 갖고, 인덕터 전류  $I_L$ 은 0이 된다. 스위치  $M_3$ 가 도통되어  $V_0$ 를  $V_{sus}$ 로 유지시키고 다이오드  $D_1$ 은 Off 되므로 에너지 회수 회로로의 전류는 끊기게 된다.

- Mode 2 ( $t_2-t_3$ ): Mode 0 와는 반대로 PDP 커패시터의 초기 전압이  $V_{sus}$ 이므로 스위치  $M_2$ 와 다이오드  $D_2$ 가 도통하여 다시 인덕터  $L$ 과 PDP의 커패시터가 공진하며  $V_0$ 를 0 으로 만들고 에너지 회수용 커패시터  $C$ 에 충전전류가 흐르게 된다. 이 때 인덕터 전류는 반대 방향이 된다.

- Mode 3 ( $t_3-t_4$ ): Mode 2가 끝나는 시점  $t_3$ 에서 PDP의 전압  $V_0$ 는 0 이 되게 되며, 스위치  $M_4$ 를 도통시켜 이 상태를 유지시킨다.

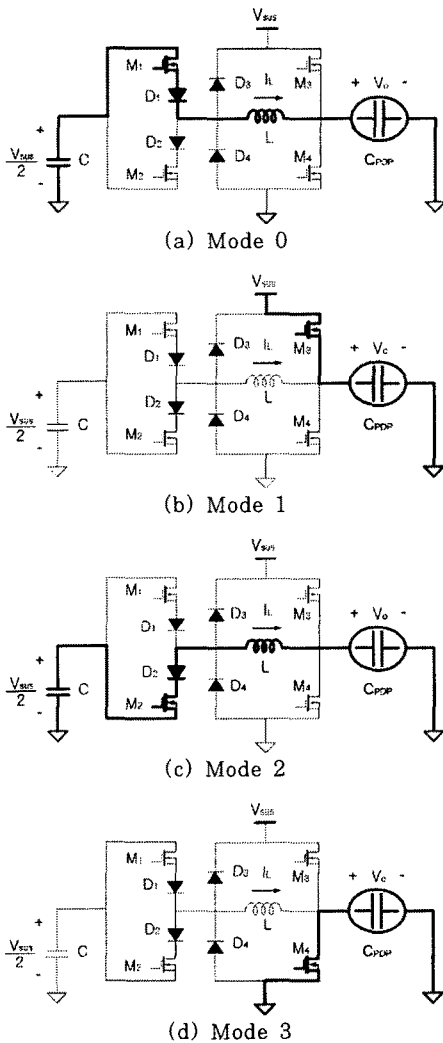


그림 3. 각 모드별 등가 회로도

그림 4에 나타난 동작파형은 이상적인 회로의 이론적인 동작파형을 나타낸다. 공진 전류  $I_L$ 의 최대치  $I_p$ 와 Mode 0 및 Mode 1의 공진 시간  $T_R$ 은 다음 식으로 구할 수 있다.

$$I_p = \frac{V_{sus}/2}{\sqrt{L/C_{PDP}}} \quad (1)$$

$$T_R = \pi\sqrt{L \times C_{PDP}} \quad (2)$$

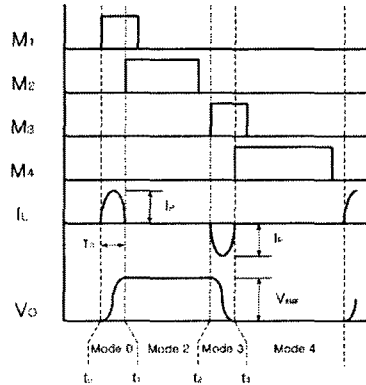
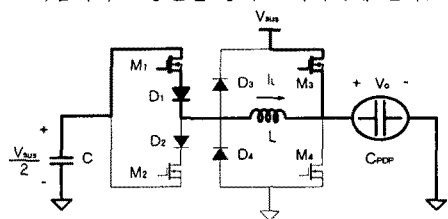
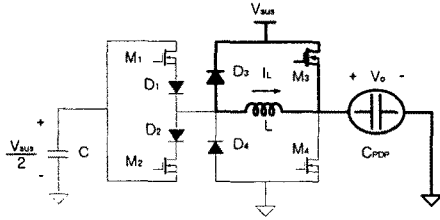


그림 4. PDP 구동 회로의 이론적 동작 파형

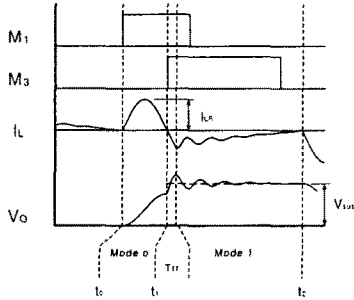
이상적인 회로가 아닌 좀 더 현실적인 구동회로의 모드 해석에 있어서는 그림 3의 다이오드  $D_3$ 와  $D_4$ 의 역할이 중요하게 된다. Mode 0에서 Mode 1으로 전이되는 시점 또는 Mode 2에서 Mode 3로 전이되는 시점에 또 다른 동작 모드가 존재하게 되는데, 이는 다이오드  $D_1$ 과  $D_2$ 의 역회복 특성에 기인한다. Mode 0가 끝난 시점에서 인덕터 전류의 반공진이 끝나고 다이오드  $D_1$ 에 역전압이 걸리게 되면, 다이오드는 Off 되어야 하지만, 역회복 시간  $T_{rr}$ 동안은 On 상태를 유지하게 된다. 즉, 그림 5의 (a)와 같이  $V_{sus}$  전압과 에너지 회수용 커패시터  $C$ 의 전압  $V_{sus}/2$  사이에 인덕터  $L$ 이 삽입된 구조로  $T_{rr}$  시간동안, 인덕터 전류는 공진 전류와는 반대 방향으로 상승하게 된다. 다이오드  $D_1$ 의 역회복 시간  $T_{rr}$  경과 후  $D_1$ 은 Off 되게 되며, 이 때 인덕터에 저장된 전류 에너지는  $D_3$ 를 통해 환류하게 되고, 점차 그 에너지는 반도체 소자 및 패턴의 저항성분에 의해 감소하여 0 이 된다. 그러므로 실제의 Mode 1은 그림 5의 (b)와 같이 나타나게 되며, 이때의 동작 파형은 그림 5의 (c)와 같이 인덕터 전류가 반대 방향으로 상승 하였다가 서서히 감소하는 형태의 파형이 나타나게 된다. 실제의 전압 파형을 살펴보면 Mode 0 기간 중 에너지 회수 회로의 손실이 존재하게 되므로, Mode 1이 시작될 때의 PDP 커패시터의 전압  $V_0$ 는  $V_{sus}$ 에 약간 못 미치게 되며, 이 차의 전압에 의해 스위치  $M_3$ 가 도통될 때 하드 스위칭을 하며, 그림 5 (c)의 전압파형과 같이 노이즈를 발생 시키게 된다. 이는 Mode 2에서 Mode 3으로 전이되는 시점에서도 동일한 형태로 나타나게 된다.



(a) 다이오드  $D_1$ 의  $T_{rr}$ 기간에서의 등가회로



(b) 실제의 Mode 1



(c) 인덕터 전류  $I_L$ 과 PDP의 전압  $V_o$ .

그림 5. 실제적인 구동회로의 동작모드와 파형

그림 6은 PSPICE를 이용한 시뮬레이션 결과를 나타낸 것이다. 시뮬레이션 상에는 기생 성분들이 작아서, 전압 및 전류 파형의 노이즈는 보이지 않으나,  $T_{rr}$ 의 영향에 의한 인덕터 전류는 관측된다.

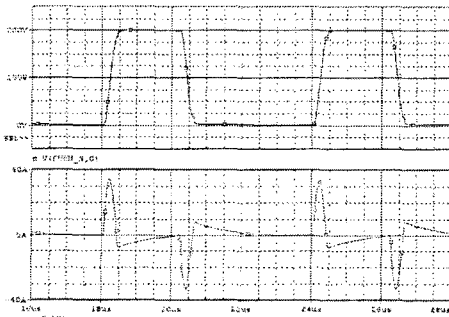


그림 6. PSPICE를 이용한 시뮬레이션

### 2.3 PDP IPM

에너지 회수 회로를 갖는 PDP 구동회로는 다수의 반도체 소자가 사용되며 스위치의 구동 회로 또한 복잡하다. 한 세트의 PDP에 사용 되는 PDP 구동 회로는 4-8개 이므로, 생산성 향상을 위해서는 PDP 구동회로의 모듈화가 매우 유리하며, 제품의 신뢰성도 향상시킬 수 있다. 본 연구에서는 PDP 구동회로를 제작하는데 있어, 반도체 소자뿐만 아니라, 로직 신호 입력을 받아 스위치를 구동하는 드라이브 회로까지 하나의 모듈에 집약하여 IPM화 하였다. 제작된 PDP IPM 모듈을 그림 7에 나타내었다. IPM화 된 구동 회로의 동작 실험중 다이오드  $D_3$ 의 애노드와  $D_4$ 의 캐소드의 전압 변동이 매우 심하여, 많은 노이즈가 발생하게 되며, 이로써 Drive IC가 오동작 함을 알 수 있었다. 이 문제를 해결하기 위해  $D_3$ 와  $D_4$  양단에 각각 RC 스너버 회로를 추가 하였다.

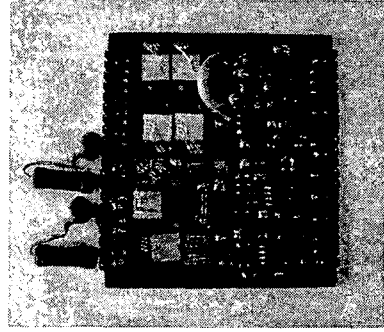


그림 7. IPM화 된 PDP 구동회로

그림 8은 제작된 PDP IPM의 실험 파형으로써 출력 전압  $V_o$ 와 인덕터 전류  $I_L$ 을 나타내고 있다. 이 때의 입력 전압  $V_{sus}$ 는 200V, PDP의 커패시턴스는 40nF이고, L은 1.9uH의 인덕터 6개를 병렬로 사용하였다. 인덕터 전류 최대치는 35.6A 공진 반 주기는 354ns로 계산된다.

인덕터 전류를 살펴보면, 공진이 끝난 후 반대 방향으로의 전류가 발생하는 것을 알 수 있다. 이는 그림 5에서의 다이오드  $D_3$ 과  $D_2$ 의 역회복 시간에 의한 것이다.

$T_{rr}$  시간동안 FRD는 On 상태를 유지하기 때문에 공진 인덕터 L에는  $V_{sus}/2$ 의 전압이 걸리게 되고, 이로 인해 역전류가 흐르게 된다. 이 때 L의 역전류  $I_{LR}$ 은 다음과 같다.

$$I_{LR} = \frac{V_{sus}/2 \times T_{rr}}{L} \quad (3)$$

또한 인덕터 전류  $I_L$ 은 그림 5 (c)의 파형과 잘 일치되고 있으나 시뮬레이션 결과에는 없는 링킹 노이즈 성분이 보인다. 이는 앞에서 설명한 바와 같이 에너지 회수 회로의 동작 시 손실이 발생하고, PDP 커패시터의 전압은 Mode 0, Mode 2가 끝난 후  $V_{sus}$ 까지 상승, 또는 0 까지 하강하지 못하게 되며, 다음 모드의 스위치  $M_3, M_4$ 의 동작 시 하드 스위칭을 하게 되기 때문이다.

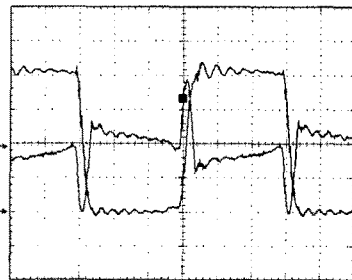


그림 8. Ch 1: 출력전압  $V_o$ . (50V/div)와 Ch 2: 인덕터 전류  $I_L$ (20A/div)

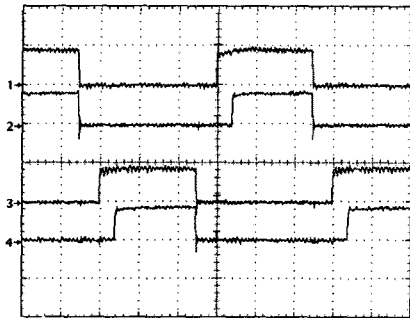
### 2.4 Signal Board의 제작

PDP IPM을 실험하기 위해서는 IPM의 스위치 구동 신호와 PDP 부하가 필요하다. 본 연구에서는 실제 PDP와 유사한 구동 신호 발생회로와 PDP 부하를 하나의 보드로 제작하여, 실험을 간편하게 할 수 있도록 하였다.

구동 신호는 40MHz의 오실레이터와 4개의 6비트 병렬 카운터, 4개의 덤스위치를 이용하여 발생 시켰다. 첫 번째 카운터는  $M_1$  과  $M_2$ 의 Off 시간, 두 번째 카운터는

M<sub>3</sub> 와 M<sub>4</sub>의 On시간, 세 번째 카운터는 M<sub>3</sub> 와 M<sub>4</sub>의 Off 시간, 네 번째 카운터는 신호의 반주기를 결정 짓도록 하였다. M<sub>1</sub>, M<sub>3</sub> 신호와 M<sub>2</sub>, M<sub>4</sub>의 신호는 서로 교번으로 동작한다. 각각의 카운터는 외부 덤스위치의 값을 읽어서 비교할 수 있도록 하였다. 6비트 카운터 및 로직은 ATMEL사의 ATF1508S EPLD를 사용하여 구성하였으며, 그림 9와 같은 4개의 신호를 발생시켰다. 그림 9는 Signal Board의 신호 출력 파형을 나타내며, 각 신호는 표시된 스위치의 구동을 위해 사용된다.

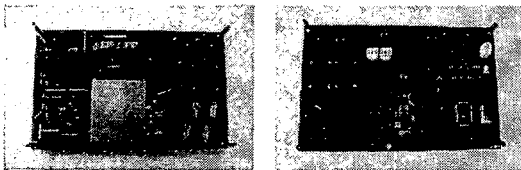
- [2] Chen-Chang Liu, "An Energy-Recovery Sustaining Driver with Discharge Current Compensation for AC Plasma Display Panel", IEEE Transactions on Industrial Electronic, VOL.48.NO.2, APRIL 2001
- [3] 한상규, 이준영 "새로운 에너지 회수 방식을 채용한 고효율 PDP 구동회로" 추계전력전자학술대회 논문집 pp 159-163 Dec 2003.



Ch1 : M<sub>1</sub>      Ch2 : M<sub>3</sub>  
Ch3 : M<sub>2</sub>      Ch4 : M<sub>4</sub>

그림 9. Signal Board 출력 신호 (5V, 1μs/div)

PDP 부하를 대신하여 10nF/1000V의 필코사의 필름 커패시터를 4개 병렬로 사용하였으며, 인덕터로는 13mm 드럼코어를 이용한 1.9uH 인덕터 6개를 병렬로 사용하였다. 여기에 선정된 커패시터와 인덕터의 값은 오리온 42" PDP를 기준으로 하였다. 그림 10은 Signal Board의 사진을 나타낸다. 이 Board를 적용하여 PDP IPM를 실제 PDP에 연결하기 전에 제품의 성능 및 불량 유무, 안정성 등을 판단할 수 있었다.



(a) 전면      (b) 후면

그림 10. Signal Board 사진

### 3. 결 론

본 논문에서는 에너지 회수 회로를 갖는 PDP 구동회로의 동작을 이상적인 경우와 실제적인 경우에 대해 설명하였고 각 모드별 회로 해석을 통해 동작 특성을 확인하였다. 그리고 구성된 PDP 구동회로를 알루미늄 PCB로 제작하여 IPM화 함으로써 원가절감을 통한 제품 경쟁력을 확보하였다. 또한 PDP IPM의 동작을 확인할 수 있도록 EPLD를 이용한 Signal Board를 제작하였고 실험과 시뮬레이션을 통하여 안정적인 IPM의 동작을 확인 하였다.

### (참 고 문 헌)

- [1] Webber & Wood, "Power efficient sustain drivers and address drivers for Plasma Panel", US Patent N5081400, Jan 1992.